

## 特徴

高性能、低消費 AVR<sup>®</sup> 8ビットマイクロコントローラ  
進化した RISC 構造

- 強力な 131 命令 (多くは 1 周期で実行)
- 32 個の 16 ビット長汎用レジスタ周辺制御レジスタ
- 完全なステイック動作
- 16MHz 時、16MIPS に達する高速動作
- 2 周期実行の乗算命令

高耐久不揮発性メモリ

- 実装自己書き換え可能な 64K バイト (32K 語) フラッシュメモリ内蔵
- 2K バイトの EEPROM
- 4K バイトの内蔵 SRAM
- 書き換え回数: 10,000/フラッシュ, 100,000/EEPROM
- データ保持力: 20 年 / 85 °C, 100 年 / 25 °C
- 個別施錠ビットを持つ任意のプログラム領域
  - チップ内プログラムによる実装書き換え
  - 真の書き込み中の読み出し動作
- 64K バイトまでの任意外部メモリ空間
- ソフトウェア保護用の設定可能な施錠機能
- 実装書き込み用 SPI インターフェース

JTAG (IEEE 1149.1 準拠) インターフェース

- JTAG 規格に従った境界走査 (Boundary-Scan) 能力
- 広範囲な内蔵デバッグ機能
- JTAG インターフェース経由でのフラッシュ、EEPROM、ヒューズ、施錠ビットのプログラミング

内蔵周辺機能

- 独立した前置分周器、比較機能付き 2 つの 8 ビットタイマ/カウンタ
- 独立した前置分周器、比較、捕獲機能付き 2 つの拡張した 16 ビットタイマ/カウンタ
- 専用発振器と 8 ビットタイマ/カウンタによる実時間計数器 (RTC)
- 2 つの 8 ビット PWM 出力と 6 つの 1 ~ 16 ビット PWM 出力
- 比較出力変調器
- 8 チャンネルの 10 ビット A/D 変換器
  - シングルエンド入力 8 チャンネル、差動入力 7 チャンネル
  - 可変利得 ( $\times 1, \times 10, \times 200$  差動入力 2 チャンネル)
- 16 ビット対応の 2 線直列インターフェース
- 設定可能な 2 つの直列 USART
- 主装置/従装置動作 SPI 直列インターフェース
- 設定可能な専用発振器付きウォッチドッグタイマ
- アナログ比較器

特殊マイクロコントローラ機能

- 電源 ON 時回路と設定可能な低電圧検出器 (BOD)
- 校正可能な内蔵 RC 発振器
- 外部及び内部の割り込み
- アイドル、A/D 雑音低減、パワーセーブ、パワーダウン、スタンバイ、拡張スタンバイの 6 つの低消費動作
- ソフトウェア選択可能なクロック周波数
- ヒューズでの ATmega103 互換動作
- 全フルアッフ禁止機能

I/O と外圍器

- 53 ビットの設定可能な I/O
- 64 ピード TQFR、64 ピット QFN/MLF

動作電圧

- 2.7 ~ 5.5V

動作速度

- 0 ~ 16MHz

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL 社とは無関係であることを御承知ください。しおりのはじめに 1 の内容にご注意ください。



8ビット AVR<sup>®</sup>

マイクロコントローラ

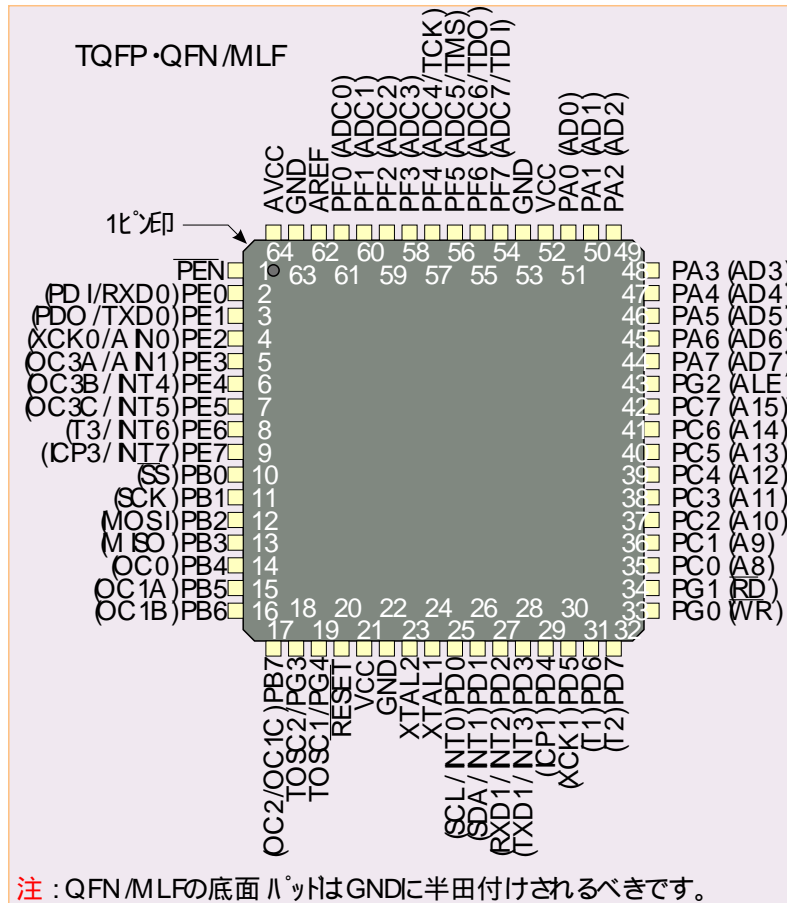
実装書き換え可能な

64K バイト

フラッシュメモリ内蔵

ATmega64A

## 1.ピン配置

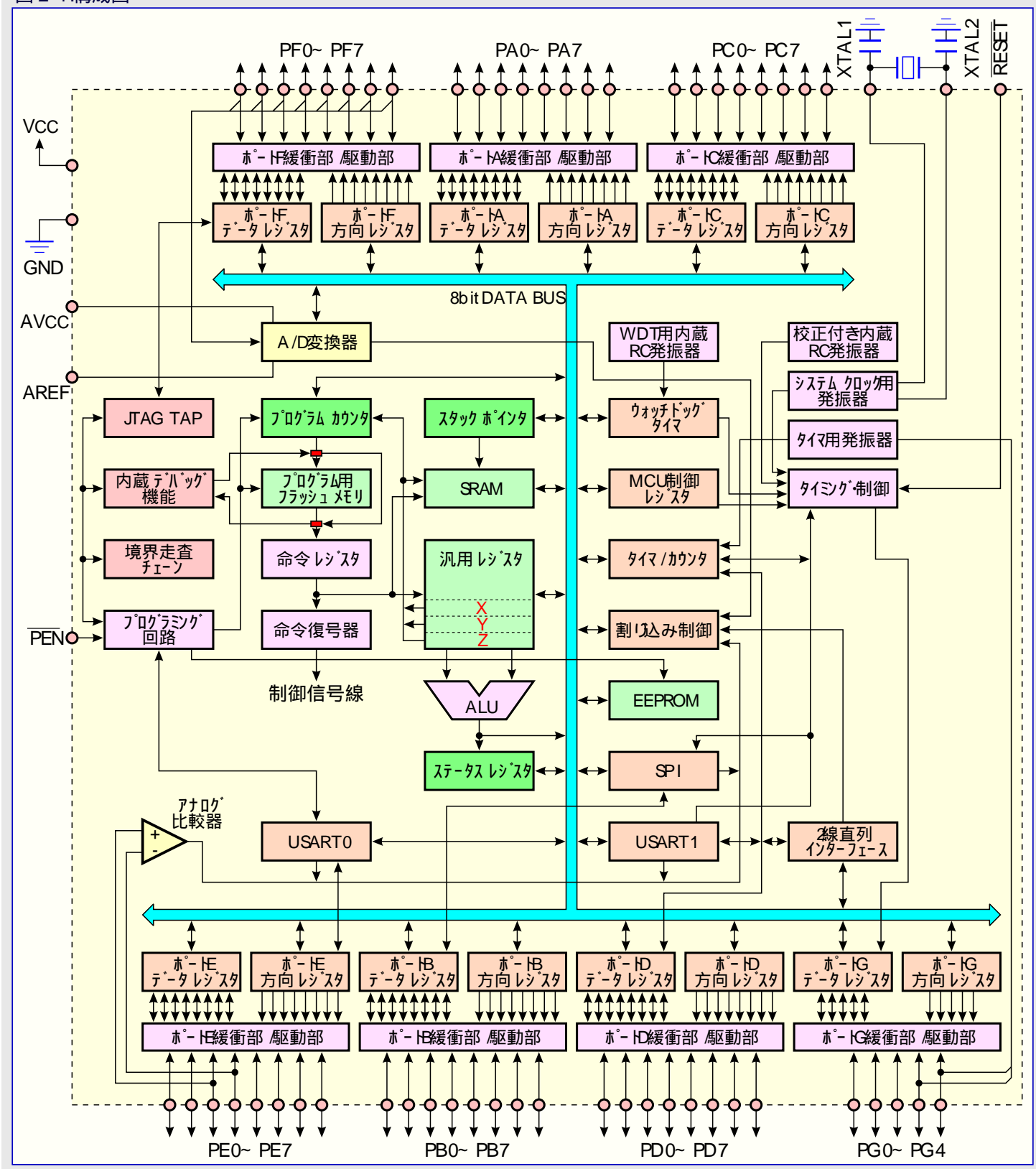


## 2.概要

ATmega64AはAVR RISC構造の低消費CMOS 8ビットマイクロコントローラです。1周期で実行する強力な命令は、MHzあたり1MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

### 2.1 構成図

図 2-1 構成図



AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU (Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対し、最大10倍の単位処理量向上効果があります。

ATmega64Aは次の特徴、書き込み中読める能力を持つ64Kバイトの実装書き換え可能なフラッシュメモリと2KバイトのEEPROM、4KバイトのSRAM、53本の汎用入出力線、32個の汎用作業レジスタ、実時間計数器 (RTC)、比較動作やPWMを含む柔軟性のある4つのタイマ/カウンタ、2つのUSART、ハイ対応の2線直列インターフェース、設定変更可能な増幅器を持つ任意選択差動入力付き8チャンネルの10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、SP直列ポート、内蔵デバッグとプログラミング機能にも使用されるIEEE標準1149.1準拠JTAG検査インターフェース、ソフトウェアで選択できる6つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセット後外部割り込みまで他の全機能を禁止無効にします。パワーセーフ動作では非同期タイマ用発振器が動作を継続し、デバイスのその他が停止中であっても基準タイマの継続が許されます。A/D変換雑音低減動作ではA/D変換中の切り替え雑音を最小とするために、非同期タイマとA/D変換器を除く全ての周辺機能とCPUが停止します。スタンバイ動作ではクリスタル発振器/セラミック振動子用発振器が動作し、一方デバイスのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。拡張スタンバイ動作では主発振器と非同期タイマの両方が動作を継続します。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されています。内蔵の実装書き換え (ISP) 可能なプログラム用フラッシュメモリは規定の不揮発性メモリ書き込み回数、SP直列インターフェース経由、AVRコア上ポートプログラムの実行によって再書き込みができます。ポートプログラムは応用領域フラッシュメモリ内の応用プログラムの読み込みにどのインターフェースでも使用できます。プログラム領域フラッシュメモリ内のプログラムは真の書き込み中の読み出し可能動作により、応用領域フラッシュメモリ更新中も実行を継続します。モノリシックチップ上の実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるATMEL ATmega64Aは多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega64A AVRはCコンパイラ、マクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

## 2.2. ATmega64AとATmega103の互換性

ATmega64AはAVR命令セットで予約した64 I/O位置に取って代わる多数のI/O位置を持つ高複合マイクロコントローラです。ATmega103に対して過去との互換性を保証するため、ATmega103に存在する全てのI/O位置はATmega64Aで同じ位置です。多くの追加I/O位置は\$60から始まり\$FFまでの拡張I/O空間 (ATmega103では内蔵SRAM空間) に追加されます。これらの位置はINやOUT命令の使用では届かず、LD/LDS/LDDやST/STS/STD命令の使用でのみ届くことができます。内蔵RAMの再配置はATmega103使用者にとって未だ問題となるかもしれません。同様に割り込みベクタ数の増加はコードプログラムが絶対アドレスを使用する場合に問題となるでしょう。これらの問題を解決するため、M103Cヒューズをプログラム (0) することにより、ATmega103互換動作が選択できます。この動作では、拡張I/O領域内のどの機能も使用せず、従って内蔵RAMはATmega103のように配置されます。また、拡張した割り込みベクタは取り去られます。

ATmega64AはATmega103と100%互換で、現状のプリント基板上のATmega103を置換できます。「ATmega128によるATmega103の置換」と「ATmega64とATmega128間の移行」応用記述はATmega64またはATmega128によるATmega103置換で使用者が承知すべき事項を記載します。

### 2.2.1. ATmega103互換動作 (訳注: 本項内容は原文に対して一部補正)

M103Cヒューズのプログラム (0) によって、ATmega64Aは上記のようにRAM、I/Oピン、割り込みベクタに関してATmega103と互換です。けれども、この互換動作でATmega64Aのいくつかの新機能が利用できません。これらの機能は以下で一覧されます。

2つに代わり1つのUSARTで、非同期動作だけです。ホートレートレジスタの下位8ビットだけが利用可能です。

3つの比較レジスタ付きの2つの16ビットタイマ/カウンタに代わり、2つの比較レジスタ付きの1つの16ビットタイマ/カウンタです。

2線直列インターフェース (TWI) は支援されません。

ポートCは出力専用です。

ポートIGは兼用機能だけを扱います (標準入出力ポート機能なし)。

ポートHFはA/D変換のアナログ入力に加えデジタル入力だけを扱います。

ポートロータ能力機能は支援されません。

校正付き内蔵RC発振器の周波数調整ができません。

外部メモリインターフェースで、どのアドレスピンも標準入出力ピンに開放できず、異なる外部メモリアドレス領域にどの異なる待ち状態設定もできません。

加えて、よりATmega103と互換にするため、他にいくつかの小規模な相違点があります。

MCU制御/状態レジスタ (MCUCSR) に外部リセットフラグ (EXTRF) と電源ONリセットフラグ (PORF) だけが存在します。

ウォッチドッグの計時終了値変更について時間制限による手順が必要ありません。

外部割り込み0~3ビットはLowレベル割り込みとして扱います (だけが使用できます)。

USARTはFIFOバッファを持たず、従ってより速くデータオーバーランになります。

ATmega64Aで同じ動作を保証するため、ATmega103での未使用I/Oピンは0を書かれるべきです。



## 23. ピン概要

- 23.1. VCC** デジタル電源ピン。
- 23.2. GND** グランドピン。
- 23.3. PA7~ PA0 (ポートA)** ポートAは（ピン毎に選択される）内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートA出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートAピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートAピンはHi-Zにされます。  
ポートAは [45頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。
- 23.4. PB7~ PB0 (ポートB)** ポートBは（ピン毎に選択される）内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートB出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートBピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートBピンはHi-Zにされます。  
ポートBは [46頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。
- 23.5. PC7~ PC0 (ポートC)** ポートCは（ピン毎に選択される）内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートC出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートCピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートCピンはHi-Zにされます。  
ポートCは [48頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。ATmega103互換動作に於けるポートCは出力専用で、特定の条件が有効になると、Hi-Zにされません。  
**注** : ATmega64Aは既定でATmega103互換動作で出荷されます。従って、PCBへ設置される前に（ATmega103互換禁止に）プログラムされない場合、ATmega103互換動作が禁止されるまで、ポートCは初回通電で出力になりません。
- 23.6. PD7~ PD0 (ポートD)** ポートDは（ピン毎に選択される）内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートD出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートDピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートDピンはHi-Zにされます。  
ポートDは [49頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。
- 23.7. PE7~ PE0 (ポートE)** ポートEは（ピン毎に選択される）内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。ポートE出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートEピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートEピンはHi-Zにされます。  
ポートEは [51頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。
- 23.8. PF7~ PF0 (ポートF)** ポートFはA/D変換器へのアナログ入力として扱います。  
A/D変換器が使用されない場合、ポートFは8ビット双方向入出力ポートとしても扱います。ポートFピンは（ピン毎に選択される）内蔵プルアップ抵抗を提供できます。ポートF出力緩衝部は高い吐き出しと吸い込みの両能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートFピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートFピンはHi-Zにされます。JTAGインターフェースが許可されると、特定の条件が起きてもPF7(TDI) PF5(TMS) PF4(TCK)ピンのプルアップ抵抗は活性 有効 にされます。  
特定のタスクをシフト出力するTAP状態移行以外、TDOピンはHi-Zにされます。  
ポートFはJTAGインターフェース機能も扱います。  
ATmega103互換動作でのポートFは入力ポートだけです。
- 23.9. PG4~ PG0 (ポートG)** ポートGは（ピン毎に選択される）内蔵プルアップ抵抗付き5ビット双方向入出力ポートです。ポートG出力緩衝部は高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性 有効 なら、外部的にLowへ引かれたポートGピンは電流を吐き出します。特定の条件が有効になるとクロックが動いていなくてもポートGピンはHi-Zにされます。  
ポートGは [55頁](#) で一覧されるATmega64Aの様々な特殊機能も扱います。  
ATmega103互換動作でのこれらのピンは外部メモリへのストロブ信号や32kHz発振器への入出力としてだけを扱い、特定の条件が有効になるとクロックが動いていなくても非同期にPG0=1, PG1=1, PG2=0に初期化されます。PG3とPG4は発振器ピンです。
- 23.10. RESET** リセット入力。最小パルス幅より長いこのピンのLowレベルはクロックが動いていなくてもリセットを生成します。最小パルス幅は [20頁の表 28-3参照](#) で与えられます。より短いパルスはリセットの生成が保証されません。
- 23.11. XTAL1** 発振器反転増幅器への入力と内部クロック操作回路への入力。
- 23.12. XTAL2** 発振器反転増幅器からの出力。

- 23.13. AVCC** AVCCはアナログとA/D変換器用供給電圧電源ピンです。例えばA/D変換が使用されなくても、外部的にVCCへ接続されるべきです。A/D変換が使用される場合、VCCから低域通過濾波器を通して接続されるべきです。
- 23.14. AREF** AREFはA/D変換器用アナログ基準電圧ピンです。
- 23.15.  $\overline{\text{PEN}}$**  SP直列プログラミング動作プログラミング許可ピンです。電源ONレップ中、このピンのLow保持によってデバイスがSPI直列プログラミング動作へ移行します。PENは内部的にHighへプルアップされています。このプルアップは30頁の図10-1で示され、その値は205頁の「DC特性」項で与えられます。通常動作中、このピンに機能はありません。

### 3. 資料

包括的なデータシート、応用記述、開発ツール群は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

### 4. テーブル保持力

信頼性証明結果はテーブル保持誤り率の反映を示し、20年以上 / 85 または 100年以上 / 25 で 1PPMよりずっと小さな値です。

### 5. コード例について

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、**N**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SB**命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令です。

## 6. AVR CPU 17

### 6.1 概要

ここでは一般的なAVRコア構造について説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバート構造を使用します。プログラムメモリ内の命令は、単一段のパイプラインで実行されます。命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット汎用レジスタを含みます。これは1クロック周期ALU (Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

効率的なアドレス計算ができるデータ空間アドレス指定用に、32個中の6つのレジスタが3つの16ビット長間接アドレスポインタ用レジスタとして使用されます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使用できます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード)形式です。全てのプログラムメモリアドレスは(注) 定数のみを除き)16または32ビット長命令を含みます。

プログラム用フラッシュメモリ空間はブートプログラム領域と応用プログラム領域の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用施錠ビットがあります。応用フラッシュメモリ領域内に書き込むSPM命令はブートプログラム領域内に属さなければなりません。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムは16ビット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書き可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

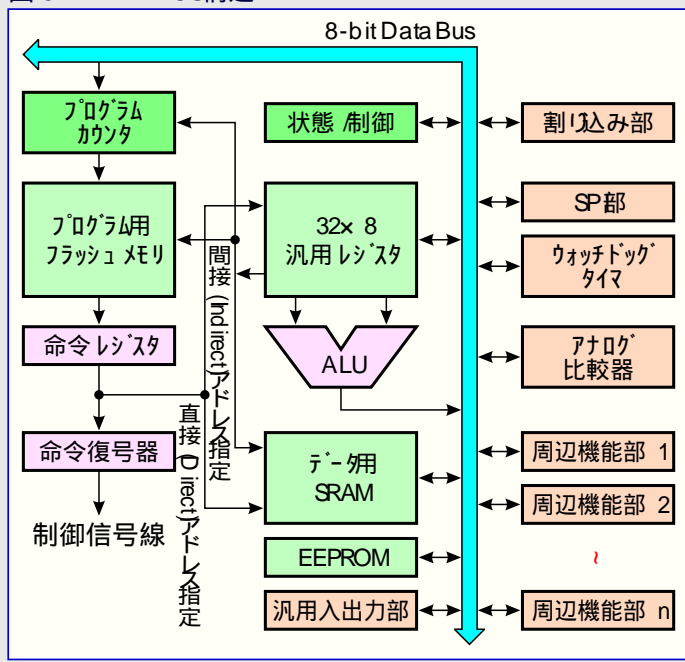
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1ビット)があります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順位があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタ、SPI、他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。加えてATmega64AにはST/STS/STDとLD/LDS/LDD命令だけ使用できるSRAM内の\$60~\$FFに拡張I/O空間があります。

### 6.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装製品もあります。詳細記述については「命令一覧」項をご覧ください。

図 6-1. AVR MCU構造



## 6.3. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使用できます。ステータスレジスタは「命令セット参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復（復帰）が自動的に行われません。これはソフトウェアによって扱われなければなりません。

### 6.3.1. ステータスレジスタ (Status Register) SREG

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定 (1) されなければなりません。その時に個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除 (0) されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こった後にハードウェアによって解除 (0) され、後続の割り込みを許可するために、RET 命令によって設定 (1) されます。ビットは「命令セット参考書」で記述されるように SE や CL 命令で応用 (プログラムによって設定 (1) や解除 (0) できます。

#### ビット6 - T : ビット変数 (Bit Copy Storage)

ビット複製命令、BLD (Bit Load) と BST (Bit Store) は操作したビットの転送元または転送先として、この T ビットを使用します。レジスタファイルのレジスタからのビットは BST 命令により T に複製でき、T のビットは BLD 命令によってレジスタファイルのレジスタ内のビットに複製できます。

#### ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー (H) フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については [命令一覧 記述](#) をご覧ください。

#### ビット4 - S : 符号 (Sign Bit, S = N Ex-OR V)

S フラグは常に負 (N) フラグと2の補数溢れ (V) フラグの排他的論理和です。詳細情報については「命令一覧 記述」をご覧ください。

#### ビット3 - V : 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ (V) フラグは2の補数算術演算を支援します。詳細情報については「命令一覧 記述」をご覧ください。

#### ビット2 - N : 負フラグ (Negative Flag)

負 (N) フラグは算術及び論理操作での負の結果 (MSB=1) を示します。詳細情報については「命令一覧 記述」をご覧ください。

#### ビット1 - Z : ゼロフラグ (Zero Flag)

ゼロ (Z) フラグは算術及び論理操作でのゼロ (0) の結果を示します。詳細情報については「命令一覧 記述」をご覧ください。

#### ビット0 - C : キャリーフラグ (Carry Flag)

キャリー (C) フラグは算術及び論理操作でのキャリー (または borrow) を示します。詳細情報については「命令一覧 記述」をご覧ください。



## 6.4.汎用レジスタファイル

このレジスタファイルはAVRの増強したISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタファイルによって支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図6-2はCPU内の32個の汎用作業レジスタの構成を示します。

レジスタファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図6-2で示されるように各レジスタはユーザーデータ空間の最初の32位置へ直接的に配置することで、それらはデータメモリアドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくてもX,Y,Zレジスタ（ポインタ）がレジスタファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図6-2.AVR CPU汎用レジスタ構成図

7	0	アドレス		
R0		\$00		
R1		\$01		
R2		\$02		
⋮				
R13		\$0D		
R14		\$0E		
R15		\$0F		
R16		\$10		
R17		\$11		
⋮				
R26		\$1A	Xレジスタ	下位バイト
R27		\$1B		上位バイト
R28		\$1C	Yレジスタ	下位バイト
R29		\$1D		上位バイト
R30		\$1E	Zレジスタ	下位バイト
R31		\$1F		上位バイト

### 6.4.1.Xレジスタ,Yレジスタ,Zレジスタ

R26~ R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図6-3で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます（詳細については「命令セット参考書」をご覧ください）。

図6-3.X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

## 6.5.スタックポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタックポインタレジスタは常にこのスタックの先頭（**訳注** 次に使用されるべき位置）を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへの**PUSH**命令はスタックポインタを減少するという意味です。呼び出しまたは割り込み後にソフトウェアがスタックからプログラムカウンタ値を読む場合、未使用ビット(15)は遮蔽されるべきです。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立ってプログラムによって定義されなければなりません。スタックポインタは\$100以上を指示するように設定されなければなりません。スタックポインタは**PUSH**命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタは**POP**命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰（**RET**命令）や割り込みからの復帰（**RETI**命令）でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数はそのデバイス実装に依存します。**SPL**だけが必要とされる程に小さいAVR構造の実装（デバイス）のデータ空間もあることに注意してください。その場合、**SPH**レジスタは存在しません。

### 6.5.1.スタックポインタ (Stack Pointer) SPH,SPL (SP)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 6.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ内バス用に選択したクロック元から直接的に生成したCPUクロック( $clk_{CPU}$ )によって駆動されます。内部クロック分周は使用されません。

図 6-4はハート構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック機能対電源部についての好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図 6-5はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図 6-4. 命令の取得と実行の並列動作

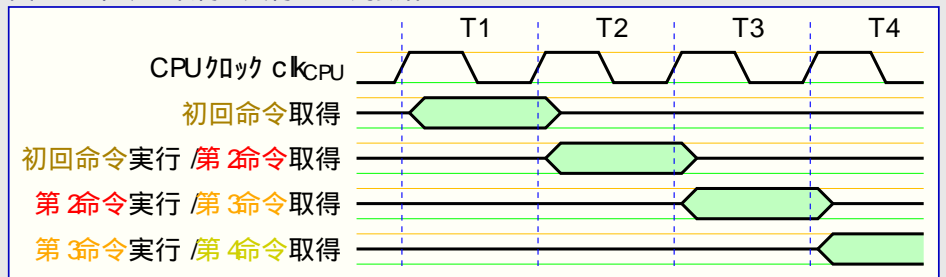
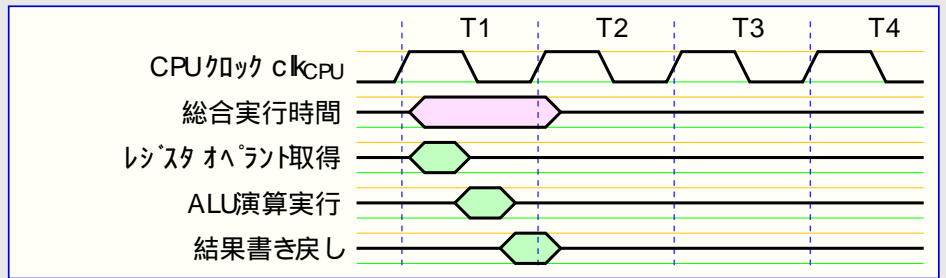


図 6-5. 同期 ALU 命令



## 6.7. リセット割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。BLB0またはBLB12フーシ錠ビットがプログラム0されると、プログラムカウンタによっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については186頁の「メモリプログラミング」項をご覧ください。

既定でのプログラムメモリ空間の最下位アドレスはリセット割り込みのベクタとして定義されます。ベクタの完全な一覧は35頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(NT0)です。割り込みベクタはMCU制御レジスタMCUCRの割り込みベクタ選択 (MSEL)ビットの設定 (1)によってブートフラッシュ領域先頭へ移動できます。より多くの情報については35頁の「割り込み」を参照してください。リセットベクタBOOTRSTヒューズのプログラム0によりブートフラッシュ領域先頭へ移動できます。177頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」をご覧ください。

割り込みが起こると全割り込み許可 (I)ビットが解除 (0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可 (I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可 (I)ビットは割り込みからの復帰 (RET)命令が実行されると自動的に設定 (1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定 (1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除 (0)します。割り込み要求フラグは解除 (0)されるべきフラグのビット位置へ論理1を書くことによっても解除 (0)できます。対応する割り込み許可ビットが解除 (0)されている間に割り込み条件が起こると、割り込み要求フラグが設定 (1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除 (0)されるまで記憶保持されます。同様に、全割り込み許可 (I)ビットが解除 (0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定 (1)されて全割り込み許可 (I)ビットが設定 (1)されるまで記憶され、その (I)1後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し続けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことを注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するために **CL** 命令を使用すると、割り込みは直ちに禁止されます。**CL** 命令と同時に割り込みが起こっても、**CL** 命令後に割り込みは実行されません。次例は時間制限 EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

## アセンブリ言語 プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEWE     ;EEPROM主書き込み許可
SBI     EECR, EEPE     ;EEPROM書き込み開始
OUT     SREG, R16      ;ステータスレジスタを復帰
```

## C言語 プログラム例

```
char cSREG;           /* ステータスレジスタ保存変数定義 */
cSREG = SREG;         /* ステータスレジスタを保存 */
_cli();               /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEWE);   /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);   /* EEPROM書き込み開始 */
SREG = cSREG;         /* ステータスレジスタを復帰 */
```

割り込みを許可するために **SE** 命令を使用すると、次例で示されるようにどの保留割り込みにも先立って **SE** 命令の次の命令が実行されます。

## アセンブリ言語 プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

## C言語 プログラム例

```
_sei();               /* 全割り込み許可 */
_sleep();             /* 休止形態移行 (割り込み待ち) */
```

**注** : SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

## 6.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小 4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する **プログラム へクタ アドレス** が実行されます。この 4クロック周期時間中にプログラム カウンタ (PC) がスタック上に保存 (プッシュ) されます。このへクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は 3クロック周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラム カウンタ (PC) 2バイトがスタックから取り戻され (ポップ) スタックポインタは増加され (+2) **ステータスレジスタ (SREG) の全割り込み許可 (I) フラグ** が設定 (1) されます。

## 7. AVRのメモリ

本項はATmega64Aの各種メモリアドレスを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてATmega64Aはデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

### 7.1. 実装自己書き換え (ISP: In-System Program可能なプログラム用フラッシュメモリ)

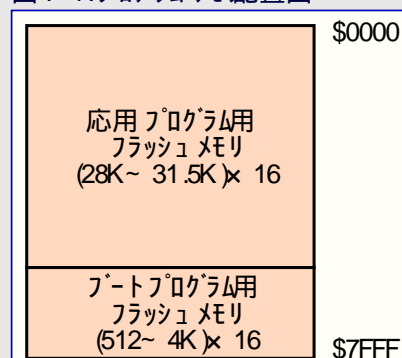
ATmega64Aはプログラム保存用に実装書き換え可能な64Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは32K×16ビットとして構成されます。ソフトウェア保護のため、フラッシュプログラムメモリ空間はブートプログラム領域と応用プログラム領域の2つに分けられます。

フラッシュメモリは最低 10,000回の消去/書き込み回数の耐久性があります。ATmega64Aのプログラム カウンタ (PC) は15ビット幅で、故に32Kプログラムメモリ位置のアドレス指定です。ブートプログラム領域の操作と関係するソフトウェア保護用フーシ錠ビットは177頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」の詳細で記述されます。186頁の「メモリプログラミング」はSPI/JTAG 並列プログラミング動作でのフラッシュメモリプログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は107頁の「命令実行タイミング」で示されます。

図 7-1. プログラムメモリ配置図





## 7.2. データ用 SRAM メモリ

ATmega64Aは表 7-1 で一覧されるように、2つの異なる SRAM データメモリ設定を支援します。

図 7-2 は ATmega64A の SRAM (データ空間) メモリ構成方法を示します。

ATmega64A は **N** や **OUT** 命令で予約した 64 位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM (データ空間) 内 \$60 ~ \$FF の拡張 I/O 空間に対して **LD/LDS/LDD** と **ST/STS/STD** 命令だけが使用できます。ATmega64A が ATmega103 互換動作のとき、この拡張 I/O 領域は存在しません。

標準動作で、最初の 4352 データメモリ位置はレジスタファイル、I/O メモリ、拡張 I/O メモリ、データ用内蔵 SRAM に充てます。先頭の 32 位置はレジスタファイル、次の 64 位置は標準 I/O メモリ、その次の 160 位置は拡張 I/O メモリ、そして次の 4096 位置はデータ用内蔵 SRAM に充てます。

ATmega103 互換動作で、最初の 4096 データメモリ位置はレジスタファイル、I/O メモリと内蔵 SRAM に充てます。先頭の 32 位置はレジスタファイル、次の 64 位置は標準 I/O メモリ、そして次の 4000 位置はデータ用内蔵 SRAM に充てます。

任意の外部データ SRAM が ATmega64A で使用できます。この SRAM は 64K アドレス空間内の残りのアドレス領域を占有します。この領域は内蔵 SRAM に続くアドレスから始まります。レジスタファイル、I/O 領域、拡張 I/O 領域、内蔵 SRAM が標準動作で最下位 4352 バイトを、ATmega103 互換動作で拡張 I/O 領域なしで最下位 4096 バイトを占有するので、64K (65536) バイトの外部メモリ使用時、標準動作で 61184 バイト、ATmega103 互換動作で 61440 バイトの外部メモリが利用可能です。外部メモリ配置の利用法の詳細については [14 頁の「外部メモリインターフェース」](#) をご覧ください。

アドレスが内部データメモリ領域を越える SRAM メモリ空間をアクセスするとき、外部データ SRAM は内部データメモリアクセスと同じ命令を使用してアクセスされます。内部データメモリがアクセスされるとき、読みと書きのストロブピン (PG1 と PG0) はそのアクセス周期中全てで無効です。外部 SRAM 操作は **MCU 制御レジスタ (MCUCR) の外部 SRAM 許可 (SRE) ビット** の設定 (1) によって許可されます。

外部 SRAM のアクセスは内蔵 SRAM のアクセスに比べ 1 バイト毎に追加クロック周期を要します。これは外部 SRAM への **LD, ST, LDS, STS, LDD, STD, PUSH, POP** 命令が追加クロック周期を要することを意味します。スタックが外部 SRAM に配置されると、割り込みやサブルーチンの呼び出し/復帰時、2 バイトのプログラムカウンタ (PC) が保存 (プッシュ) / 復帰 (ポップ) され、そして内部メモリアクセスでのパイプラインの優位性がなくなるため、2+1 クロック周期の追加を要します。待ち状態付きで外部メモリインターフェースが使用されると、1 バイトの外部アクセスは 1, 2, 3 待ち状態に対し、各々内部 SRAM アクセスに対して 2, 3, 4 追加クロック周期を要します。割り込みやサブルーチンの呼び出し/復帰は 1, 2, 3 待ち状態に対し、命令セット手引書で示される値よりも 5, 7, 9 クロック周期多く必要です。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の 5 つの異なるアドレス指定種別でデータメモリ空間を網羅します。レジスタファイル内のレジスタ R26 ~ R31 は間接アドレス指定ポイント用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作は Y または Z レジスタで与えられる基準アドレスからの 63 アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使用するとき、使用される X, Y, Z アドレスレジスタは減少 (-1) または増加 (+1) されます。

ATmega64A の 32 個の汎用レジスタ、64 個の I/O レジスタ、160 個の拡張 I/O レジスタ、4096 バイトのデータ用内蔵 SRAM は、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは [9 頁の「汎用レジスタファイル」](#) で記述されます。

### 7.2.1. データメモリアクセス タイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵 SRAM アクセスは図 7-3 で記載されるように 2  $clk_{CPU}$  周期で実行されます。

**【注】** 内蔵 SRAM のアクセスを含む代表的な命令は T1, T2 の 2 周期で実行され、T1 で対象アドレスを取得 / 算出 / 確定し、T2 で実際のアクセスが行われます。後続する (T1) は次の命令の T1 です。

表 7-1. SRAM / データメモリ設定

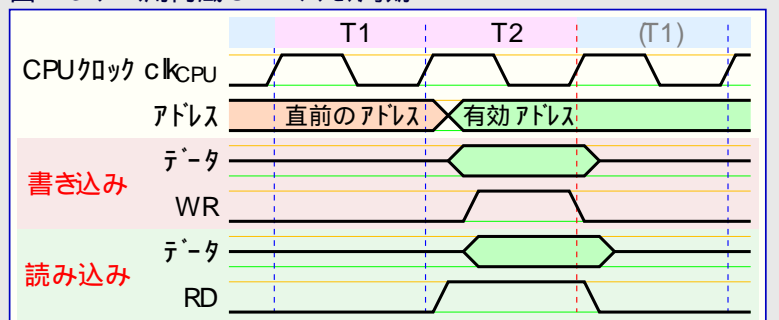
設定	内蔵 SRAM	外部メモリ
標準	4096	~ 59.75K
ATmega103 互換	4000	~ 60K

図 7-2. データ空間と SRAM の配置

標準動作			ATmega103 互換動作		
	アドレス			アドレス	
レジスタファイル (32x 8)	R0 ~ R31	\$0000 ~ \$001F	レジスタファイル (32x 8)	R0 ~ R31	\$0000 ~ \$001F
I/O レジスタ (64x 8)	\$00 ~ \$3F	\$0020 ~ \$005F	I/O レジスタ (64x 8)	\$00 ~ \$3F	\$0020 ~ \$005F
拡張 I/O レジスタ (160x 8)	\$0060 ~ \$00FF	\$0060 ~ \$00FF	内蔵 SRAM (4000x 8)	\$0060 ~ \$0FFF	\$0060 ~ \$0FFF
内蔵 SRAM (4096x 8)	\$0100 ~ \$10FF	\$0100 ~ \$10FF	外部 SRAM (0 ~ 60Kx 8)	\$1000 ~ \$FFFF	\$1000 ~ \$FFFF
外部 SRAM (0 ~ 59.75Kx 8)	\$1100 ~ \$FFFF	\$1100 ~ \$FFFF			

注 赤字は I/O アドレス

図 7-3. データ用内蔵 SRAM アクセス周期





### 7.3. テーブル EEPROM メモリ

ATmega64Aは2KバイトのデータEEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低 100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降の [EEPROMアドレスレジスタ](#) [EEPROMデータレジスタ](#) [EEPROM制御レジスタ](#)で詳細に記述されます。

18頁の「メモリプログラミング」はSPI、JTAG、並列プログラミング動作でのEEPROMプログラミングの詳細な記述を含みます。

#### 7.3.1. EEPROM アクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの書き込み **注意** 原文はアクセス時間は2頁の表 7-5で与えられます。書き込みは自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければならない。嚴重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの間、使用されるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については下の「EEPROMデータ化けの防止」をご覧ください。

予期せぬEEPROM書き込みを防止するため、特別な書き込み手順に従わなければならない。この詳細については「[EEPROM制御レジスタの記述](#)」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

#### 7.3.2. ハワータウン休止動作中のEEPROM書き込み

EEPROM書き込み動作が活動中に**ハワータウン休止動作**へ移行すると、EEPROM書き込み動作が継続し、EEPROM書き込み時間が過ぎ去ってしまう前に完了します。しかし、書き込み動作が完了されると、発振器が動作を継続し、結果としてデバイスはハワータウン動作へ完全に移行しません。従ってハワータウンへ移行する前に、EEPROM書き込み動作が完了される(**EEWE=0**)ことの確認が推奨されます。**訳補**: ハワータウン移行後もEEPROM書き込みは正常に完了するが、その後発振器が止まらないことへの注意)

#### 7.3.3. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータ化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(**Low**)に保ってください。これは内蔵**低電圧検出器 (BOD)**を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCレギュレーション回路が使用できます。書き込み動作実行中にレギュレーションが起ると、この書き込み操作は供給電源電圧が充分ならば継続/完了されます。

### 7.4. I/O メモリ (レジスタ)

ATmega64AのI/O空間定義は23頁の「[レジスタ一覧](#)」で示されます。

ATmega64Aの全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ搬送を行う**LD/LDS/LDD**命令と**ST/STS/STD**命令によってアクセスされます。アドレス範囲\$00~\$1F内のI/Oレジスタは**SB**命令と**CB**命令の使用で直接的にビットアクセス可能です。これらのレジスタでは**SB**と**CB**命令の使用によって単一ビット値が検査できます。より多くの詳細については「[命令一覧](#)」項を参照してください。I/O指定命令**N**と**OUT**を使用するとき、I/Oアドレス\$00~\$3Fが使用されなければならない。LD命令とST命令を使用し、データ空間としてI/Oレジスタをアクセスするとき、これらのアドレスに\$20が加算されなければならない。

ATmega64Aは**N**や**OUT**命令で予約された64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAMデータ空間内\$60~\$FFの拡張I/O領域に対しては**LD/LDS/LDD**と**ST/STS/STD**命令だけが使用できます。ATmega64AがATmega103互換動作の時は拡張I/O領域がSRAM領域に置き換えられます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは**0**が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理**1**を書くことによって解除(**0**)されます。**CB**と**SB**命令はI/Oレジスタ内の全ビットを操作し、設定(**1**)として読むどのフラグにも**1**を書き戻し、従ってフラグを解除(**0**)することに注意してください。**CB**と**SB**命令は(I/Oアドレス)\$00~\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

## 7.5. 外部メモリインターフェース

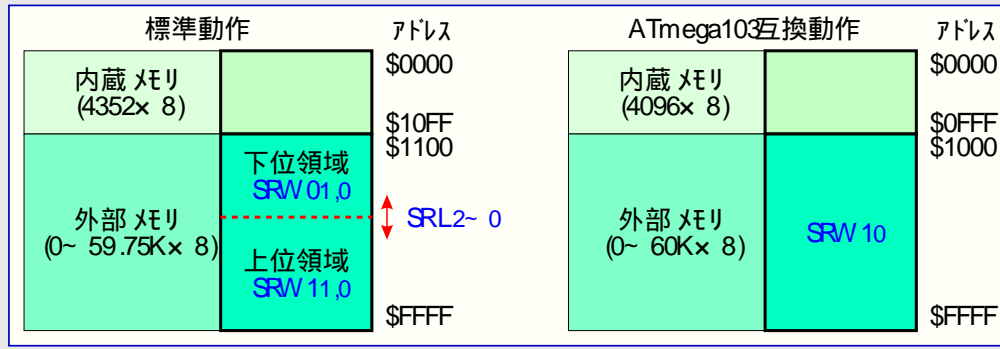
外部メモリインターフェースが提供する全ての機能で、LCD表示器やA/D、D/Aのような周辺装置や、外部SRAMやフラッシュメモリのようなメモリデバイスへのインターフェースとしての動作に上手く仕立てられます。主な特徴を次に示します。

- 4つの異なる待ち状態設定 (含む待ち状態なし)
- 異なる外部メモリ領域 (領域容量設定可) に対する個別の待ち状態設定
- アドレス上位バイトに割り当ててるビット数が選択可能
- 消費電流を最小とするため、データ線のバス保持機能 (任意選択)

### 7.5.1. 概要

外部メモリ(XMEM)が許可されると、内蔵SRAMを越えるアドレス空間は割り当てた外部メモリピンを使用することが利用可能になります (2頁の「ピン配置」、45頁の表 13-3、48頁の表 13-9、55頁の表 13-21をご覧ください) メモリ設定は図 7-4で示されます。

図 7-4. 外部メモリと領域選択



### 7.5.2. ATmega103互換動作

両方の外部メモリ制御レジスタ(XMCRAとXMCRB)は拡張I/O空間に配置されます。ATmega103互換動作で、これらのレジスタは利用できず、これらのレジスタによって選択される特徴 (機能) は利用できません。これらの特徴 (機能) がATmega103に存在しないので、データバスはATmega103互換です。ATmega103互換動作での制限を次に示します。

- 2待ち状態設定のみ利用可能 (SRW 1n=00とSRW 1n=01)
- アドレス上位バイトへの割り当てビット数固定
- 外部メモリ空間は異なる待ち状態の領域分割不可
- バス保持機能利用不可
- RD, WR, ALEピンは出力専用 (ATmega64AのホートIG)

### 7.5.3. 外部メモリインターフェースの使用

このインターフェースは以下から成ります。

- AD7~0 : 交互切り替えされた下位アドレスバスとデータバス
- A15~8 : 上位アドレスバス (ビット数設定可能)
- ALE : アドレスラッチ許可信号
- RD : 読み出しストロブ信号
- WR : 書き込みストロブ信号

外部メモリ(XMEM)インターフェースに関する制御ビットは3つのレジスタ (MCU制御レジスタ(MCUCR)、外部メモリ制御レジスタA(XMCRA)、外部メモリ制御レジスタB(XMCRB))に配置されます。

XMEMインターフェースが許可されると、このインターフェースに割り当てたピンに対応するデータ方向レジスタ設定を無効にします。このピンの無効化についての詳細に関しては4頁の「入出力ポート項の兼用機能」をご覧ください。XMEMインターフェースはアクセスが内部または外部どちらかを自動的に検知します。アクセスが外部の場合、XMEMインターフェースは図 7-6 (本図は待ち状態なしの波形を示す) に従ったアドレス、データ、制御信号を出力します。ALEがHigh (Low (下降) になるとAD7~0上のアドレスが有効です。データ転送中、ALEはLowです。XMEMインターフェースが許可されると、内部アクセスでも同様にアドレス、データ、ALEピンの動きを引き起こしますが、内部アクセス中、RDとWRのストロブは切り替わりません。外部メモリインターフェースが禁止されると、標準ピンとデータ方向設定が使用されます。XMEMインターフェースが禁止される時に内蔵SRAM境界以上のアドレス空間が内蔵SRAMに割り当てられないことに注意してください。図 7-5はGがHighの時に透過 (通過) 透過 (トランスバレント) となる8ビットのラッチ (一般的には74xx573または同等品) を使用するAVRと外部SRAMの接続法を図解します。

## 754. アドレス ラッチの必要性

XMEMインターフェースの高速動作のため、アドレス ラッチは4MHz/2.7V、8MHz/4V以上のシステム周波数に対し、注意して選択されなければなりません。これらの周波数以上の条件で動作するとき、代表的な旧デバイス74HCシリーズのラッチは不適切になります。外部メモリーインターフェースは74AHCシリーズのラッチに適応するように設計されています。けれども主なタイミングパラメータに対応してさえいれば、多くのラッチが使用できます。アドレス ラッチについての主なパラメータは次の通りです。

DからQへの伝播遅延時間 ( $t_{PD}$ )

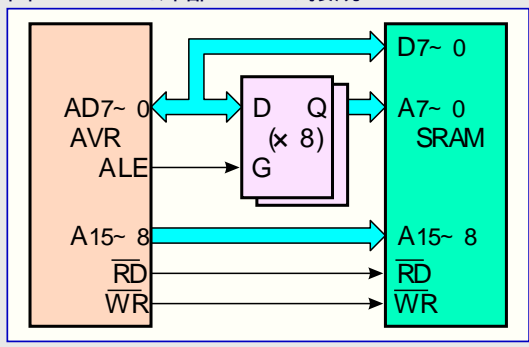
**訳注** )記号はAVR側ではなく、一般的なラッチデバイス側での記号です。

G下降端に対するデータセットアップ時間 ( $t_{SU}$ )

G下降後のデータアドレス保持遅延時間 ( $t_H$ )

外部メモリーインターフェースはGがLowにされた後、 $t_H=5ns$ の最小アドレス保持時間を保証するように設計されています (211~ 213頁、表 28-8. ~ 15の  $t_{LAXX\_LD}$ と  $t_{LAXX\_ST}$ を参照してください) DからQへの伝播遅延時間 ( $t_{PD}$ )は外部部品のアクセス時間必要条件を計算する時に考慮されなければなりません。G=Low(下降 前)のデータセットアップ時間 ( $t_{SU}$ )はALE=Low(下降 前)のアドレス有効時間 ( $t_{VLLC}$ )- PCB配線遅延 容量性負荷に依存 を越えてはいけません。

図 7-5. AVRと外部 SRAMの接続



## 755. フラッシュアップとバス保持機能

AD7~ 0バスへのフラッシュアップ抵抗は対応するポートレジスタが1を書かれると、活性 有効 にできます。休止形態での消費電力を削減するため、休止形態移行前にポートレジスタへ0を書くことによってフラッシュアップを禁止することが推奨されます。

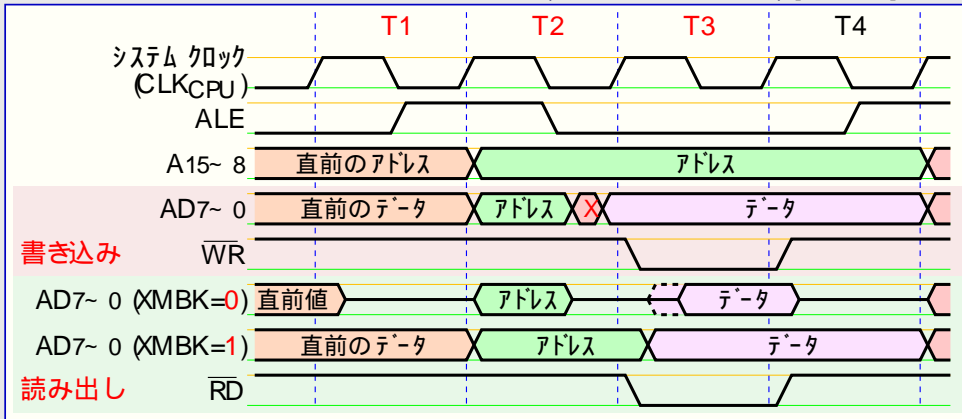
XMEMインターフェースはAD7~ 0線のバス保持機能も提供します。バス保持機能は19頁の 外部メモリー制御レジスタB(XMCRB)で記述されるようにプログラムで許可と禁止ができます。許可されると、これらの線がXMEMインターフェースにより、その他の状態であるHi-Zにされる時にバス保持機能はAD7~ 0バスでの論理レベル0(または1)固定を保証します。

## 756. タイミング

外部メモリーデバイスは様々なタイミング必要条件を持ちます。これらの必要条件に合わせるため、ATmega64AのXMEMインターフェースは表 7-3. に示される4つの異なる待ち状態を提供します。この待ち状態選択前に外部メモリーデバイスのタイミング特性を考慮することが大切です。重要なパラメータの多くはATmega64Aの必要条件設定に関連する外部メモリーのアクセス時間です。外部メモリーのアクセス時間はチップ選択とアドレスを受け取ってから、そのアドレスのデータがバス上で実際に駆動されるまでの時間で定義されます。このアクセス時間はALEバスがLowにされてから読み出し手順中にデータが安定にならなければならないまでの時間 (211~ 212頁の表 28-8. ~ 15の  $t_{LRL} + t_{LRH} + t_{VRH}$ ) を超えることはできません。各種待ち状態はソフトウェアで設定されます。付加機能として、外部メモリー空間を個別に待ち状態設定できる2つの領域に分割することが可能です。これは異なるタイミング必要条件の2つの異なるメモリーバスを同じXMEMインターフェースに接続することを可能にします。XMEMインターフェースの詳細タイミングについては21頁からの表 28-8. ~ 15と図 28-6. ~ 9を参照してください。

XMEMインターフェースは非同期で、次の図の波形が内部システムクロックに関連することに注意してください。内部と外部(XTAL1)のクロック間のスリフは保証されません(デバイス温度、供給電圧間で一様でない) 従ってXMEMインターフェースは同期動作用ではありません。

図 7-6. 待ち状態なし 外部データメモリアクセス周期 (SRWn1=0, SRWn0=0) [T1~ T3]



#### 共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1~ Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM内部または外部をアクセスする場合だけ存在します。また、最後の周期のアドレスとデータの変更区間の有無も同様です。

図 7-7. 待ち状態 外部データメモリアクセス周期 (SRWn1=0, SRWn0=1) [T1~ T4]

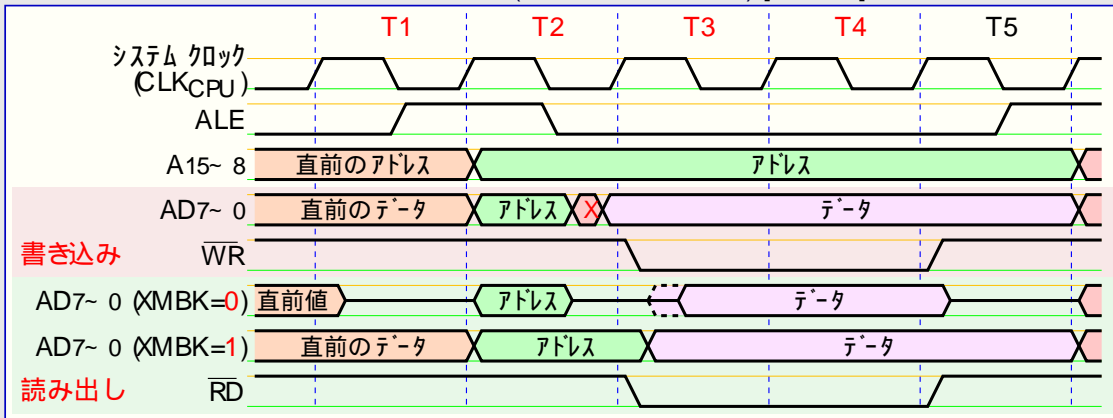


図 7-8. 2待ち状態 外部データメモリアクセス周期 (SRWn1=1, SRWn0=0) [T1~ T5]

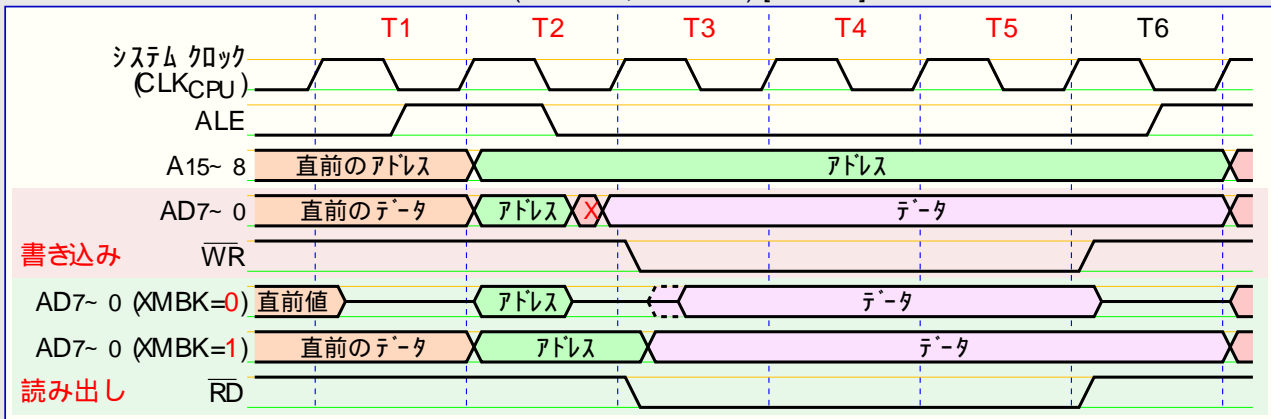
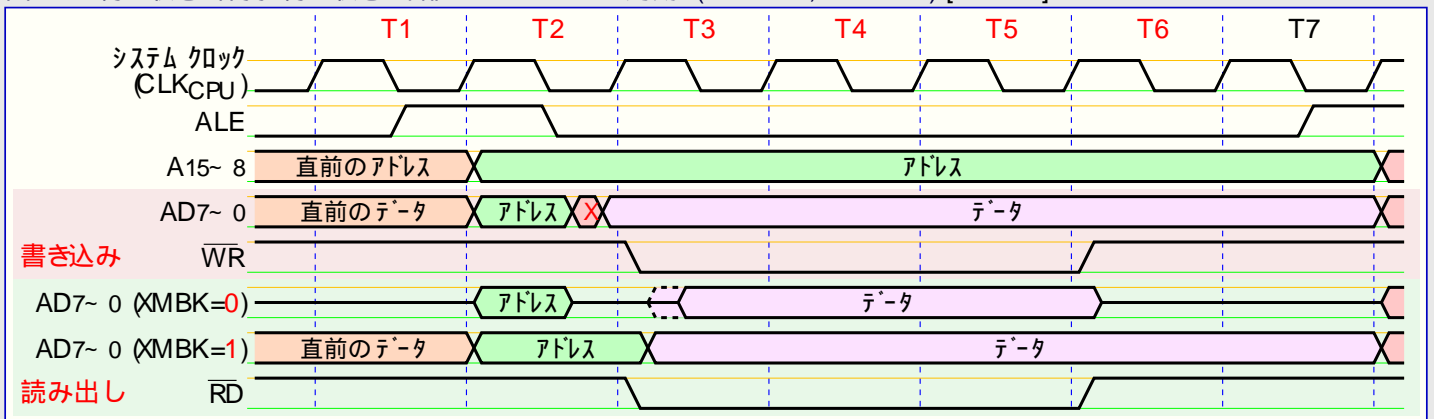


図 7-9. 2待ち状態 保持 待ち状態 外部データメモリアクセス周期 (SRWn1=1, SRWn0=1) [T1~ T6]



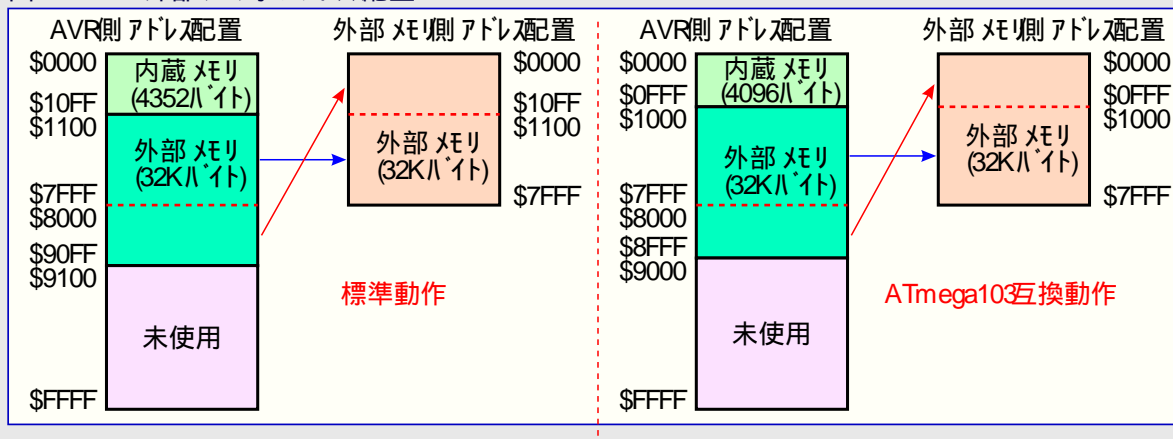


## 75.7. 64Kバイト未満外部メモリの全域使用

外部メモリは図7-4で示されるように内部メモリの後に配置されるため、アドレス空間の最初の4352バイトをアドレス指定する時に外部メモリは指定されません。外部メモリの最初の4352バイト（アドレス\$0000～\$10FF）がアクセスできないと思われるかもしれませんが、けれども64Kバイトはより小さな外部メモリを接続するとき、例えば32Kバイトで、これらの位置は単純なアドレス\$8000～\$90FF指定によって容易にアクセスされます。外部メモリアドレスA15ビットは外部メモリに接続されず、アドレス\$8000～\$90FFは外部メモリに対するアドレス\$0000～\$10FFとして見えます。\$90FFを越えるアドレス指定はこれが他の（下位側）アドレスによって既にアクセスされる外部メモリ位置のアドレス指定のため推奨されません。応用ソフトウェアにとって、この外部32Kバイトメモリは\$1100～\$90FFの1つの直線的な32Kバイトアドレス空間として見えます。これは図7-10で図解されます。**訳注** 標準/互換動作直接記述のため、原書の本位置の1行を削除）

デバイスがATmega103互換動作に設定されると、内部アドレス空間は4096バイトです。これは外部メモリの先頭4096バイトがアドレス\$8000～\$8FFFでアクセスできることを意味します。応用ソフトウェアには\$1000～\$8FFFの1つの直線的な32Kバイトアドレス空間として見えます。

図7-10. 32K外部メモリ時のアドレス配置



## 75.8. 外部メモリの全64Kバイト位置の使用

外部メモリは図7-4で示されるように内部メモリの後に配置されるため、既定では外部メモリの約60Kバイトだけが利用可能です（アドレス空間\$0000～\$10FFは内部メモリに予約）。けれども上位アドレスビットを0で遮蔽することで外部メモリ全体を利用することが可能です。これはXMMn<sub>bit</sub>を使用し、アドレスの最上位側ビットをソフトウェアによって制御することで行えます。ポートCを\$00出力に設定し、上位側ビットを標準ポートピン動作作用に開放することにより、メモリインターフェースは\$0000～\$1FFFをアドレス指定します。以下のコード例をご覧ください。

### アセンブリ言語プログラム例

```
.EQU OFFSET=$2000
```

```
LDI R16,$00
OUT PORTC,R16
LDI R16,$FF
OUT DDRC,R16
;
LDI R16, (1<<XMM1)|(1<<XMM0)
STS XMCRB,R16
LDI R16,$AA
STS $0001+OFFSET,R16
;
LDI R16,$00
STS XMCRB,R16
LDI R16,$55
STS $0001+OFFSET,R16
```

```
/*切り替え点アドレス定義
;ポートC初期化
;ポートC出力値を取得
;アドレス最上位側ビット値全0設定
;ポートC方向全出力値を取得
;アドレス上位16ビット用ポートC出力設定
;[$0000～$1FFFアクセス]
;PORTC7～5開放値を取得
;PORTC7～5開放（～$1FFF範囲設定）
;書き込み値を取得
外部メモリの$000番地に$AA書き込み
;[$2000～$FFFFアクセス]
最大外部メモリ（16ビット幅）値を取得
;PORTC開放なし（～$FFFF範囲設定）
;書き込み値を取得
外部メモリのOFFSET+$000番地に$55書き込み
```

### C言語プログラム例

```
#define OFFSET 0x2000
void XRAM_example(void)
{
    unsigned char *p = (unsigned char *) (OFFSET + 1);
    PORTC = 0x00;
    DDRC = 0xFF;
    XMCRB = (1<<XMM1)|(1<<XMM0);
    *p = 0xAA;
    XMCRB = 0x00;
    *p = 0x55;
}
```

```
/*切り替え点アドレス定義 */
/*書き込みアドレス（ピン）定義 */
/*アドレス最上位側ビット値全0設定 */
/*アドレス上位16ビット用ポートC出力設定 */
/*PORTC7～5開放（～$1FFF範囲設定） */
/*外部メモリの$000番地に$AA書き込み */
/*PORTC開放なし（～$FFFF範囲設定） */
/*外部メモリの$200番地に$55書き込み */
```

**注：**6頁の「コード例について」をご覧ください。

メモリの多くが遮蔽され隠されているとき、この選択手段の使用は注意して用いられなければなりません。

## 7.6. メモリ関係レジスタ

### 7.6.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SRE : 外部メモリ許可 (External SRAM / XMEM Enable)

SREに1を書くことが外部メモリインターフェースを許可します。A15~ 8, AD7~ 0, ALE, RD, WRビット機能は兼用ビット機能として活性 (有効) にされます。SREビットはそれぞれのデータ方向レジスタ内の何れのビット方向設定も無効にします。SREに0を書くことは外部メモリインターフェースを禁止し、通常ビットとデータ方向設定が使用されます。

ビット6 - SRW10 : 待ち状態選択ビット (Wait-state Select Bit)

非ATmega103互換動作 (標準動作) での詳細な記述については以降 (XMCRA内容) のSRWnビットの共通記述をご覧ください。ATmega103互換動作で、SRW10の1書き込みは待ち状態を許可し、図7-7で示されるように読み/書きスロ-フ中に1つの延長周期が追加されます。

### 7.6.2. 外部メモリ制御レジスタA (External Memory Control Register A) XMCRA

ビット	7	6	5	4	3	2	1	0	
(\$6D)	-	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	-	XMCRA
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、このビットに0を書い

ビット6~ 4 - SRL2~ 0 : 外部SRAM範囲選択 (Wait-state Sector Limit)

異なる外部メモリ領域に対して異なる待ち状態を指定することが可能です。外部メモリアドレス空間は個別の待ち状態ビットを持つ2つの領域に分割できます。SRL2~ 0ビットはこれらの領域の分岐点を選びます。表7-2と図7-4をご覧ください。既定ではSRL2~ 0が0に設定され、外部メモリアドレス空間全体が1つの領域として扱われます。SRAM外部メモリアドレス空間全体が1つの領域として設定される場合、待ち状態はSRW11とSRW10ビットによって設定されます。

表7-2. 上位/下位領域選択

SRL2	SRL1	SRL0	下位領域	上位領域
0	0	0	なし	\$1100~ \$FFFF
0	0	1	\$1100~ \$1FFF	\$2000~ \$FFFF
0	1	0	\$1100~ \$3FFF	\$4000~ \$FFFF
0	1	1	\$1100~ \$5FFF	\$6000~ \$FFFF
1	0	0	\$1100~ \$7FFF	\$8000~ \$FFFF
1	0	1	\$1100~ \$9FFF	\$A000~ \$FFFF
1	1	0	\$1100~ \$BFFF	\$C000~ \$FFFF
1	1	1	\$1100~ \$DFFF	\$E000~ \$FFFF

ビット1 MCUCRのビット6 - SRW11 : 上位領域待ち状態選択ビット1 (Wait-state Select Bits for Upper Sector)

SRW11とSRW10ビットは外部メモリアドレス空間の上位領域に対する待ち状態数を制御します。表7-3をご覧ください。

ビット32 - SRW01 : 下位領域待ち状態選択ビット1 (Wait-state Select Bits for Lower Sector)

SRW01とSRW00ビットは外部メモリアドレス空間の下位領域に対する待ち状態数を制御します。表7-3をご覧ください。

表7-3. 待ち状態選択

SRWn1	SRWn0	待ち状態
0	0	待ち状態なし
0	1	読み/書きスロ-フ中に1待ち状態挿入
1	0	読み/書きスロ-フ中に2待ち状態挿入
1	1	読み/書きスロ-フ中に2アドレス、データ出力保持中に1待ち状態挿入

注: nは0(下位領域)または1(上位領域)です。外部メモリインターフェースの待ち状態とタイミングのより多くの詳細については図7-6~ 9のSRWビット設定がタイミングへ与える影響をご覧ください。

ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、このビットに0を書い

### 7.6.3. 外部メモリ制御レジスタB (External Memory Control Register B) XMCRB

ビット (\$6C)	7	6	5	4	3	2	1	0	
	XMBK	-	-	-	-	XMM2	XMM1	XMM0	XMCRB
Read/W rite	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - XMBK : バス保持許可 (External Memory Bus-keeper Enable)

XMBKに **1** を書くことが AD7~ 線のバス保持機能を許可します。バス保持機能が許可されると、その他の状態である Hi-Z にされる時に AD7~ 0 バスの論理レベル (または **1** 固定) を保証します。XMBKに **0** を書くことがバス保持機能を禁止します。XMBKは **SRE** の制限を受けませんので、XMEMインターフェースが禁止されても、バス保持機能はXMBKが **1** である限り未だ活性 (有効) にされます。

ビット6~ 3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に **0** として読めます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、これらのビットに **0** を書いてください。

ビット2~ 0 - XMM2~ 0 : 上位アドレス遮蔽 (External Memory High Mask)

外部メモリインターフェースが許可されると、既定では全てのポートピンが上位アドレスハイに使用されます。外部メモリアクセスのために全 60K バイトアドレス空間が必要とされない場合、表 7-4 で記述されるように、いくつかまたは全てのポートピンは標準ポートピン機能用に開放できます。**17 頁の「外部メモリの全 64K バイト位置の使用」** で記述されるように、外部メモリの全 64K バイト位置のアクセスのために XMMn ビットの使用が可能です。

表 7-4 外部メモリ許可時に開放するポートピン

XMM2	XMM1	XMM0	アドレス上位バイトビット数	開放ポートピン
0	0	0	8 (最大約 60K バイト)	なし
0	0	1	7	PORTC7
0	1	0	6	PORTC7~ 6
0	1	1	5	PORTC7~ 5
1	0	0	4	PORTC7~ 4
1	0	1	3	PORTC7~ 3
1	1	0	2	PORTC7~ 2
1	1	1	0 (上位バイトなし)	PORTC7~ 0

### 7.6.4. EEPROMアドレスレジスタ (EEPROM Address Register) EEARH/EEARL (EEAR)

ビット \$1F (\$3F)	15	14	13	12	11	10	9	8	
	-	-	-	-	-	EEAR10	EEAR9	EEAR8	EEARH
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	不定	不定	不定	
ビット \$1E (\$3E)	7	6	5	4	3	2	1	0	
	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ビット15~ 11 - Res : 予約 (Reserved)

これらのビットは予約されており、常に **0** として読めます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、これらのビットに **0** を書いてください。

ビット10~ 0 - EEAR10~ 0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ (EEARHとEEARL) は 2048 バイト EEPROM 空間の EEPROM アドレスを指定します。EEPROM データバイトは 0~ 2047 間で直線的に配されます。EEAR の初期値は不定です。EEPROM がアクセスされるであろう前に適切な値が書かれねばなりません。

### 7.6.5. EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	MSB							LSB	EEDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - EEDR7~ 0 :EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

### 7.6.6. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERE	EEMWE	EEWE	EERE	EECR
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

ビット7~ 4 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット3 - EERE :EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EEREの書き込みはステータスレジスタ(SREG)の全割り込み許可(1)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EEREの書き込みはこの割り込みを禁止します。EEPROM操作可割り込みはEEWEが解除(0)されていると継続する割り込みを発生します。

ビット2 - EEMWE :EEPROM主書き込み許可 (EEPROM MasterW rite Enable)

EEMWEビットはEEPROM書き込み許可(EEWE)ビットの設定がEEPROM書き込みの原因となるかどうかを決めます。EEMWEが設定(1)されるとき、EEWEの設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EEWEの設定は無効です。EEMWEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。EEPROM書き込み手順については書き込み許可(EEWE)ビットの記述をご覧ください。

ビット1 - EEWE :EEPROM書き込み許可 (EEPROM W rite Enable)

EEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みストロープです。アドレスとデータが正確に設定されると、EEPROMへその値を書くためにEEWEビットは1を書かれなければなりません。論理1がEEWEへ書かれる前にEEPROM主書き込み許可(EEMWE)ビットは1を書かれなければならず、さもなければEEPROM書き込みは行われません。EEPROMを書くとき、次の手順に従うべきです(手順と の順番は重要ではありません)。

EEPROM書き込み許可(EEWE)ビットが1になるまで待ちます。

SPM制御状態レジスタ(SPMCSR)のSPM操作許可(SPMEN)ビットが1になるまで待ちます。

今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)

今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)

EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに1を、EEPROM書き込み許可(EEWE)ビットに0を同時に書きます。

EEMWEビット設定後4クロック周期内にEEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

CPUがフラッシュメモリ書き込み中、EEPROMはプログラム書き込みができません。ソフトウェアは新規EEPROM書き込みを始める前にフラッシュメモリのプログラミングが完了されていることを検査しなければなりません。はソフトウェアがフラッシュメモリをプログラム書き込みをすることをCPUに許すポートロータを含む場合だけ関係します。フラッシュメモリが決してCPUによって更新されないなら、は省略できます。ポートプログラミングについての詳細に関しては177頁の「ポートロータ書き込み中読み出し可能な自己プログラミング」をご覧ください。

**警告:** 手順 と 間の割り込みはEEPROM主書き込み許可が時間超過するため、書き込み周期失敗になります。EEPROMをアクセスする割り込みルーチンが他のEEPROMアクセスを中断し、EEARかEEDRが変更されると、中断したEEPROMアクセスを失敗させます。これらの問題を避けるため、全ての手順中、ステータスレジスタ(SREG)の全割り込み許可(1)ビットは解除(0)されていることが推奨されます。

書き込みアクセス時間が経過されると、EEPROM書き込み許可(EEWE)ビットはハードウェアによって解除(0)されます。使用者ソフトウェアは次ハイを書き込む前にこのビットをポーリングし、0を待つことができます。EEWEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。



## ビット0 - EERE :EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号 (EERE)はEEPROMへの読み込みストロークです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは論理1を書かれなければなりません。EEPROM読み出しアクセスは(その)命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。

使用者は読み込み操作を始める前にEWEビットをホールドすべきです。書き込み操作が実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使用されます。表7-5はCPUからのEEPROMアクセスに対する代表的な書き込み時間を示します。

表 7-5. EEPROM書き込み時間

項目	校正付き内蔵 RC 発振器周期数 (注)	Typ
EEPROM書き込み (CPU)	8448	8.4ms

注 : CKSELビット設定と無関係に 1MHzが使用されます。

次のコード例はアセンブリ言語とC言語でのEEPROM書き込み関数を示します。本例は例えば全割り込み禁止によって割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュブートローダが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。

### アセンブリ言語プログラム例

```

EEPROM_WR:  SBIC    EECR, EEWE          ;EEPROM書き込み完了ならばスキップ
             RJMP    EEPROM_WR        ;以前のEEPROM書き込み完了まで待機
;
             OUT     EEARH, R18        ;EEPROMアドレス上位ハイ設定
             OUT     EEARL, R17        ;EEPROMアドレス下位ハイ設定
             OUT     EEDR, R16         ;EEPROM書き込み値を設定
             SBI     EECR, EEWE        ;EEPROM主書き込み許可ビット設定
             SBI     EECR, EEWE        ;EEPROM書き込み開始 (書き込み許可ビット設定)
             RET                        ;呼び出し元へ復帰
    
```

### C言語プログラム例

```

void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEWE));          /*以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                  /* EEPROMアドレス設定 */
    EEDR = ucData;                     /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEWE);                 /* EEPROM主書き込み許可 */
    EECR |= (1<<EEWE);                 /* EEPROM書き込み開始 */
}
    
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

### アセンブリ言語プログラム例

```

EEPROM_RD:  SBIC    EECR, EEWE          ;EEPROM書き込み完了ならばスキップ
             RJMP    EEPROM_RD        ;以前のEEPROM書き込み完了まで待機
;
             OUT     EEARH, R18        ;EEPROMアドレス上位ハイ設定
             OUT     EEARL, R17        ;EEPROMアドレス下位ハイ設定
             SBI     EECR, EERE        ;EEPROM読み出し開始 (読み込み許可ビット設定)
             IN      R16, EEDR         ;EEPROM読み出し値を取得
             RET                        ;呼び出し元へ復帰
    
```

### C言語プログラム例

```

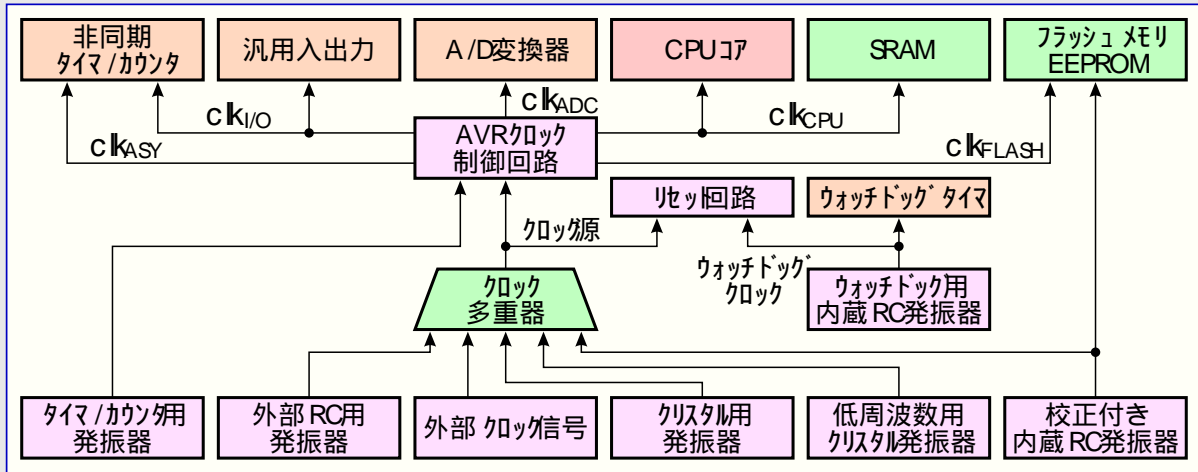
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEWE));          /*以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;                  /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                 /* EEPROM読み出し開始 */
    return EEDR;                       /* EEPROM読み出し値を取得 復帰 */
}
    
```

## 8. システム クロックとクロック選択

### 8.1. クロック系統とその配給

図 8-1 は AVR 内の主要な クロック系統とその配給を示します。全ての クロックが与えられた時間有効である必要はありません。消費電力低減のため、2 頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使用されない部分の クロックを停止することができます。クロック系統は以下で詳述されます。

図 8-1. クロックの配給



#### 8.1.1. CPU クロック clkCPU

CPUクロックは AVR コアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ、ファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

#### 8.1.2. I/O クロック clkI/O

I/Oクロックはタイマ/カウンタ、SPI、USARTのような I/O部の大部分で使用されます。I/Oクロックは外部割り込み部でも使用されますが、いくつかの外部割り込みは例えば I/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。線直列 I/F (TWI) 部のアドレス認証は clkI/O が停止される時に非同期に実行され、全休止形態で TWI アドレス受信を可能とすることにも注意してください。

#### 8.1.3. フラッシュ クロック clkFLASH

フラッシュ クロックはフラッシュ メモリインターフェースの動作を制御します。このフラッシュ クロックは常に CPU クロックと同時に活動します。

#### 8.1.4. 非同期 タイム クロック clkASY

非同期 タイム クロックは外部 32kHz クロック用 クリスタルから直接的に クロック駆動されるのを非同期 タイマ/カウンタに許します。この専用 クロック範囲はデバイスが休止形態の時でも、このタイマ/カウンタの実時間計数器としての使用を許します。

#### 8.1.5. A/D変換 クロック clkADC

A/D変換器には専用の クロック範囲が提供されます。これはデジタル回路によって生成された雑音を低減するために CPU と I/O クロックの停止を許します。これはより正確な A/D変換結果を与えます。

### 8.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックは AVR クロック発生器への入力で、適切な部署へ配給されます。

各 クロック選択に対する各種選択は次項で得られます。CPU がパワーダウンまたはパワーセーフから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使用されます。CPU がリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使用されます。各計時の完了に使用されるウォッチドッグ WDT 発振器の周期数は表 8-2 で示されます。21 頁の「代表特性」で示されるようにウォッチドッグ発振器の周波数は電圧に依存します。

### 8.3. 既定の クロック元

このデバイスは CKSEL=0001, SUT=10 で出荷されます。従って既定 クロック元設定は最長起動時間の 1MHz 内蔵 RC 発振器です。この既定設定は全ての使用者が実装または並列書き込み器を使用して、それらを希望した クロック元設定にできることを保証します。

表 8-1. クロック種別選択

クロック種別	CKSEL3~0
外部クリスタル/セラミック発振器	1111~ 1010
外部低周波数クリスタル発振器	1001
外部 RC 発振	1000~ 0101
校正付き内蔵 RC 発振器	0100~ 0001
外部クロック信号	0000

注：1=非プログラム 0=プログラム

表 8-2. WDT 発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
4.3ms	4.1ms	4K (4096)
69ms	65ms	64K (65536)

## 8.4. クリスタル発振器

XTAL1とXTAL2は図 8-2で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使用できます。CKOPT<sub>1</sub>は2つの異なる発振増幅器動作の1つを選択します。CKOPT<sub>1</sub>がプログラム(0)されると、発振器出力は完全な供給電圧端振幅出力で発振します。この動作は雑音が多い環境やXTAL2出力が他のクロック緩衝器を駆動する時に適します。この動作は広い周波数範囲を持ちます。CKOPT<sub>1</sub>が非プログラム(1)されると、発振器はより小さな出力振幅になります。これはかなり消費電力を削減します。この動作は制限された周波数範囲を持ち、他のクロック緩衝器を駆動するのに使用できません。

セラミック振動子での最高周波数はCKOPT<sub>1</sub>が非プログラム(1)で8MHz、CKOPT<sub>1</sub>がプログラム(0)で16MHzです。C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンテナ選択について初期の指針のいくつかは表 8-3で与えられます。セラミック振動子については製造業者によって与えられたコンテナ値が使用されるべきです。

この発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は表 8-3で示されるようにCKSEL3~1<sub>1</sub>によって選択されます。

CKSEL0<sub>1</sub>はSUT1<sub>0</sub>と共に表 8-4で示されるように起動時間を選択します。

図 8-2. クリスタル発振器接続図

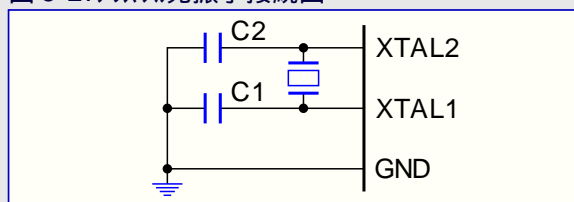


表 8-3. クリスタル発振器動作

CKOPT	CKSEL3~1	周波数範囲	推奨 C1,2 容量
1	101 (注 1)	0.4~ 0.9MHz	-
	110	0.9~ 3.0MHz	12~ 22pF
	111	3.0~ 8.0MHz	12~ 22pF
0	101~ 111	1.0~ MHz	12~ 22pF

注 1: この選択はクリスタル発振子ではなく、セラミック振動子でのみ使用されるべきです。

表 8-4. クリスタル発振子 / セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1 <sub>0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	258x CK (注 1)	4.1ms	外部セラミック振動子、高速上昇電源
	01	258x CK (注 1)	65ms	外部セラミック振動子、低速上昇電源
	10	1Kx CK (注 2)	-	外部セラミック振動子、低電圧検出 (BOD) リセット許可
	11	1Kx CK (注 2)	4.1ms	外部セラミック振動子、高速上昇電源
1	00	1Kx CK (注 2)	65ms	外部セラミック振動子、低速上昇電源
	01	16Kx CK	-	外部クリスタル発振子、低電圧検出 (BOD) リセット許可
	10	16Kx CK	4.1ms	外部クリスタル発振子、高速上昇電源
	11	16Kx CK	65ms	外部クリスタル発振子、低速上昇電源

注 1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振子用ではありません。

注 2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使用できます。

## 8.5. 低周波数 クリスタル発振器

デバイスに対するクロックとして時計用 32.768kHzクリスタルを使用するには、CKSEL3~0<sub>1</sub>を'1001に設定することによって低周波数クリスタル発振器が選択されなければなりません。クリスタルは図 8-2で示されるように接続されるべきです。CKOPT<sub>1</sub>のプログラム(0)により、使用者はXTAL1とXTAL2の内部容量 (コンテナ) を許可でき、それによって外部コンテナの必要がなくなります。内部容量は36pFの公称値です。

この発振器が選択されると、起動時間は表 8-5で示されるようにSUT<sub>1</sub>によって決定されます。

表 8-5. 低周波数 クリスタル発振器用起動遅延時間選択表

SUT1 <sub>0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	1Kx CK (注 1)	4.1ms	高速上昇電源または低電圧検出 (BOD) リセット許可
01	1Kx CK (注 1)	65ms	低速上昇電源
10	32Kx CK	65ms	起動時周波数の安定重視
11			(予約)

注 1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。

## 8.6. 外部 RC 発振器

タイミングに鈍感な応用に対しては図 8-3 で示される外部 RC 設定が使用できます。周波数は式  $f = 1 / (3RC)$  によって大まかに推測されます。C は最低 22pF であるべきです。CKOPT<sub>1:3</sub> のプログラム (0) により、使用者は XTAL1 と GND 間の 36pF 内部容量を許可でき、それによって外部コンデンサの必要がなくなります。

この発振器は示された周波数範囲で各々最適化された 4 つの異なる種別で動作できます。この動作は表 8-6 で示されるように CKSEL<sub>3~0</sub> によって選択されます。

この発振器が選択されると、起動時間は表 8-7 で示されるように SUT<sub>1:0</sub> によって決定されます。

図 8-3 外部 RC 接続図

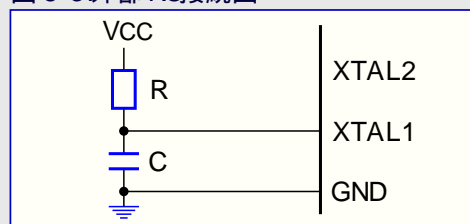


表 8-6 外部 RC 発振器動作

CKSEL <sub>3~0</sub>	周波数範囲 (MHz)
0 1 0 1	0.1~ 0.9
0 1 1 0	0.9~ 3.0
0 1 1 1	3.0~ 8.0
1 0 0 0	8.0~ 12.0

表 8-7 外部 RC 発振器用起動遅延時間選択表

SUT <sub>1:0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	18x CK	-	低電圧検出 (BOD) リセット許可
0 1	18x CK	4.1ms	高速上昇電源
1 0	18x CK	65ms	低速上昇電源
1 1	6x CK (注 1)	4.1ms	高速上昇電源または低電圧検出 (BOD) リセット許可

注 1: この選択はデバイス最高周波数付近で動作するときには使用されるべきではありません。

## 8.7. 校正付き内蔵 RC 発振器

校正された内蔵 RC 発振器は決められた 1.0, 2.0, 4.0, 8.0MHz クロックを供給します。全ての周波数は 5V<sub>25</sub> での公称値です。このクロックは表 8-8 で示されるように CKSEL<sub>3~0</sub> のプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。このクロック選択を使用するとき、CKOPT<sub>1:3</sub> は常に非プログラム (1) にされるべきです。リセット中、ハードウェアが発振器校正レジスタ (OSCCAL) に 1MHz 校正値ハイを設定し、これによって RC 発振器を自動的に校正します。5V<sub>25</sub> で 1.0MHz 発振器周波数が選択され、この校正は公称周波数 ± 3% 以内の周波数を与えます。atmel.com/avr で利用可能な応用記述に記載された実行時校正法の使用で、与えられたどの VCC と温度でも ± 1% の精度を達成することができます。この発振器がチップシステムクロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグタイムとリセット付加遅延タイムに使用されます。予め設定された校正値のより多くの情報については 188 頁の 発振器校正値ハイ項目をご覧ください。

この発振器が選択されると、起動時間は表 8-9 で示されるように SUT<sub>1:0</sub> によって決定されます。XTAL1 と XTAL2 は未接続 (NC) のままにされるべきです。

表 8-8 校正付き内蔵 RC 発振器動作

CKSEL <sub>3~0</sub>	公称周波数 (MHz)
0 0 0 1 (注 1)	1.0
0 0 1 0	2.0
0 0 1 1	4.0
0 1 0 0	8.0

注 1: デバイスはこの選択で出荷されます。

表 8-9 校正付き内蔵 RC 発振器用起動遅延時間選択表

SUT <sub>1:0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6x CK	-	低電圧検出 リセット (BOD) 許可
0 1	6x CK	4.1ms	高速上昇電源
1 0 (注 1)	6x CK	65ms	低速上昇電源
1 1			(予約)

注 1: デバイスはこの選択で出荷されます。



## 8.8.外部 クロック信号

外部 クロックからデバイス駆動するために XTAL1 は図 8-4 で示されるように駆動されるべきです。外部 クロックでデバイスを走行するために CKSEL レジスタは '0000 にプログラム設定 されなければなりません。CKOPT レジスタのプログラム (0) により、使用者は XTAL1 と GND 間の 36pF 内部容量を許可できます。

この クロックが選択されると、起動時間は表 8-10 で示されるように SUT レジスタによって決定されます。

図 8-4 外部 クロック信号駆動接続図

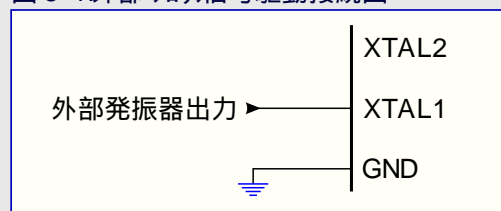


表 8-10 外部 クロック信号駆動用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	-	低電圧検出 リセット(BOD 許可)
01	6x CK	4.1ms	高速上昇電源
10	6x CK	65ms	低速上昇電源
11	(予約)		

外部 クロックを供給するとき、MCU の安定な動作を保証するために供給した クロック周波数の急な変化を避けることが必要とされます。或る クロック周期から次への 2 倍より大きな周波数変化は予測されない事態を引き起こします。このような クロック周波数での変化中、MCU は リセットに保たれるのを保証することが必要とされます。

## 8.9.タイマ/カウンタ用発振器

AVR マイクロ コントローラの タイマ/カウンタ用発振器 (TOSC1 と TOSC2) に対して、クリスタル発振器はこのピン間に直接的に接続されます。外部 コンデンサは必要とされません。この発振器は時計用 32.768kHz クリスタルでの使用に最適化されています。外部 クロックを TOSC1 に供給することは推奨されません。

**注：**タイマ/カウンタ用発振器は低周波数 クリスタル用発振器と同じ形式の クリスタル用発振器を使用し、内部容量 (C) は同じ 36pF の公称値を持ちます。

## 8.10. クロック関係用レジスタ

### 8.10.1 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット (\$6F)	7	6	5	4	3	2	1	0	
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

注 : OSCCALレジスタは ATmega103 互換動作で利用できません。

ビット7 - 0 - CAL7 - 0 : 発振校正値 (Oscillator Calibration Value)

このアドレスへの校正値書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。ビット中、識別列上位ビット (アドレス\$00) に配置される 1MHz 校正値が発振校正レジスタ OSCCAL 内へ自動的に設定されます。内蔵 RC 発振器が他の周波数で使われる場合、校正値は手動で設定されなければなりません。これは初めに書き込み器によって識別列を読み、そしてその後フラッシュメモリまたは EEPROM に校正値を保存することによって行えます。その後この値はソフトウェアによって読み、OSCCAL に設定できます。OSCCAL が 0 の時に最低利用可能周波数が選択されます。このレジスタへ 0 以外の値を書くことは内蔵発振器の周波数を増加します。このレジスタへの \$FF 書き込みは最高使用可能周波数にします。校正付き発振器はフラッシュメモリと EEPROM のアクセス時間に使用されます。フラッシュメモリまたは EEPROM が書かれる場合、公称周波数より上へ 10% を越えて校正してはいけません。そうでなければ、フラッシュメモリまたは EEPROM 書き込みは失敗するかもしれません。この発振器は 1.0, 2.0, 4.0, 8.0MHz への校正が意図されることに注意してください。表 8-11 で示されるような他の値への調整は保証されません。

表 8-11. 内蔵 RC 発振器周波数範囲

OSCCAL 値	公称周波数に対する割合	
	Min	Max
\$00	50 %	100 %
\$7F	75 %	150 %
\$FF	100 %	200 %

### 8.10.2 クロック分周制御レジスタ (XTAL Divide Control Register) XDM

クロック分周制御レジスタは元となるクロック周波数を 2~ 128 範囲の数で分周するのに使用されます。この機能は処理能力に対する必要条件が低いとき、消費電力低減のために使用できます。

ビット \$3C (\$5C)	7	6	5	4	3	2	1	0	
	XD MEN	XD M6	XD M5	XD M4	XD M3	XD M2	XD M1	XD M0	XDM
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - XD MEN : クロック分周許可 (XTAL Divide Enable)

XD MEN ビットが 1 を書かれると、CPU と全周辺機能のクロック (clk<sub>CPU</sub>, clk<sub>I/O</sub>, clk<sub>FLASH</sub>, clk<sub>ADC</sub>) 周波数は、XD M6 ~ 0 の設定で定義した要素で分周されます。このビットは応用目的に合せたクロック周波数へ変えるため、実行時に書くことができます。

ビット6 - 0 - XD M6 - 0 : クロック分周値選択 (XTAL Divide Select Bits 6 - 0)

これらのビットはクロック分周許可 (XD MEN) ビットが設定 (1) された場合に適用する分周要素を定義します。これらのビット値が 0 で示される場合、次式は CPU と全周辺機能のクロック周波数  $f_{CLK}$  の結果を定義します。

$$f_{CLK} = \frac{\text{元となるクロック}}{128 - d}$$

これらのビット値はクロック分周許可 (XD MEN) ビットが解除 (0) の時だけ変更できます。XD MEN が 1 を書かれるとき、同時に XD M6 ~ 0 内に書かれた値は分周要素として採用されます。XD MEN が 0 を書かれるとき、同時に XD M6 ~ 0 内に書かれた値は却下されます。この分周器が MCU への主クロック入力を分周するため、分周要素が使用されると、全周辺機能の速度が低下されます。

注 : システムクロックが分周されるとき、タイマ/カウンタは非同期クロックでだけ使用できます。非同期クロック周波数は、主クロック用元クロックを分周した周波数の 1/4 以上も低くならないようにしなければなりません。さもなければ割り込みが失われたり、タイマ/カウンタのレジスタアクセスが失敗するかもしれません。

## 9.電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

6つの休止形態の何れかへ移行するにはMCU制御レジスタMCUCRの休止許可(SEL)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM2,1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、パワーセーフ、スタンバイ、拡張スタンバイ)のどれかを選びます。一覧については表9-2をご覧ください。MCUが休止形態中に許可した割り込みが起ると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

22頁の図8-1はATmega64Aの各種クロック系統とその配給を示します。この図は適切な休止形態を選択する助けになります。

### 9.1.アイドル動作

休止種別選択(SM2~0)ビットが'000'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、2線直列インターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にCLKCPUとCLKFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

### 9.2.A/D変換雑音低減動作

SM2~0ビットが'001'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線直列インターフェースのアдрес監視、タイマ/カウンタ、ウォッチドッグの許可されていれば継続動作を許します。この休止形態は基本的にCLKIO、CLKCPU、CLKFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、2線直列インターフェースのアдрес一致割り込み、タイマ/カウンタの割り込み、SPM/EEPROM操作可割り込み、NT7~4の外部レベル割り込みとNT3~0の外部割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

### 9.3.パワーダウン動作

休止種別選択(SM2~0)ビットが'010'を書かれるとき、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアдрес監視、ウォッチドッグ機能は許可されていれば継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、2線直列インターフェースのアдрес一致割り込み、NT7~4の外部レベル割り込み、NT3~0の外部割り込みだけがMCUを起動できます。この休止形態は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使用される場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については39頁の「外部割り込み」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動遅延時間は22頁の「クロック」で記述されるように、リセット遅延時間を定義するのと同じCKSELヒューズによって定義されます。

### 9.4.パワーセーフ動作

SM2~0ビットが'011'を書かれるとき、SLEEP命令はMCUをパワーセーフ動作へ移行させます。この動作は次の1つの例外を除いてパワーダウン動作と同じです。

タイマ/カウンタが非同期にクロック駆動される、換言するとタイマ/カウンタ非同期状態レジスタ(ASR)の非同期クロック(AS0)ビットが設定(1)されると、タイマ/カウンタは休止中に走行動作します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ溢れ割り込み許可(TOIE0)ビットまたは比較割り込み許可(OCIE0)ビットが設定(1)されるなら、デバイスは対応するどちらの割り込みからでも起動できます。

タイマ/カウンタが非同期にクロック駆動されないなら、パワーセーフ動作での起動復帰後のタイマ/カウンタのレジスタ内容はASRのAS0=0でも不定とみなすべきなので、パワーダウン動作をパワーセーフ動作の代わりにすることが推奨されます。

この休止形態は基本的にCLKASY以外の全てのクロックを停止し、非同期にクロック駆動されるならタイマ/カウンタを含め、非同期部の動作だけを許します。

### 9.5.スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選択され、SM2~0ビットが'110'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は外部クリスタル用発振器が走行動作を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

## 9.6 拡張スタンバイ動作

外部クリスタル発振子 / セラミック振動子 クロック種別が選択され、SM2~0ビットが'111'のとき、SLEEP命令はMCUを拡張スタンバイ動作へ移行させます。この動作は 外部クリスタル用 発振器が走行 動作 を保たれる例外を除いてパワーセーフ動作と同じです。スタンバイは拡張スタンバイ動作から6クロック周期で起動します。

表 9-1. 各休止形態に於ける動作 クロック範囲と復帰起動要因

休止種別	動作 クロック範囲					動作発振器		復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk I/O	clk ADC	clk ASY	主 クロック 供給元	タイマ用 発振器	NTn	TWI アドレス 一致	タイマ / カウンタ 0	SPM EEPROM 操作可	A/D 変換 完了	その他 I/O
アイドル			○	○	○	○		○	○	○	○	○	○
A/D変換雑音低減				○	○	○			○	○	○	○	
パワーダウン									○				
パワーセーフ									○				
スタンバイ (注1)						○			○				
拡張スタンバイ (注1)						○			○				

注 1: クロック元として外部 クリスタル発振子またはセラミック振動子が選択された場合です。

タイマ / カウンタ非同期状態 レジスタ (ASSR) の非同期 クロック (AS0) ビットが設定 (1) された場合です。

NT3~0 の割り込み、または NT7~4 のレベル割り込みだけです。

## 9.7 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使用されるべきで、休止種別は動作するスタンバイの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

### 9.7.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電のため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の 最初の 変換は延長された 初回 変換になります。A/D変換器操作の詳細については 153頁の「A/D変換器」を参照してください。

### 9.7.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については 15頁の「アナログ比較器」を参照してください。

### 9.7.3. 低電圧検出器 (BOD)

低電圧検出器 (BOD) が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器がBODENビットによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器 (BOD) 設定法の詳細については 3頁の「低電圧検出 (BOD)」を参照してください。

### 9.7.4. 内部基準電圧

内部基準電圧は低電圧検出器 (BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら部署が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に使用者は基準電圧へ起動 安定時間 を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使用できます。起動時間の詳細については 3頁の「内部基準電圧」を参照してください。

### 9.7.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については 32頁の「ウォッチドッグ タイマ」を参照してください。



## 97.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(c k<sub>I/O</sub>)とA/D変換クロック(c k<sub>ADC</sub>)の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については43頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を使用するでしょう。

## 97.7. JTAGインターフェースと内蔵デバッグ機能 (OCD)

内蔵デバッグ機能がOCDENヒューズによって許可され、チップがパワーダウンまたはパワーセーフの休止形態へ移行すると、主クロックは許可に留まります。これらの休止形態では、これが総消費電流にとって重要な一因になります。これを避けるには3通りの方法があります。

OCDENヒューズを禁止 (非プログラム(1)設定)

JTAGENヒューズを禁止 (非プログラム(1)設定)

MCU制御/状態レジスタ(MCUCSR)のJTAG禁止(JTD)ビットへの書き込み

JTAGインターフェースが許可され、JTAG TAP制御器がデータをシフトしていないと、TDOピンは浮き状態のままにされます。TDOピンに接続したハードウェアが論理レベルをプルアップしないなら、消費電力が増加するでしょう。走査チェーン内の次のデバイスのTDピンがこの問題を避けるプルアップを含むことに注意してください。MCUCSRのJTDビットに1を書くか、またはJTAGENヒューズを非プログラムのままにすることがJTAGインターフェースを禁止します。

## 98. 電力管理用レジスタ

### 98.1. MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かなくてはなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)、起動後直ちに解除(0)することが推奨されます。

ビット2,4,3 - SM2-0 : 休止種別選択 (Sleep Mode Select Bit 2, 1 and 0)

これらのビットは表9-2で示される利用可能な6つの休止形態の1つを選択します。

表 9-2. 休止形態種別選択

SM2	SM1	SM0	休止形態種別
0	0	0	アイドル動作
0	0	1	A/D変換雑音低減動作
0	1	0	パワーダウン動作
0	1	1	パワーセーフ動作
1	0	0	予約)
1	0	1	予約)
1	1	0	スタンバイ動作 (注)
1	1	1	拡張スタンバイ動作 (注)

注：拡張スタンバイ動作は外部水晶発振子またはセラミック振動子でだけ利用できます。

## 10. システム制御とリセット

### 100.1. AVRのリセット

リセット中、全ての I/O レジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの **JMP 絶対分岐** 命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。これはリセットベクタが応用領域の一方、割り込みベクタがファームウェア領域の場合やその逆も同様です。図 10-1 の回路構成図はリセット論理回路を示します。表 28-3 はリセット回路の電気的特性を定義します。

AVR の I/O ポートはリセットが有効になると直ちにそれらの初期状態にリセットされます。これはどのマイクロコントローラの走行も必要ありません。

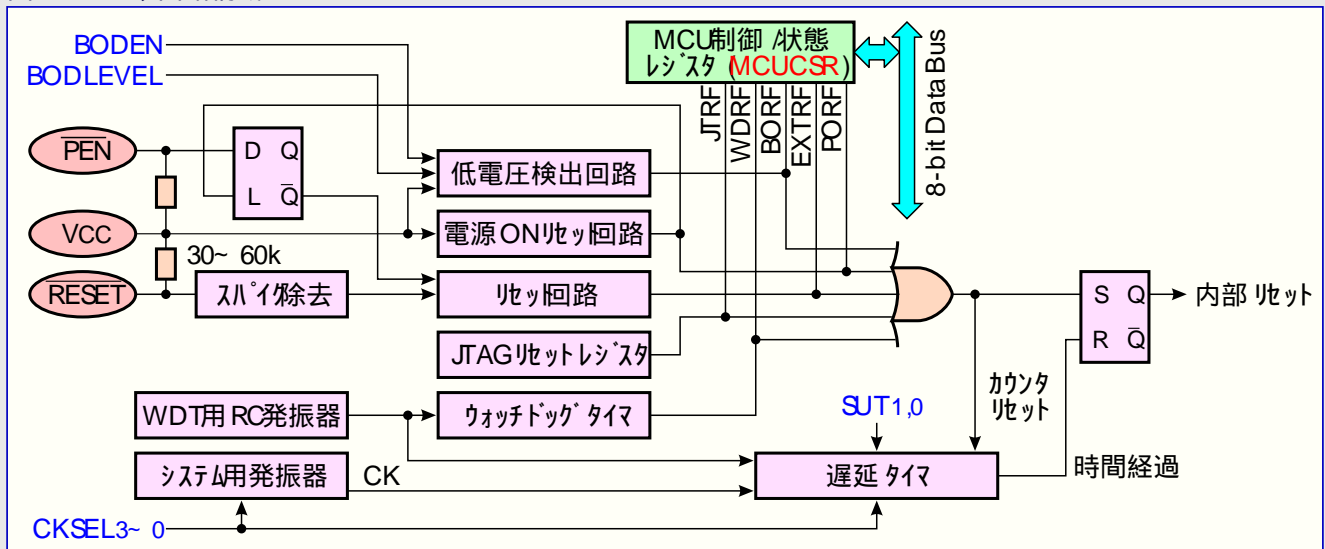
全てのリセットが無効にされてしまった後、遅延計数器 (タイマ) が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間は **CKSEL レジスタ** を通して使用者によって定義されます。この遅延時間についての各種選択は 2 頁の「リセット」で示されます。

### 100.2. リセット要因

ATmega64A には次の 5 つのリセットがあります。

- **電源 ON リセット** ..... 供給電圧が **電源 ON リセット閾値電圧 ( $V_{POT}$ )** 以下で MCU がリセットされます。
- **外部リセット** ..... RESET ピンが **最小パルス幅** 以上 **Low** レベルに保たれると MCU がリセットされます。
- **ウォッチドッグ リセット** ..... ウォッチドッグが許可され、ウォッチドッグ タイマが終了すると MCU がリセットされます。
- **低電圧 リセット** ..... 低電圧検出器 (BOD) が許可され、供給電圧 ( $V_{CC}$ ) が **低電圧検出電圧 ( $V_{BOT}$ )** 以下で MCU がリセットされます。
- **JTAG AVR リセット** ..... JTAG システムの走査チェーンの一つとしてリセットレジスタ内に論理 1 がある間中、MCU がリセットされます。詳細については 16 頁の「**IEEE 1149.1 (JTAG) 境界走査**」を参照してください。

図 10-1. リセット回路構成



### 100.3. 電源 ON リセット

電源 ON リセット (POR) パルスはチップ上の検出回路によって生成されます。検出電圧は表 28-3 で定義されます。POR 信号は  $V_{CC}$  が検出電圧以下の時は必ず活性 (有効) にされます。POR 回路は供給電圧異常検出は勿論、始動リセットの起動にも使用できます。

電源 ON リセット回路はデバイスが電源投入でリセットされることを保証します。電源 ON リセット閾値電圧 ( $V_{POT}$ ) の到達は  $V_{CC}$  の上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器 (タイマ) を起動します。 $V_{CC}$  がこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図 10-2. 内蔵電源 ON リセット (RESET は  $V_{CC}$  に接続)

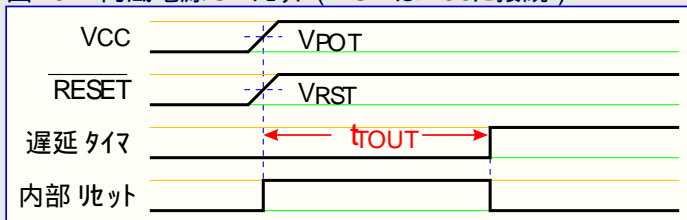
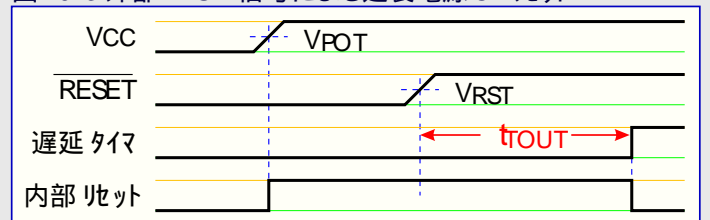


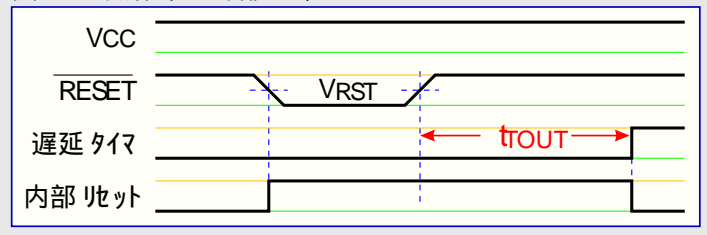
図 10-3. 外部 RESET 信号による延長電源 ON リセット



## 10.0.4. 外部 リセット

外部 リセットはRESETピンのLowレベルによって生成されます。例えばクロックが動いていなくても、最小パルス幅 [表 28-3参照](#) 以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の上昇がリセット閾値電圧 (VRST) に達すると遅延タイマが起動され、遅延タイマは遅延時間 (tROUT) 経過後にMCUを始動します。

図 10-4 動作中の外部 リセット



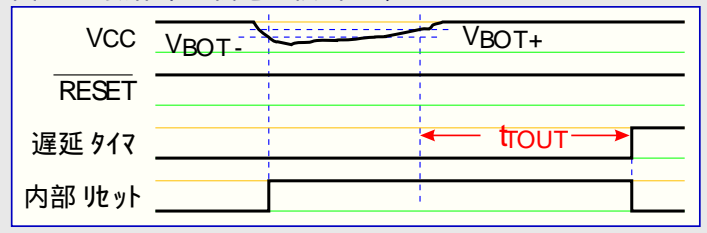
## 10.0.5. 低電圧 (ブラウンアウト) 検出

ATmega64Aには固定化された起動 検出 電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出 (BOD 回路) があります。BODの起動電圧はBODLEVELレジスタにより、2.7V (非プログラム (1)) または 4.0V (プログラム (0)) を選択できます。この起動電圧はスライク対策 BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスは  $V_{BOT+} = V_{BOT} + V_{HYST} / 2$ 、 $V_{BOT-} = V_{BOT} - V_{HYST} / 2$  と解釈すべきです。

BOD回路はBODENレジスタによって許可 / 禁止ができます。BODが許可 (BODEN=プログラム (0)) され、VCCが起動電圧以下の値に下降すると [図 10-5](#) の  $V_{BOT-}$  低電圧 リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると [図 10-5](#) の  $V_{BOT+}$  遅延タイマが起動され、遅延タイマは遅延時間 (tROUT) 経過後にMCUを始動します。

BOD回路は電圧が [表 28-3](#) で与えられる [tBOD](#) 時間より長く起動電圧以下に留まる場合だけ、VCCでの低下を検出します。

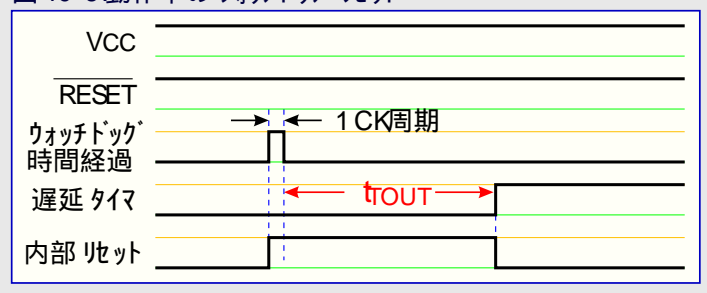
図 10-5 動作中の低電圧検出 リセット



## 10.0.6. ウォッチドッグ リセット

ウォッチドッグ時間経過時、内部的に 1 CK 周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延 タイマが遅延時間 (tROUT) の計時を始めます。ウォッチドッグ タイマ操作の詳細については [32頁](#) を参照してください。

図 10-6 動作中のウォッチドッグ リセット



## 10.1. 内部基準電圧

ATmega64Aは内部基準電圧が特徴です。この基準電圧は低電圧検出 (BOD) に使用され、A/D変換やアナログ比較器の入力としても使用できます。A/D変換器への 2.56V 基準電圧は内部基準電圧 (1.23V から生成されます)。

### 10.1.1. 基準電圧許可信号と起動時間

この基準電圧には使用されるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は [表 28-3](#) で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

低電圧検出 リセット許可時 (BODENレジスタ=プログラム (0))

アナログ比較器基準電圧接続時 (アナログ比較器制御 / 状態 レジスタ (ACSR) の基準電圧入力選択 (ACBG)=1)

A/D変換部動作許可時 (A/D変換制御 / 状態 レジスタ (ADCSRA) の A/D動作許可 (ADEN)=1)

従って低電圧検出 (BOD) が許可されていないと、ACBGの設定 (=1 または A/D変換部許可 (ADEN=1) 後、使用者はアナログ比較器または A/D変換器出力が使用される前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の 3つの状態を避けられます。

## 10.2. ウォッチドッグ タイム

ウォッチドッグ タイムは 1MHz で動く独立したチップ上の発振器からクロック駆動されます。これは VCC=5V での代表値です。他の VCC 電圧での代表値については [特性データ](#) をご覧ください。ウォッチドッグ タイム前置分周器の制御によってウォッチドッグ リセット間隔は [34 頁の表 10-2](#) で示されるように調整できます。ウォッチドッグ リセット WDR 命令はウォッチドッグ タイムをリセットします。ウォッチドッグ タイムはそれが禁止される時とチップ リセットが起こる時にもリセットされます。8 つの異なるクロック周期が、このリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATmega64A はリセットしてリセットバウンスから実行します。ウォッチドッグ リセットの詳細タイミングについては [31 頁を参照](#) してください。

予期せぬウォッチドッグ禁止や予期せぬ計時周期変更を防ぐため、3 つの異なる安全レベルが [表 10-1](#) で示される WDTON と M103C ヒューズによって選択されます。安全レベルは ATmega103 での設定に相当します。どの安全レベルでも WDT の許可に制限はありません。詳細については「ウォッチドッグ タイム設定変更の時間制限手順」を参照してください。

図 10-7. ウォッチドッグ タイム構成図

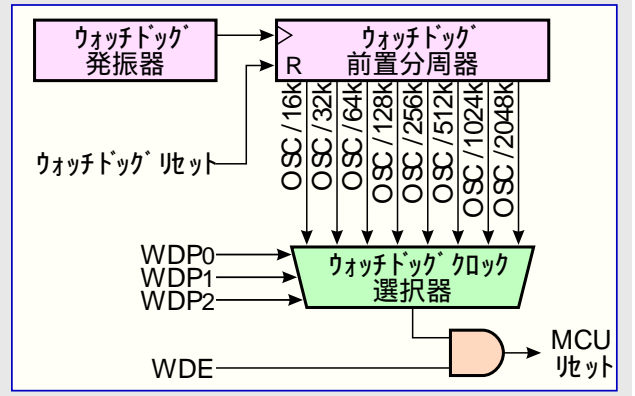


表 10-1. M103C と WDTON ヒューズ設定によるウォッチドッグ機能設定

M103C ヒューズ	WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時時間変更方法
非プログラム (1)	非プログラム (1)	1	禁止	時間制限	時間制限
非プログラム (1)	プログラム (0)	2	許可	なし (常時許可)	時間制限
プログラム (0)	非プログラム (1)	0	禁止	時間制限	制限なし
プログラム (0)	プログラム (0)	2	許可	なし (常時許可)	時間制限

## 10.3. ウォッチドッグ タイム設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

**10.3.1. 安全レベル 0** この動作種別は ATmega103 にみられるウォッチドッグ操作と互換性があります。ウォッチドッグ タイムは初めに禁止されますが、どんな制限もなくウォッチドッグ許可 WDE ビットに 1 を書くことによって許可できます。ウォッチドッグ計時完了周期は制限なしに何時でも変更できます。許可したウォッチドッグを禁止するには [33 頁の WDE ビットの記述で示された手順](#) に従わなければなりません。

**10.3.2. 安全レベル 1** この動作種別ではウォッチドッグ タイムが初めに禁止されますが、どんな制限もなくウォッチドッグ許可 WDE ビットに 1 を書くことによって許可できます。ウォッチドッグ計時完了周期を変更または許可したウォッチドッグ タイムを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイムを禁止や、ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

同じ操作 命令 でウォッチドッグ変更許可 WDCE と WDE に論理 1 を書きます。WDE ビットの直前の値に拘らず、論理 1 が WDE に書かれなければなりません。

次からの 4 クロック周期内に同じ操作 命令 で欲した WDE とウォッチドッグ タイム前置分周選択 WDP2~ 0 ビットを書きますが、WDCE ビットは解除 (0) されてです。

**10.3.3. 安全レベル 2** この動作種別ではウォッチドッグ タイムが常に許可され、WDE ビットは常に 1 として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

同じ操作 命令 で WDCE と WDE に論理 1 を書きます。WDE ビットが常に設定 (1) されていても、WDE は時間制限手順を開始するために 1 を書かれなければなりません。

次からの 4 クロック周期内に同じ操作 命令 で欲した WDP2~ 0 ビットを書きますが、WDCE ビットは解除 (0) されてです。WDE ビットに書かれた値は無関係です。



## 10.4. リセット関係用レジスタ

### 10.4.1. MCU制御 状態レジスタ (MCU Control and Status Register)MCUCSR

MCU制御 状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/W rite	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

注：ATmega103互換動作ではEXTRFとPORFだけ利用可能です。

ビット4 - JTRF : JTAG リセットフラグ (JTAG Reset Flag)

このビットはリセットがJTAG命令AVR RESETで選択されたJTAG リセットレジスタ内の論理1によって引き起こされると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット3 - WDRF : ウォッチドッグ リセットフラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット2 - BORF : 低電圧 リセットフラグ (Brown-Out Reset Flag)

このビットは低電圧 リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット1 - EXTRF : 外部 リセットフラグ (External Reset Flag)

このビットは外部 リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット0 - PORF : 電源ONリセットフラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使用するため、使用者はプログラム内で可能な限り早くMCUCSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、リセット元はリセットフラグを調べることで得られます。

### 10.4.2. ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register)WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/W rite	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

ビット4 - WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可 WDEビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。安全レベル1と2では前置分周選択ビットを変更する時も、本ビットが設定(1)されなければなりません。32頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

ビット3 - WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可 WDEが論理1を書かれるとウォッチドッグ タイマが許可され、WDEが論理0を書かれるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ変更許可 WDCEビットが論理1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

同じ操作 命令 内で、ウォッチドッグ変更許可 WDCEビットとウォッチドッグ許可 WDEビットに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。

次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

安全レベル2では上記の手順でもウォッチドッグ タイマを禁止することができません。32頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

## ビット2~ 0 - WDP2~ 0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~ 0ビットはウォッチドッグ タイムが許可される時のウォッチドッグ タイムの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表10-2に示されます。

表 10-2. ウォッチドッグ前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16k (16,384)	17.1ms	16.3ms
0	0	1	32k (32,768)	34.3ms	32.5ms
0	1	0	64k (65,536)	68.5ms	65ms
0	1	1	128k (131,072)	0.14s	0.13s
1	0	0	256k (262,144)	0.27s	0.26s
1	0	1	512k (524,288)	0.55s	0.52s
1	1	0	1024k (1,048,576)	1.1s	1.0s
1	1	1	2048k (2,097,152)	2.2s	2.1s

次のコード例はウォッチドッグ WDT をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は (例えば全割り込み禁止によって) 割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

### アセンブリ言語 プログラム例

```

WDT_OFF:    WDR                    ;ウォッチドッグ タイム リセット
            IN      R16,WDTOR       現WDTOR値を取得
            ORI     R16,(1<<WDCE)|(1<<WDE) ;WDCEとWDEに論理 1値を設定
            OUT     WDTOR,R16       ;WDCEとWDEに論理 1書き込み
            LDI     R16,(0<<WDE)    ;WDE論理 0値を取得
            OUT     WDTOR,R16       ;ウォッチドッグ禁止
            RET                     呼び出し元へ復帰
  
```

### C言語 プログラム例

```

void WDT_off(void)
{
    _WDR();                          /* ウォッチドッグ タイム リセット */
    WDTOR |= (1<<WDCE)|(1<<WDE);    /* WDCEとWDEに論理 1書き込み */
    WDTOR = 0x00;                   /* ウォッチドッグ禁止 */
}
  
```

## 11. 割り込み

### 11.1 概要

本項はATmega64Aによって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については10頁の「セリット割り込みの扱い」を参照してください。

### 11.2. ATmega64Aの割り込みベクタ

表 11-1. セリット割り込みのベクタ

ベクタ番号	プログラム アドレス (注2)	発生元	備考
1	\$0000 (注1)	セリット	電源ON, WDT, BOD等の各種セリット
2	\$0002	NT0	外部割り込み要求0
3	\$0004	NT1	外部割り込み要求1
4	\$0006	NT2	外部割り込み要求2
5	\$0008	NT3	外部割り込み要求3
6	\$000A	NT4	外部割り込み要求4
7	\$000C	NT5	外部割り込み要求5
8	\$000E	NT6	外部割り込み要求6
9	\$0010	NT7	外部割り込み要求7
10	\$0012	タイマ/カウンタ2 COMP2	タイマ/カウンタ比較一致
11	\$0014	タイマ/カウンタ2 OVF2	タイマ/カウンタ溢れ
12	\$0016	タイマ/カウンタ1 CAPT1	タイマ/カウンタ捕獲発生
13	\$0018	タイマ/カウンタ1 COMP1A	タイマ/カウンタ比較A一致
14	\$001A	タイマ/カウンタ1 COMP1B	タイマ/カウンタ比較B一致
15	\$001C	タイマ/カウンタ1 OVF1	タイマ/カウンタ溢れ
16	\$001E	タイマ/カウンタ0 COMP0	タイマ/カウンタ比較一致
17	\$0020	タイマ/カウンタ0 OVF0	タイマ/カウンタ溢れ
18	\$0022	SPI STC	SPI転送完了
19	\$0024	USART0 RX	USART0受信完了
20	\$0026	USART0 UDRE	USART0送信バッファ空き
21	\$0028	USART0 TX	USART0送信完了
22	\$002A	A/D変換器 ADC	A/D変換完了
23	\$002C	EEPROM EE_RDY	EEPROM 操作可
24	\$002E	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
25	\$0030 (注3)	タイマ/カウンタ1 COMP1C	タイマ/カウンタ比較C一致
26	\$0032 (注3)	タイマ/カウンタ3 CAPT3	タイマ/カウンタ捕獲発生
27	\$0034 (注3)	タイマ/カウンタ3 COMP3A	タイマ/カウンタ比較A一致
28	\$0036 (注3)	タイマ/カウンタ3 COMP3B	タイマ/カウンタ比較B一致
29	\$0038 (注3)	タイマ/カウンタ3 COMP3C	タイマ/カウンタ比較C一致
30	\$003A (注3)	タイマ/カウンタ3 OVF3	タイマ/カウンタ溢れ
31	\$003C (注3)	USART1 RX	USART1受信完了
32	\$003E (注3)	USART1 UDRE	USART1送信バッファ空き
33	\$0040 (注3)	USART1 TX	USART1送信完了
34	\$0042 (注3)	2線直列インターフェース TWI	2線直列インターフェース状態変化
35	\$0044 (注3)	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTヒューズがプログラム(0)されると、デバイスはセリットでフートローダアドレスへ飛びます。17頁の「フートローダ書き込み中読み出し可能な自己プログラミング」をご覧ください。

注2: MCU制御レジスタ(MCUCR)の割り込みベクタ選択(MSEL)ビットが設定(1)されると、割り込みベクタはフートフラッシュ領域先頭部へ移動されます。そして各割り込みベクタのアドレスは、この表のアドレスがフートフラッシュ領域の先頭アドレスに加算されます。

注3: アドレス\$0030~\$0044の割り込みはATmega103互換動作では存在しません。

表 11-2はBOOTRST(ヒューズ)とMSEL割り込みベクタ選択ビットの様々な組み合わせに対するセリットと割り込みベクタの配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが置けます。これはセリットベクタが応用領域の一方、割り込みベクタがフー領域、またはその逆の場合でも同様です。

表 11-2. セリット割り込みベクタの配置

BOOTRST	MSEL	セリットベクタ アドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
	1	\$0000	フー領域先頭アドレス+ \$0002
プログラム(0)	0	フー領域先頭アドレス	\$0002
	1	フー領域先頭アドレス	フー領域先頭アドレス+ \$0002

注: フー領域先頭アドレスは18頁の表 26-6で示されます。

ATmega64Aでの最も代表的且つ一般的な割込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000		JMP RESET	;各種割込み
\$0002		JMP EXT_INT0	;外部割込み要求 0
\$0004		JMP EXT_INT1	;外部割込み要求 1
\$0006		JMP EXT_INT2	;外部割込み要求 2
\$0008		JMP EXT_INT3	;外部割込み要求 3
\$000A		JMP EXT_INT4	;外部割込み要求 4
\$000C		JMP EXT_INT5	;外部割込み要求 5
\$000E		JMP EXT_INT6	;外部割込み要求 6
\$0010		JMP EXT_INT7	;外部割込み要求 7
\$0012		JMP TIM2_COMP	;タイマ/カウンタ比較一致
\$0014		JMP TIM2_OVF	;タイマ/カウンタ溢れ
\$0016		JMP TIM1_CAPT	;タイマ/カウンタ捕獲発生
\$0018		JMP TIM1_COMPA	;タイマ/カウンタ比較 A一致
\$001A		JMP TIM1_COMPB	;タイマ/カウンタ比較 B一致
\$001C		JMP TIM1_OVF	;タイマ/カウンタ溢れ
\$001E		JMP TIM0_COMP	;タイマ/カウンタ比較一致
\$0020		JMP TIM0_OVF	;タイマ/カウンタ溢れ
\$0022		JMP SPI_STC	;SP転送完了
\$0024		JMP USART0_RXC	;USART0受信完了
\$0026		JMP USART0_DRE	;USART0送信バッファ空
\$0028		JMP USART0_TXC	;USART0送信完了
\$002A		JMP ADC	;A/D変換完了
\$002C		JMP EE_RDY	;EEPROM操作可
\$002E		JMP ANA_COMP	;アナログ比較器出力遷移
\$0030		JMP TIM1_COMPC	;タイマ/カウンタ比較 C一致
\$0032		JMP TIM3_CAPT	;タイマ/カウンタ3捕獲発生
\$0034		JMP TIM3_COMPA	;タイマ/カウンタ3比較 A一致
\$0036		JMP TIM3_COMPB	;タイマ/カウンタ3比較 B一致
\$0038		JMP TIM3_COMPC	;タイマ/カウンタ3比較 C一致
\$003A		JMP TIM3_OVF	;タイマ/カウンタ3溢れ
\$003C		JMP USART1_RXC	;USART1受信完了
\$003E		JMP USART1_DRE	;USART1送信バッファ空
\$0040		JMP USART1_TXC	;USART1送信完了
\$0042		JMP TWI	;2線直列インターフェース状態変化
\$0044		JMP SPM_RDY	;SPM命令操作可
;			
\$0046	RESET:	LDI R16,HIGH(RAMEND)	;RAM最終アドレス上位を取得
\$0047		OUT SPH,R16	;スタックポインタ上位を初期化
\$0048		LDI R16,LOW(RAMEND)	;RAM最終アドレス下位を取得
\$0049		OUT SPL,R16	;スタックポインタ下位を初期化
;			
;以下、I/O初期化など			

BOOTRSTヒューズが非プログラム(1) 時、プログラム領域容量が8Kバイトに設定され、どの割込みが許可されるのにも先立ってMCU制御レジスタ(MCUCR)の割込みベクタ選択(MSEL)レジスタが設定(1)される時の最も代表的且つ一般的な割込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000	RESET:	LDI R16,HIGH(RAMEND)	;RAM最終アドレス上位を取得 (応用プログラム開始)
\$0001		OUT SPH,R16	;スタックポインタ上位を初期化
\$0002		LDI R16,LOW(RAMEND)	;RAM最終アドレス下位を取得
\$0003		OUT SPL,R16	;スタックポインタ下位を初期化
;			
;以下、I/O初期化など			
;			
		.ORG \$7002	;ポートプログラム領域が8Kバイトの場合
\$7002		JMP EXT_INT0	;外部割込み要求 0
\$7004		JMP EXT_INT1	;外部割込み要求 1
;			
\$7044		JMP SPM_RDY	;SPM命令操作可



BOOTRSTヒューズがプログラム(0) フォーム領域容量が8Kバイトに設定される時の最も代表的且つ一般的なセグメント割り込みのヘキサデシマルアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
		.ORG \$0002	;割り込みヘキサデシマル先頭
\$0002		JMP EXT_INT0	外部割り込み要求 0
\$0004		JMP EXT_INT1	外部割り込み要求 1
\$0044		JMP SPM_RDY	;SPM命令操作可 ;以下、プログラムなど
		.ORG \$7000	;ポートプログラム領域が8Kバイトの場合
\$7000	RESET:	LDI R16,HIGH(RAVEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$7001		OUT SPH,R16	;スタックポインタ上位を初期化
\$7002		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$7003		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

BOOTRSTヒューズがプログラム(0) フォーム領域容量が8Kバイトに設定され、どの割り込みが許可されるのにも先立ってMCU制御レジスタ(MCUCR)の割り込みヘキサデシマル選択(MSEL)ビットが設定(1)される時の最も代表的且つ一般的なセグメント割り込みのヘキサデシマルアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
		.ORG \$7000	;ポートプログラム領域が8Kバイトの場合
\$7000		JMP RESET	;各種セグメント (BOOTRSTヒューズ=0)
\$7002		JMP EXT_INT0	外部割り込み要求 0
\$7004		JMP EXT_INT1	外部割り込み要求 1
\$7044		JMP SPM_RDY	;SPM命令操作可
\$7046	RESET:	LDI R16,HIGH(RAVEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$7047		OUT SPH,R16	;スタックポインタ上位を初期化
\$7048		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$7049		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

## 11.2.1 応用領域とポート領域間の割り込みヘキサデシマル移動

MCU制御レジスタ(MCUCR)は割り込みヘキサデシマル表の配置を制御します。

## 11.3. ベクタ移動用レジスタ

### 11.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット1 - MSEL : 割り込みベクタ選択 (Interrupt Vector Select)

MSELビットが解除 (0) されると、割り込みベクタはフラッシュメモリの先頭に配置されます。このビットが設定 (1) されると、割り込みベクタはフラッシュメモリのブートロータ領域の始まりへ移動されます。ブートフラッシュ領域先頭の実際のアドレスは [BOOTSZレジスタ](#) によって決定されます。詳細については [177頁](#) の「ブートローダ書き込み中読み出し可能な自己プログラミング」項目を参照してください。割り込みベクタ表の予期せぬ変更を防ぐため、MSELビットの変更は特別な書き込み手順に従わなければなりません。

割り込みベクタ変更許可 (MCE) ビットに 1 を書きます。

4周期内に、欲した値を MSEL に書き、同時に 0 を MCE に書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みは MCE が設定 (1) される周期で禁止され、後続の MSEL に書く命令の後まで禁止されたままです。MSEL が書かれなければ、割り込みは 4 周期間禁止されたままです。 [ステータスレジスタ \(SREG\) の全割り込み許可 \(I\) ビット](#) はこの自動禁止によって影響されません。

**注** : 割り込みベクタがブートロータ領域に配置され、BLB02 プー 施錠ビットがプログラム (0) されると、応用領域から実行する間中、割り込みが禁止されます。割り込みベクタが応用領域に配置され、BLB12 プー 施錠ビットがプログラム (0) されると、ブートロータ領域から実行する間中、割り込みが禁止されます。プー 施錠ビットの詳細については [177頁](#) の「ブートローダ書き込み中読み出し可能な自己プログラミング」を参照してください。

#### ビット0 - MCE : 割り込みベクタ変更許可 (Interrupt Vector Change Enable)

MCE ビットは割り込みベクタ選択 (MSEL) ビットの変更を許可するために論理 1 を書かれなければなりません。MCE は MSEL が書かれる時、または MCE が書かれた後の 4 周期後、ハードウェアによって解除 (0) されます。上記 MSEL で説明されるように MCE ビットの設定 (1) は割り込みを一時的に禁止します。以下のコード例をご覧ください。

#### アセンブリ言語プログラム例

```

MOVE_IVT:  IN    R16,MCUCR           ; 現MCUCR値取得
            MOV   R17,R16           ; 現MCUCR値複写
            ORI   R16,(1<<IVCE)     ; MCE論理 1値を取得
            OUT   MCUCR,R16         ; MCEに論理 1書き込み
            ORI   R17,(1<<IVSEL)     ; MSEL論理 1値を取得
            OUT   MCUCR,R17         ; プー 領域へ割り込みベクタを移動
            RET                      ; 呼び出し元へ復帰

```

#### C言語プログラム例

```

void Move_interrupts(void)
{
    uchar temp;                      /* 一時定数定義 */
    temp = MCUCR;                   /* 現MCUCR値取得 */
    MCUCR = temp|(1<<IVCE);         /* MCEに論理 1書き込み */
    MCUCR = temp|(1<<IVSEL);        /* プー 領域へ割り込みベクタを移動 */
}

```

## 12. 外部割り込み

外部割り込みは NT7~ 0<sup>レ</sup>によって起動されます。許可したなら、例え NT7~ 0<sup>レ</sup>が出力として設定されても割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端または下降端 (含む両端) または Lowレベルによって起動できます。これは外部割り込み制御レジスタ EICRA (NT3~ 0)とEICRB (NT7~ 4)の詳述で示される設定です。外部割り込みがレベル起動として設定、且つ許可されると、そのピンが Lowに保持される限り、割り込みは継続的に起動します。NT7~ 4の上昇端または下降端割り込みの認知は22頁の「クロック系統とその配給」で記述される I/Oクロックの存在を必要とすることに注意してください。NT7~ 4の Lowレベル割り込みとNT3~ 0のエッジ割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からモデハイスを起動するのに使用できることを意味します。I/Oクロックはアイドル動作を除く全休止形態で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使用される場合、変化したレベルはMCUを起動するために一定時間保たなければならないことに注意してください。これはMCUの雑音不安定性を減らします。変化したレベルはウォッチドック発振器クロックによって2度採取されます。ウォッチドック発振器の周期は5.0V/25で(公称)μsです。ウォッチドック発振器の周波数は214頁の「代表特性」で示されるように電圧依存です。この採取の間、入力が必要としたレベルであるか、または起動時間の最後まで保たれれば、MCUは起動します。起動時間は22頁の「システムクロックとクロック選択」で示されるようにSUTヒューズで定義されます。このレベルがウォッチドック発振器クロックによって2度採取されるけれど、起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たなければならないままです。

### 12.1 外部割り込み用レジスタ

#### 12.1.1 外部割り込み制御レジスタA (External Interrupt Control Register A) EICRA

ビット (\$6A)	7	6	5	4	3	2	1	0	
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このレジスタはATmega103互換動作でやり取り(アクセスできませんが、初期値はATmega103と同じ)Lowレベル割り込みとしてNT3~ 0を定義設定します。

ビット7~ 0 - ISC31<sup>レ</sup> ISC01<sup>レ</sup> 外部割り込み3~ 0条件制御 (External Interrupt3~ 0 Sense Control Bits)

外部割り込み3~ 0はステータスレジスタ(SREG)の全割り込み許可(1)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可ビットが設定(1)される場合のNT3~ 0外部ピンによって活性(有効)にされます。割り込みを活性にする外部NT3~ 0<sup>レ</sup>のエッジとレベルは表12-1で定義されます。NT3~ 0のエッジは非同期に記録されます。表12-2で与えられた最小パルス幅より広いNT3~ 0のパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければならないままです。許可したなら、レベルで起動する割り込みはそのピンがLowを保持される限り、割り込み要求を継続的に生成します。ISCn<sup>レ</sup>ビット変更時、割り込みが起き得ます。従って最初にEMSKの割り込み許可ビットを解除(0)することでNT<sup>レ</sup>割り込みを禁止することが推奨されます。その後ISCn<sup>レ</sup>ビットは変更できます。最後にNT<sup>レ</sup>割り込み要求フラグは割り込みが再び許可される前に外部割り込み要求フラグレジスタ(EFR)の外部割り込み要求(NTFn)フラグに論理1を書くことによって解除(0)されるべきです。

表 12-1 外部割り込み3~ 0割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	NTn <sup>レ</sup> のLowレベル
0	1	(予約)
1	0	NTn <sup>レ</sup> の下降端
1	1	NTn <sup>レ</sup> の上昇端

注 : n=3~ 0

ISCn1~ 0<sup>レ</sup>ビット変更時、割り込みはEMSKで割り込み許可ビットの解除(0)によって禁止されなければならないままです。さもなければビットが変更される時に割り込みが起き得ます。

表 12-2 非同期外部割り込み特性

シンボル	項目	Min	Typ	Max	単位
t <sub>NT</sub>	非同期外部割り込み最小パルス幅		50		ns

### 12.1.2. 外部割り込み制御レジスタB (External Interrupt Control Register B) EICRB

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	EICRB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - ISC71~ ISC41: 外部割り込み7~ 4条件制御 (External Interrupt7~ 4 Sense Control Bits)

外部割り込み7~ 4はステータスレジスタ(SREG)の全割り込み許可(1)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可ビットが設定(1)される場合のNT7~ 4外部ピンによって活性有効にされます。割り込みを活性にする外部NT7~ 4ピンのエッジとレベルは表12-3で定義されます。NT7~ 4ピンの値はエッジ検知前に採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。XTAL分周器が許可される場合、CPUクロック周波数がXTAL周波数より低くできることを考慮してください。Lowレベル割り込みが選択される場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。許可したなら、レベルで起動する割り込みはそのピンがLowを保持される限り割り込み要求を連続的に生成します。

表 12-3 外部割り込み7~ 4割り込み条件

ISn1	ISn0	割り込み発生条件
0	0	NTnピンのLowレベル
0	1	NTnピンの論理変化 (両端)
1	0	NTnピンの下降端
1	1	NTnピンの上昇端

注 : n=7~ 4

ISn1~ 0ビット変更時、割り込みはEMSKで割り込み許可ビットの解除(0)によって禁止されなければなりません。さもなければビットが変更される時に割り込みが起き得ます。

### 12.1.3. 外部割り込みマスクレジスタ (External Interrupt Mask Register) EMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	NT7	NT6	NT5	NT4	NT3	NT2	NT1	NT0	EMSK
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - NT7~ NT0: 外部割り込み7~ 0許可 (External Interrupt Request 7~ 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットが設定(1)され、NT7~ 0ビットが1を書かれると対応する外部ピン割り込みが許可されます。外部割り込み制御レジスタ(EICRAとEICRB)の割り込み条件制御n(ISn1, ISn0)ビットは、その外部割り込みが上昇端、下降端、両端、またはLowレベルのどれで活性有効にされるかを定義します。例えばそのピンが出力として設定されても、そのピンの動きは割り込み要求を引き起こします。これはソフトウェア割り込みを生成する方法を提供します。

### 12.1.4. 外部割り込み要求フラグレジスタ (External Interrupt Flag Register) EIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	NTF7	NTF6	NTF5	NTF4	NTF3	NTF2	NTF1	NTF0	EIFR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - NTF7~ NTF0: 外部割り込み7~ 0要求フラグ (External Interrupt Flag7~ 0)

NT7~ 0ピン上のエッジまたは論理変化が割り込み要求を起動すると、NTF7~ 0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(1)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可(NT7~ 0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。NT7~ 0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。NT3~ 0割り込み禁止で休止形態へ移行すると、これらのピンの入力緩衝部が禁止されることに注意してください。これはNTF3~ 0フラグを設定(1)する内部信号の論理変化を起こすかもしれません。より多くの情報については43頁の「デジタル入力許可と休止形態」をご覧ください。

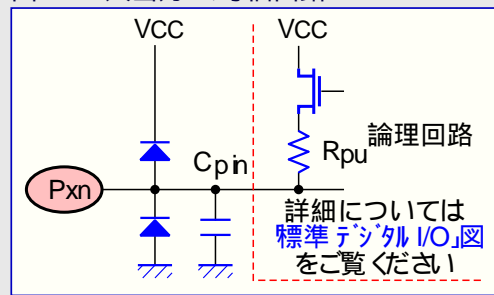


## 13. 入出力ポート

### 13.1 概要

全てのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み・変更・書き（リード・モディファイ・ライト）を機能的に持ちます。これは**SB**と**CB**命令で他のどのビットの方向をも無意識に変更することなく、一つのポートビットの方向を変更できることを意味します。出力として設定されていれば駆動値を変更、または（入力として設定されていれば）プルアップ抵抗を許可・禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し（ソース）と引き込み（シンク）の両能力で対称的な駆動特性を持ちます。このビット駆動部はLED表示器を直接駆動するのに十分な強さです。全てのポートビットは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oビットは図13-1で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については205頁の「電気的特性」を参照してください。

図 13-1 入出力ビット等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'**x**'はポート番号文字、小文字の'**n**'はビット番号を表します。けれどもプログラム内でレジスタやビット定義を使用するとき、正確な形式（例えば、ここで一般に記されたPORTxnがポートBのビット3に対しては**PORTB3**が使用されなければなりません）。物理的なI/Oレジスタとビット位置は56頁の「I/Oポート用レジスタ」で一覧されます。

各々一つの出力レジスタ（PORTx）、方向レジスタ（DDRx）、入力レジスタ（PINx）の各ポートに対して、3つのI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き両方です。加えて特殊I/O機能レジスタ（SFR）のプルアップ禁止（PUDビット）が設定（1）されると、全ポートで全ビットに対してプルアップ機能を禁止します。

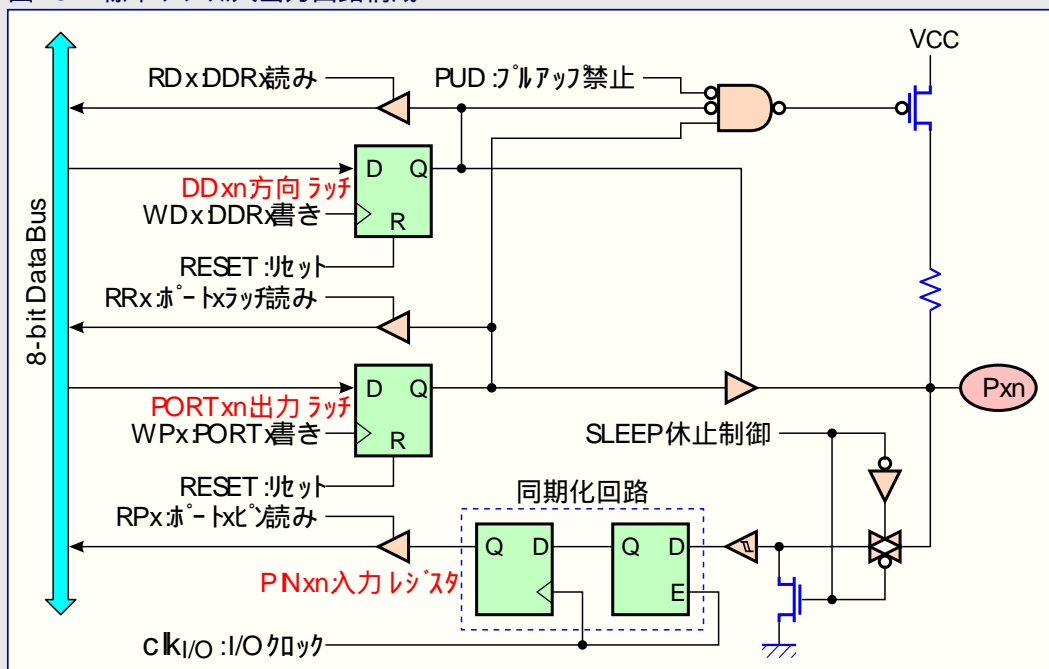
標準デジタルI/OとしてのI/Oポートの使用は次の標準デジタル入出力としてのポートで記述されます。多くのポートピンはデバウンスの周辺機能用の兼用機能と多重化されます。ポートピンとの各兼用機能のインターフェース法は44頁の「兼用ポート機能」で記述されます。兼用機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの兼用機能の許可は、そのポート内の他のビットの標準デジタル入出力としての使用に影響しないことに注意してください。

### 13.2 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図13-2はここで属にPxnと呼ばれるI/Oポートビットの一つの機能説明を示します。

図 13-2 標準デジタル入出力回路構成



注：WPx, WDx, RRx, RPx, RDxは同一ポート内の全ビットで共通です。  
clk<sub>I/O</sub>, SLEEP, PUDは全ポートで共通です。

### 13.2.1. ピンの設定

各ポートピンは3つのレジスタビット **DDxn** **PORTxn** **PNxn**から成ります。56頁の「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRxn I/Oアドレス PORTxnビットはPORTx I/Oアドレス PNxnビットはPNx I/Oアドレスでアクセスされます。

DDRxnレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、レジスタ条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

Hi-Z入力 (DDxn=0, PORTxn=0)とHigh出力 (DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力 (DDxn=0, PORTxn=1)またはLow出力 (DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力なHigh(1)ソース駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するのに**特殊 I/O機能レジスタ(SFDR)のプルアップ禁止(PUD)ビット**が設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力 (DDxn=0, PORTxn=0)またはHigh出力 (DDxn=1, PORTxn=1)のどちらかを使用しなければなりません。

表 13-1はピン値に対する制御信号の一覧を示します。

表 13-1. ポートピンの設定

DDxn	PORTxn	PUD (SFDR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク)出力
1	1	X	出力	なし	High (ソース)出力

### 13.2.2. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPNxnレジスタビットを通して読みます。図 13-2で示されるようにPNxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図 13-3は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々  $t_{pdmin}$ と $t_{pdmax}$ で示されます。

図 13-3でシステムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に**同期ラッチ**信号の斜線部分で示されるように通過(トランスパレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPNxnレジスタに取り込まれます。2つの矢印  $t_{pdmin}$ と $t_{pdmax}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図 13-4で示されるように**NOP**命令が挿入されなければなりません。**OUT**命令はシステムクロックの上昇端で**同期ラッチ**を設定します。この場合、同期化回路を通過する遅延時間( $t_{pd}$ )は1システムクロック周期です。

図 13-3 外部供給ピン値読み込み時の同期化

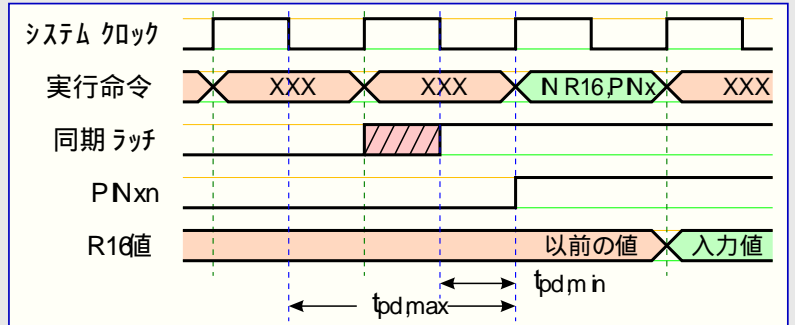
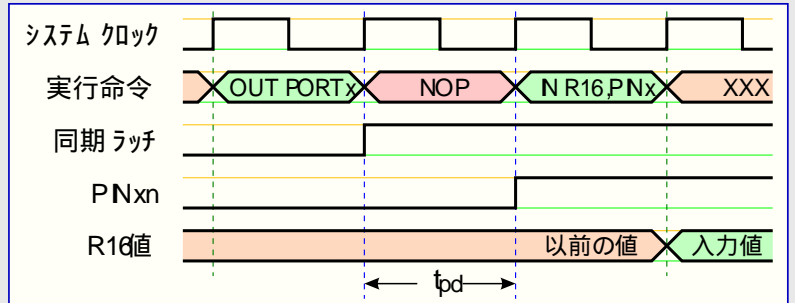


図 13-4 プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4～7を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

## アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0) ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ビット値を取得
OUT    PORTB, R16 ;プルアップとHigh値を設定
OUT    DDRB, R17 ;入出力方向を設定
NOP    ;同期化遅延対処
IN     R16, PINB ;ピン値読み戻し
~
;
```

## C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0); /*プルアップとHigh値を設定*/
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0); /*入出力方向を設定*/
_NOP(); /*同期化遅延対処*/
i = PINB; /*ピン値読み戻し*/
~
/* */
```

注：アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使用されます。

### 13.2.3. デジタル入力許可と休止形態

図13-2で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作、パワーセーブ動作、スタンバイ動作、拡張スタンバイ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは4頁の「兼用ポート機能」で記載されるように様々な他の兼用機能によっても無視されます。

外部割り込みが許可されていない上昇端、下降端または論理変化(両端割り込み)として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から復帰再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(1)されます。

### 13.2.4. 未接続ピン

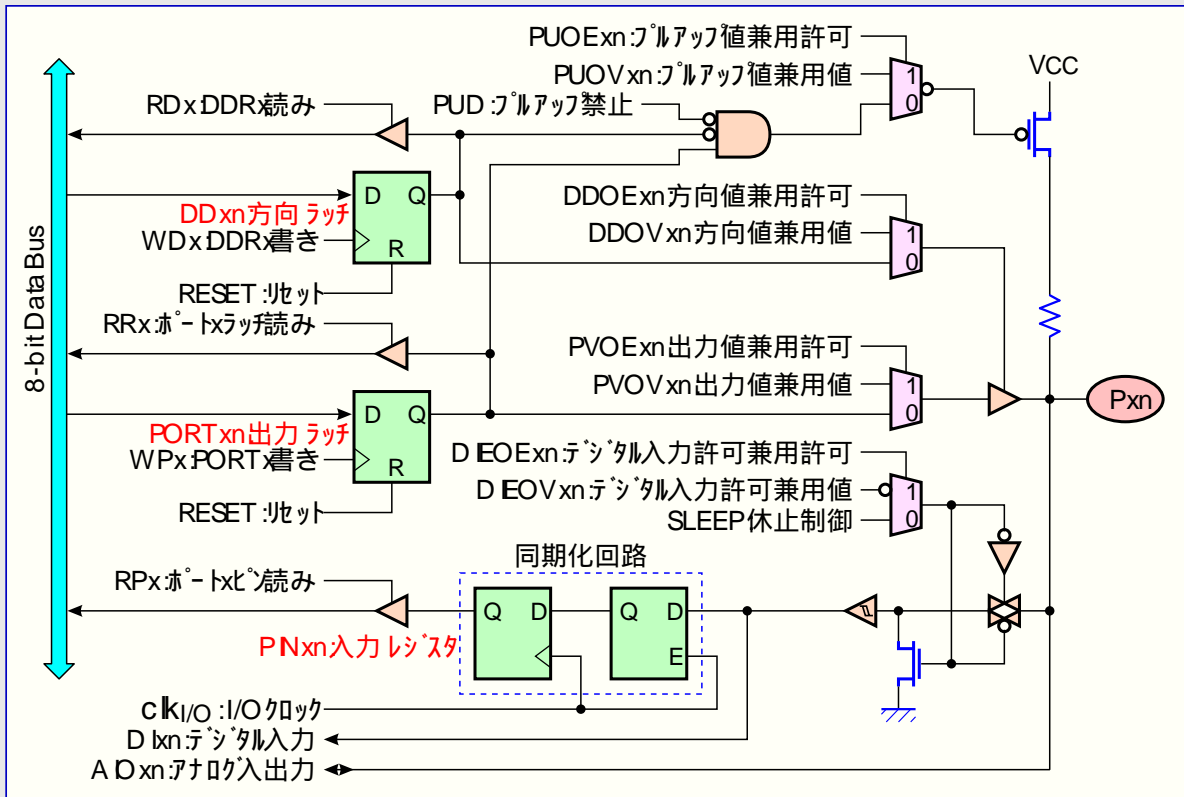
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例えば上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット通常動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

### 13.3 兼用ポート機能

多くのポートピンには標準デジタル入出力に加え兼用機能があります。図13-5は単純化された図13-2でのポートピン制御信号が兼用機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

図13-5 兼用ポート機能入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
clk<sub>I/O</sub>, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表13-2は重複兼用信号の機能一覧を示します。図13-5で示すピンとポートは次表で示されません。重複兼用信号は兼用機能を持つ機能部で内部的に生成されます。

表13-2 兼用機能用兼用信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値兼用許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値兼用値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値兼用許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値兼用値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値兼用許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値兼用値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
DEOE	デジタル入力許可兼用許可	1で、デジタル入力許可はDEOV信号で制御され、0の場合、MCUの状態(通常動作、休止形態)によって決定されます。
DEOV	デジタル入力許可兼用値	DEOE=1時、MCUの状態(通常動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	兼用機能用デジタル入力です。この信号は図上でシュミットトリカ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各兼用機能自身が同期化します。
AD	アナログ入出力	兼用機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は兼用機能に関連する重複兼用信号と各ポートの兼用機能を簡単に記述します。更に先の詳細については兼用機能の記述を参照してください。



## 13.3.1. ホートAの兼用機能

ホートAには外部メモリアンタフェース用のアドレス下位バイトとデータ信号線としての兼用機能があります。

表 13-3. ホートAの兼用機能

ポートピン	兼用機能
PA7	AD7 外部メモリアンタフェースアドレス/データビット7)
PA6	AD6 外部メモリアンタフェースアドレス/データビット6)
PA5	AD5 外部メモリアンタフェースアドレス/データビット5)
PA4	AD4 外部メモリアンタフェースアドレス/データビット4)
PA3	AD3 外部メモリアンタフェースアドレス/データビット3)
PA2	AD2 外部メモリアンタフェースアドレス/データビット2)
PA1	AD1 外部メモリアンタフェースアドレス/データビット1)
PA0	AD0 外部メモリアンタフェースアドレス/データビット0)

表 13-4と表 13-5はホートAの兼用機能を44頁の図 13-5で示される兼用信号に関連付けます。

表 13-4. ホートA7~ 4の兼用機能用兼用信号

信号名	PA7/AD7	PA6/AD6	PA5/AD5	PA4/AD4
PUOE	SRE	SRE	SRE	SRE
PUOV	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA7} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA6} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA5} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA4} \cdot \text{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$
PVOE	SRE	SRE	SRE	SRE
PVOV	$A7 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A6 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A5 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A4 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	D7入力	D6入力	D5入力	D4入力
AD	-	-	-	-

表 13-5. ホートA3~ 0の兼用機能用兼用信号

信号名	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PUOE	SRE	SRE	SRE	SRE
PUOV	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA3} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA2} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA1} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA0} \cdot \text{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$
PVOE	SRE	SRE	SRE	SRE
PVOV	$A3 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A2 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A1 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$	$A0 \cdot \overline{ADA} \cdot \text{P出力} \cdot \overline{WR}$
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	D3入力	D2入力	D1入力	D0入力
AD	-	-	-	-

注 : ADAはアドレス有効 (Address Active)の略でアドレスが出力される時を表します。14頁の「外部メモリアンタフェース」をご覧ください。

### 13.3.2. ホー-IBの兼用機能

ホー-IBの兼用機能は表 13-6で示されます。

表 13-6. ホー-IBの兼用機能

ホー-IB	兼用機能
PB7	OC2 (タイマ/カウンタ2比較一致出力) OC1C (タイマ/カウンタ1比較C一致出力) (注 1)
PB6	OC1B (タイマ/カウンタ1比較B一致出力)
PB5	OC1A (タイマ/カウンタ1比較A一致出力)
PB4	OC0 (タイマ/カウンタ0比較一致出力)
PB3	MISO (SPI主装置側データ入力/従装置側データ出力)
PB2	MOSI (SPI主装置側データ出力/従装置側データ入力)
PB1	SCK (SPI直列クロック主装置側出力/従装置側入力)
PB0	SS (SPI従装置選択入力)

注 1: OC1CはATmega103互換動作で利用できません。

兼用IBの設定は次の通りです。

#### OC2/OC1C - ホー-IB ビット7 :PB7

OC2 :タイマ/カウンタ2の比較一致出力。PB7はタイマ/カウンタ2の比較一致用外部出力として扱えます。この機能を扱うため、このIBは出力として設定 (DDB7=1) しなければなりません。このOC2はタイマ機能のPWM動作出力IBでもあります。

OC1C :タイマ/カウンタ1の比較C一致出力。PB7はタイマ/カウンタ1の比較C一致用外部出力として扱えます。この機能を扱うため、このIBは出力として設定 (DDB7=1) しなければなりません。このOC1Cはタイマ機能のPWM動作出力IBでもあります。

#### OC1B - ホー-IB ビット6 :PB6

OC1B :タイマ/カウンタ1の比較B一致出力。PB6はタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このIBは出力として設定 (DDB6=1) しなければなりません。このOC1Bはタイマ機能のPWM動作出力IBでもあります。

#### OC1A - ホー-IB ビット5 :PB5

OC1A :タイマ/カウンタ1の比較A一致出力。PB5はタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、このIBは出力として設定 (DDB5=1) しなければなりません。このOC1Aはタイマ機能のPWM動作出力IBでもあります。

#### OC0 - ホー-IB ビット4 :PB4

OC0 :タイマ/カウンタ0の比較一致出力。PB4はタイマ/カウンタ0の比較一致用外部出力として扱えます。この機能を扱うため、このIBは出力として設定 (DDB4=1) しなければなりません。このOC0はタイマ機能のPWM動作出力IBでもあります。

#### MISO - ホー-IB ビット3 :PB3

MISO :SPIチャネル用の主装置データ入力、従装置データ出力。SPが主装置として許可されると、このIBはホー-IB方向レジスタ (DDB3) の設定に拘らず、入力として設定されます。SPが従装置として許可されると、このIBのデータ方向はDDB3によって制御されます。このIBがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ (PORTB) の PORTB3によって制御できます。

#### MOSI - ホー-IB ビット2 :PB2

MOSI :SPIチャネル用の主装置データ出力、従装置データ入力。SPが従装置として許可されると、このIBはホー-IB方向レジスタ (DDB2) の設定に拘らず、入力として設定されます。SPが主装置として許可されると、このIBのデータ方向はDDB2によって制御されます。このIBがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ (PORTB) の PORTB2によって制御できます。

#### SCK - ホー-IB ビット1 :PB1

SCK :SPIチャネル用の主装置クロック出力、従装置クロック入力。SPが従装置として許可されると、このIBはホー-IB方向レジスタ (DDB1) の設定に拘らず、入力として設定されます。SPが主装置として許可されると、このIBのデータ方向はDDB1によって制御されます。このIBがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ (PORTB) の PORTB1によって制御できます。

#### SS - ホー-IB ビット0 :PB0

SS :SPI従装置選択入力。SPが従装置として許可されると、このIBはホー-IB方向レジスタ (DDB0) の設定に拘らず、入力として設定されます。従装置としてこのIBがLowに駆動されるとSPI機能が活性有効にされます。SPが主装置として許可されると、このIBのデータ方向はDDB0によって制御されます。このIBがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ (PORTB) の PORTB0によって制御できます。

表 13-7と表 13-8は、 $\bar{A}7$ ~ $\bar{A}0$ の兼用機能を44頁の図 13-5で示される兼用信号に関連付けます。SP主装置入力とSP従装置出力がMISOを構成し、一方MOSIはSP主装置出力とSP従装置入力に分けられます。

表 13-7.  $\bar{A}7$ ~ $\bar{A}4$ の兼用機能用兼用信号

信号名	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC2/OC1C許可 (注1)	OC1B許可	OC1A許可	OC0許可
PVOV	OC2/OC1C (注1)	OC1B	OC1A	OC0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: 詳細については108頁の「比較出力変調器 (COM1C2)」をご覧ください。ATmega103互換動作にOC1Cは存在しません。

表 13-8.  $\bar{A}3$ ~ $\bar{A}0$ の兼用機能用兼用信号

信号名	PB3/MISO	PB2/MOSI	PB1/SCK	PB0/SS
PUOE	SPE・MSTR	SPE・MSTR	SPE・MSTR	SPE・MSTR
PUOV	PORTB3・PUD	PORTB2・PUD	PORTB1・PUD	PORTB0・PUD
DDOE	SPE・MSTR	SPE・MSTR	SPE・MSTR	SPE・MSTR
DDOV	0	0	0	0
PVOE	SPE・MSTR	SPE・MSTR	SPE・MSTR	0
PVOV	SP従装置出力	SP主装置出力	SCK出力	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	SP主装置入力	SP従装置入力	SCK入力	SPISS
AD	-	-	-	-

### 13.3.3. ホートICの兼用機能

ATmega103互換動作ではホートICが出力専用です。ホートICには外部メモリインターフェース用アドレス上位バイトとしての兼用機能があります。

表 13-9. ホートICの兼用機能

ポートピン	兼用機能
PC7	A15 外部メモリアドレスビット15)
PC6	A14 外部メモリアドレスビット14)
PC5	A13 外部メモリアドレスビット13)
PC4	A12 外部メモリアドレスビット12)
PC3	A11 外部メモリアドレスビット11)
PC2	A10 外部メモリアドレスビット10)
PC1	A9 外部メモリアドレスビット9)
PC0	A8 外部メモリアドレスビット8)

表 13-10と表 13-11はホートICの兼用機能を4頁の図 13-5で示される兼用信号に関連付けます。

表 13-10. ホートIC7~ 4の兼用機能用兼用信号

信号名	PC7/A15	PC6/A14	PC5/A13	PC4/A12
PUOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PUOV	0	0	0	0
DDOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
DDOV	1	1	1	1
PVOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PVOV	A15	A14	A13	A12
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: ATmega103互換動作ではXMM=0です。

表 13-11. ホートIC3~ 0の兼用機能用兼用信号

信号名	PC3/A11	PC2/A10	PC1/A9	PC0/A8
PUOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PUOV	0	0	0	0
DDOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
DDOV	1	1	1	1
PVOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PVOV	A11	A10	A9	A8
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: ATmega103互換動作ではXMM=0です。



## 13.3.4. ホールIDの兼用機能

ホールIDの兼用機能は表 13-12で示されます。

表 13-12. ホールIDの兼用機能

ホールID	兼用機能
PD7	T2 (タイマ/カウンタ2外部 クロック入力)
PD6	T1 (タイマ/カウンタ1外部 クロック入力)
PD5	XCK1 (USART1外部 クロック出力) (注 1)
PD4	CP1 (タイマ/カウンタ1捕獲起動入力)
PD3	NT3 外部割り込み 3入力) TXD1 (USART1送信 テータ出力) (注 1)
PD2	NT2 外部割り込み 2入力) RXD1 (USART1受信 テータ入力) (注 1)
PD1	NT1 外部割り込み 1入力) SDA (2線直列バス テータ入出力) (注 1)
PD0	NT0 外部割り込み 0入力) SCL (2線直列バス クロック入出力) (注 1)

注 1: XCK1, TXD1, RXD1, SDA, SCLはATmega103互換動作では利用できません。

兼用IDの設定は次の通りです。

T2 - ホールID ビット7 :PD7

T2 :タイマ/カウンタ2の外部 クロック入力ピンです。

T1 - ホールID ビット6 :PD6

T1 :タイマ/カウンタ1の外部 クロック入力ピンです。

XCK1 - ホールID ビット5 :PD5

XCK1 :USART1の外部 クロック入出力。ホールID方向レジスタ(DDRD)のDDD5は、このクロックが入力 (DDD5=0)または出力 (DDD5=1)のどちらかを制御します。XCK1ピンはUSARTが同期種別で動作する時だけ活動します (有効です)。

CP1 - ホールID ビット4 :PD4

CP1 :タイマ/カウンタ1の捕獲起動入力。PD4ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

NT3/TXD1 - ホールID ビット3 :PD3

NT3 外部割り込み 3入力。PD3ピンはMCUへの外部割り込み元として扱えます。

TXD1 送信 テータ(USART1用 テータ出力ピン) USART 送信部が許可されると、このピンはホールID方向レジスタ(DDRD)のDDD3の値に拘らず、出力として設定されます。

NT2/RXD1 - ホールID ビット2 :PD2

NT2 外部割り込み 2入力。PD2ピンはMCUへの外部割り込み元として扱えます。

RXD1 受信 テータ(USART1用 テータ入力ピン) USART 受信部が許可されると、このピンはDDRDのDDD2の値に拘らず、入力として設定されます。USARTがこのピンを入力に強制するとき、プルアップは未だPORTD2ビットによって制御できます。

NT1/SDA - ホールID ビット1 :PD1

NT1 外部割り込み 1入力。PD1ピンはMCUへの外部割り込み元として扱えます。

SDA :2線直列 インターフェース テータ。2線直列 インターフェースを許可するために2線直列 インターフェース制御レジスタ(TWCR)の2線直列 インターフェース動作許可 (TWEN)ビットが設定 (1)されると、PD1は通常の ホールIDから切り離されて、2線直列 インターフェース用直列 テータ入出力ピンになります。この動作では入力信号上の50nsより短いスパイク瞬間雑音を消去するためのスパイク除去器があり、スレーブレート上昇/下降速度 制限付きオープン ドレイン駆動部によって駆動されます。このピンが2線直列 インターフェースによって使用されるとき、プル アップは未だPORTD1によって制御できます (注 共通性から本行追加)。

NT0/SCL - ホールID ビット0 :PD0

NT0 外部割り込み 0入力。PD0ピンはMCUへの外部割り込み元として扱えます。

SCL :2線直列 インターフェース クロック。2線直列 インターフェースを許可するために2線直列 インターフェース制御レジスタ(TWCR)の2線直列 インターフェース動作許可 (TWEN)ビットが設定 (1)されると、PD0は通常の ホールIDから切り離されて、2線直列 インターフェース用直列 クロック入出力ピンになります。この動作では入力信号上の50nsより短いスパイク瞬間雑音を消去するためのスパイク除去器があり、スレーブレート上昇/下降速度 制限付きオープン ドレイン駆動部によって駆動されます。このピンが2線直列 インターフェースによって使用されるとき、プル アップは未だPORTD0ビットによって制御できます (注 共通性から本行追加)。

表 13-13と表 13-14はポートDの兼用機能を44頁の図 13-5で示される兼用信号に関連付けます。

表 13-13.ポートD7~4の兼用機能用兼用信号

信号名	PD7/T2	PD6/T1	PD5/XCK1	PD4/CP1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	UMSEL1	0
PVOV	0	0	XCK1出力	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	T2入力	T1入力	XCK1入力	CP1入力
AD	-	-	-	-

表 13-14.ポートD3~0の兼用機能用兼用信号

信号名	PD3/NT3/TXD1	PD2/NT2/RXD1	PD1/NT1/SDA	PD0/NT0/SCL
PUOE	TXEN1	RXEN1	TWEN	TWEN
PUOV	0	PORTD2・PUD	PORTD1・PUD	PORTD0・PUD
DDOE	TXEN1	RXEN1	TWEN	TWEN
DDOV	1	0	SDA出力	SCL出力
PVOE	TXEN1	0	TWEN	TWEN
PVOV	TXD1	0	0	0
DEOE	NT3許可	NT2許可	NT1許可	NT0許可
DEOV	1	1	1	1
DI	NT3入力	NT2入力/RXD1	NT1入力	NT0入力
AD	-	-	SDA入力	SCL入力

**注** :許可されると、2線直列インターフェースはPD0とPD1への出力のスリューレ制御を許可します。これは図で示されていません。  
加えて、ポートDで示されるAD出力と2線直列インターフェース(TWI)部間にパルス除去器が接続されます。

## 13.3.5. ホールタの兼用機能

ホールタの兼用機能は表 13-15 で示されます。

表 13-15. ホールタの兼用機能

ホールタ	兼用機能	ホールタ	兼用機能
PE7	NT7 外部割り込み 7 入力 ) CP3 (タイマ/カウンタ 3 捕獲起動入力 ) 注 1)	PE3	AN1 (アナログ比較器反転入力 ) OC3A (タイマ/カウンタ 3 比較 A 一致出力 ) 注 1)
PE6	NT6 外部割り込み 6 入力 ) T3 (タイマ/カウンタ 3 外部 クロック入力 ) 注 1)	PE2	AN0 (アナログ比較器非反転入力 ) XCK0 (USART0 外部 クロック入出力 ) 注 1)
PE5	NT5 外部割り込み 5 入力 ) OC3C (タイマ/カウンタ 3 比較 C 一致出力 ) 注 1)	PE1	TXD0 (USART0 送信 テータ出力 ) PDO (直列プログラミング テータ出力 )
PE4	NT4 外部割り込み 4 入力 ) OC3B (タイマ/カウンタ 3 比較 B 一致出力 ) 注 1)	PE0	RXD0 (USART0 受信 テータ入力 ) PDI (直列プログラミング テータ入力 )

注 1: CP3, T3, OC3C, OC3B, OC3A, XCK0 は ATmega103 互換動作では利用できません。

兼用タの設定は次の通りです。

NT7/CP3 - ホールタビット 7 : PE7

NT7 外部割り込み 7 入力。PE7 は MCU への外部割り込み元として扱えます。

CP3 : タイマ/カウンタ 3 の捕獲起動入力。PE7 はタイマ/カウンタ 3 用捕獲起動入力タとして動作できます。

NT6/T3 - ホールタビット 6 : PE6

NT6 外部割り込み 6 入力。PE6 は MCU への外部割り込み元として扱えます。

T3 : タイマ/カウンタ 3 の外部 クロック入力タです。

NT5/OC3C - ホールタビット 5 : PE5

NT5 外部割り込み 5 入力。PE5 は MCU への外部割り込み元として扱えます。

OC3C : タイマ/カウンタ 3 の比較 C 一致出力。PE5 はタイマ/カウンタ 3 の比較 C 一致用外部出力として扱えます。この機能を扱うため、このタは出力として設定 (DDE5=1) されなければなりません。この OC3C はタイマ機能の PWM 動作出力タでもあります。

NT4/OC3B - ホールタビット 4 : PE4

NT4 外部割り込み 4 入力。PE4 は MCU への外部割り込み元として扱えます。

OC3B : タイマ/カウンタ 3 の比較 B 一致出力。PE4 はタイマ/カウンタ 3 の比較 B 一致用外部出力として扱えます。この機能を扱うため、このタは出力として設定 (DDE4=1) されなければなりません。この OC3B はタイマ機能の PWM 動作出力タでもあります。

AN1/OC3A - ホールタビット 3 : PE3

AN1 : アナログ比較器の反転入力。このタはアナログ比較器の反転入力に直接接続されます。

OC3A : タイマ/カウンタ 3 の比較 A 一致出力。PE3 はタイマ/カウンタ 3 の比較 A 一致用外部出力として扱えます。この機能を扱うため、このタは出力として設定 (DDE3=1) されなければなりません。この OC3A はタイマ機能の PWM 動作出力タでもあります。

AN0/XCK0 - ホールタビット 2 : PE2

AN0 : アナログ比較器の非反転入力。このタはアナログ比較器の非反転入力に直接接続されます。

XCK0 : USART0 の外部 クロック入出力。ホールタ方向レジスタ (DDRE) の DDE2 は、このクロックが入力 (DDE2=0) または出力 (DDE2=1) のどちらかを制御します。XCK0 は USART0 が同期種別で動作する時だけ活動します (有効です)。

TXD0/PDO - ホールタビット 1 : PE1

TXD0 : 送信 テータ (USART0 用 テータ出力タ)。USART0 送信部が許可されると、このタはホールタ方向レジスタ (DDRE) の DDE1 の値に拘らず、出力として設定されます。

PDO : 直列プログラミング テータ出力。直列プログラミング中、このタは ATmega64A の テータ出力線として使用されます。

RXD0/PDI - ホールタビット 0 : PE0

RXD0 : 受信 テータ (USART0 用 テータ入力タ)。USART0 受信部が許可されると、このタは DDRE の DDE0 の値に拘らず、入力として設定されます。USART0 がこのタを入力に強制するとき、プルアップは未だ PORTE0 にによって制御できます。

PDI : 直列プログラミング テータ入力。直列プログラミング中、このタは ATmega64A の テータ入力線として使用されます。

表 13-16と表 13-17は、 $\mu$ C-16の兼用機能を4頁の図 13-5で示される兼用信号に関連付けます。

表 13-16.  $\mu$ C-16E7-4の兼用機能用兼用信号

信号名	PE7/NT7/CP3	PE6/NT6/T3	PE5/NT5/OC3C	PE4/NT4/OC3B
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	OC3C許可	OC3B許可
PVOV	0	0	OC3C	OC3B
DEOE	NT7許可	NT6許可	NT5許可	NT4許可
DEOV	1	1	1	1
DI	NT7入力 / CP3入力	NT6入力 / T3入力	NT5入力	NT4入力
AD	-	-	-	-

表 13-17.  $\mu$ C-16E3-0の兼用機能用兼用信号

信号名	PE3/AN1/OC3A	PE2/AN0/XCK0	PE1/TXD0/PDO	PE0/RXD0/PDI
PUOE	0	0	TXEN0	RXEN0
PUOV	0	0	0	PORTE0/PUD
DDOE	0	0	TXEN0	RXEN0
DDOV	0	0	1	0
PVOE	OC3A許可	UMSEL0	TXEN0	0
PVOV	OC3A	XCK0出力	TXD0	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	XCK0入力	-	RXD0
AD	AN1入力	AN0入力	-	-



## 13.3.6. ホートフの兼用機能

ホートフには表 13-18に示されるように A/D変換用 アナログ入力としての兼用機能があります。ホートフのいくつかは出力として設定される場合、A/D変換実行中の時にそれらを切り替えないことが重要です。これは変換結果を不正にするかもしれません。A mega103互換動作でのホートフは入力専用です。JTAGインターフェースが許可されると、リセットが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)のプルアップ抵抗は活性有効にされます。

表 13-18. ホートフの兼用機能

ホートフ	兼用機能
PF7	ADC7 (A/D変換アナログ入力チャネル7) TDI (JTAG 検査データ入力)
PF6	ADC6 (A/D変換アナログ入力チャネル6) TDO (JTAG 検査データ出力)
PF5	ADC5 (A/D変換アナログ入力チャネル5) TMS (JTAG 検査種別選択入力)
PF4	ADC4 (A/D変換アナログ入力チャネル4) TCK (JTAG クロック入力)
PF3	ADC3 (A/D変換アナログ入力チャネル3)
PF2	ADC2 (A/D変換アナログ入力チャネル2)
PF1	ADC1 (A/D変換アナログ入力チャネル1)
PF0	ADC0 (A/D変換アナログ入力チャネル0)

兼用フの設定は次の通りです。

ADC7/TDI - ホートフビット7 :PF7

ADC7 :PF7は A/D変換チャネル7入力としても使用されます。

TDI :JTAG検査データ入力。命令レジスタまたはデータレジスタ(検査チェーン)にシフト入力される直列入力データです。JTAGインターフェースが許可されると、このピンは I/Oピンとして使用できません。

ADC6/TDO - ホートフビット6 :PF6

ADC6 :PF6は A/D変換チャネル6入力としても使用されます。

TDO :JTAG検査データ出力。命令レジスタまたはデータレジスタからシフト出力される直列出力データです。JTAGインターフェースが許可された場合、このピンは I/Oピンとして使用できません。TDOピンはデータがシフト出力されるTAP状態への移行を除いてHi-Zです。

ADC5/TMS - ホートフビット5 :PF5

ADC5 :PF5は A/D変換チャネル5入力としても使用されます。

TMS :JTAG検査種別選択。このピンは TAP検査入出力ポート制御器状態機構を通しての操作に使用されます。JTAGインターフェースが許可されると、このピンは I/Oピンとして使用できません。

ADC4/TCK - ホートフビット4 :PF4

ADC4 :PF4は A/D変換チャネル4入力としても使用されます。

TCK :JTAGクロック。JTAG操作はTCKに同期します。JTAGインターフェースが許可されると、このピンは I/Oピンとして使用できません。

ADC3 - ホートフビット3 :PF3

ADC3 :PF3は A/D変換チャネル3入力としても使用されます。

ADC2 - ホートフビット2 :PF2

ADC2 :PF2は A/D変換チャネル2入力としても使用されます。

ADC1 - ホートフビット1 :PF1

ADC1 :PF1は A/D変換チャネル1入力としても使用されます。

ADC0 - ホートフビット0 :PF0

ADC0 :PF0は A/D変換チャネル0入力としても使用されます。

表 13-19と表 13-20はポートの兼用機能を4頁の図 13-5で示される兼用信号に関連付けます。

表 13-19.ポート7~ 4の兼用機能用兼用信号

信号名	PF7/ADC7/TDI	PF6/ADC/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	0	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	シフトR+シフトDR	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
DEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DEOV	0	0	0	0
DI	-	-	-	-
AD	ADC7入力 /TD入力	ADC6入力	ADC5入力 /TMS入力	ADC4入力 /TCK入力

表 13-20.ポート3~ 0の兼用機能用兼用信号

信号名	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	ADC3入力	ADC2入力	ADC1入力	ADC0入力

## 13.3.7. ホール-IGの兼用機能

ATmega103互換動作では兼用機能だけがホール-IGの既定で、ホール-IGは標準デジタルポートピンとして使用できません。兼用ピン設定は次の通りです。

表 13-21. ホール-IGピンの兼用機能

ホールピン	兼用機能
PG4	TOSC1 (タイマ用発振増幅器入力)
PG3	TOSC2 (タイマ用発振増幅器出力)
PG2	ALE 外部メモリー用アドレスラッチ許可信号出力)
PG1	$\overline{RD}$ 外部メモリー用読み出し制御ストロブ信号出力)
PG0	$\overline{WR}$ 外部メモリー用書き込み制御ストロブ信号出力)

兼用ピンの設定は次の通りです。

TOSC1 - ホール-IG ビット4 :PG4

TOSC1 :タイマ発振器ピン1。タイマ/カウンタの非同期クロック動作を許可するためにASSRの非同期許可 (AS0)ビットが設定 (1)されると、PG4ピンはホール-IGから切り離され、発振用反転増幅器の入力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

TOSC2 - ホール-IG ビット3 :PG3

TOSC2 :タイマ発振器ピン2。タイマ/カウンタの非同期クロック動作を許可するためにASSRの非同期許可 (AS0)ビットが設定 (1)されると、PG3ピンはホール-IGから切り離され、発振用反転増幅器の出力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

ALE - ホール-IG ビット2 :PG2

ALE 外部メモリー用アドレスラッチ許可信号出力ピンです。

$\overline{RD}$  - ホール-IG ビット1 :PG1

$\overline{RD}$  外部メモリー用読み出し制御ストロブ信号出力ピンです。

$\overline{WR}$  - ホール-IG ビット0 :PG0

$\overline{WR}$  外部メモリー用書き込み制御ストロブ信号出力ピンです。

表 13-22はホール-IGの兼用機能を4頁の図 13-5で示される兼用信号に関連付けます。

表 13-22. ホール-IG4~ の兼用機能用兼用信号

信号名	PG4/TOSC1	PG3/TOSC2	PG2/ALE	PG1/ $\overline{RD}$	PG0/ $\overline{WR}$
PUOE	AS0	AS0	SRE	SRE	SRE
PUOV	0	0	0	0	0
DDOE	AS0	AS0	SRE	SRE	SRE
DDOV	0	0	1	1	1
PVOE	0	0	SRE	SRE	SRE
PVOV	0	0	ALE	RD	WR
DEOE	AS0	AS0	0	0	0
DEOV	0	0	0	0	0
DI	-	-	-	-	-
AD	T/C用 発振増幅器入力	T/C用 発振増幅器出力	-	-	-

**訳注** )原書の表 13-22と表 13-23は表 13-22として統合しました。

## 13.4. I/Oポート用レジスタ

### 13.4.1 特殊 I/O機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット2 - PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1) に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては42頁の「[ビットの設定](#)」をご覧ください。

### 13.4.2 ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.3 ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.4 ポートA入力レジスタ (Port A Input Address) PNA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PNA7	PNA6	PNA5	PNA4	PNA3	PNA2	PNA1	PNA0	PNA
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

### 13.4.5 ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.6 ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.7 ポートB入力レジスタ (Port B Input Address) PNB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	PNB
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

### 13.4.8 ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	



## 13.4.9.ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 13.4.10.ポートC入力レジスタ (Port C Input Address) PNC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	PNC7	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	PNC
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ATmega103互換動作でのDDRCとPNCレジスタはプッシュプル0(Low出力)に初期化されます。ポートピンは例えばクロックが走行していなくてもそれらの初期値になります。DDRCとPNCレジスタはATmega103互換動作でも利用可能ですが、過去の100%互換のためには使用されるべきでないことに注意してください。

## 13.4.11.ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 13.4.12.ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 13.4.13.ポートD入力レジスタ (Port D Input Address) PND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	PND
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

## 13.4.14.ポートE出力レジスタ (Port E Data Register) PORTE

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	PORTE
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 13.4.15.ポートE方向レジスタ (Port E Data Direction Register) DDRE

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 13.4.16.ポートE入力レジスタ (Port E Input Address) PNE

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	PNE7	PNE6	PNE5	PNE4	PNE3	PNE2	PNE1	PNE0	PNE
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

### 13.4.17. ホール出力レジスタ (Port F Data Register) PORTF

ビット	7	6	5	4	3	2	1	0	
(\$62)	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	PORTF
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.18. ホール方向レジスタ (Port F Data Direction Register) DDRF

ビット	7	6	5	4	3	2	1	0	
(\$61)	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	DDRF
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.19. ホール入力レジスタ (Port F Input Address) PNF

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	PNF7	PNF6	PNF5	PNF4	PNF3	PNF2	PNF1	PNF0	PNF
Read/W rite	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ホールはデジタル入力のみとして扱うATmega103互換動作で、PORTFとDDRFレジスタが利用できないことに注意してください。

### 13.4.20. ホール出力レジスタ (Port G Data Register) PORTG

ビット	7	6	5	4	3	2	1	0	
(\$65)	-	-	-	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	PORTG
Read/W rite	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.21. ホール方向レジスタ (Port G Data Direction Register) DDRG

ビット	7	6	5	4	3	2	1	0	
(\$64)	-	-	-	DDG4	DDG3	DDG2	DDG1	DDG0	DDRG
Read/W rite	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 13.4.22. ホール入力レジスタ (Port G Input Address) PNG

ビット	7	6	5	4	3	2	1	0	
(\$63)	-	-	-	PNG4	PNG3	PNG2	PNG1	PNG0	PNG
Read/W rite	R	R	R	R	R	R	R	R	
初期値	0	0	0	不定	不定	不定	不定	不定	

PORTG, DDRG, PNGレジスタがATmega103互換動作で利用できないことに注意してください。ATmega103互換動作でのホールは兼用機能 (TOSC1, TOSC2, ALE, RD, WR) だけを扱います。

## 14.8ビットタイマ/カウンタ0 (PWM,非同期動作付き)

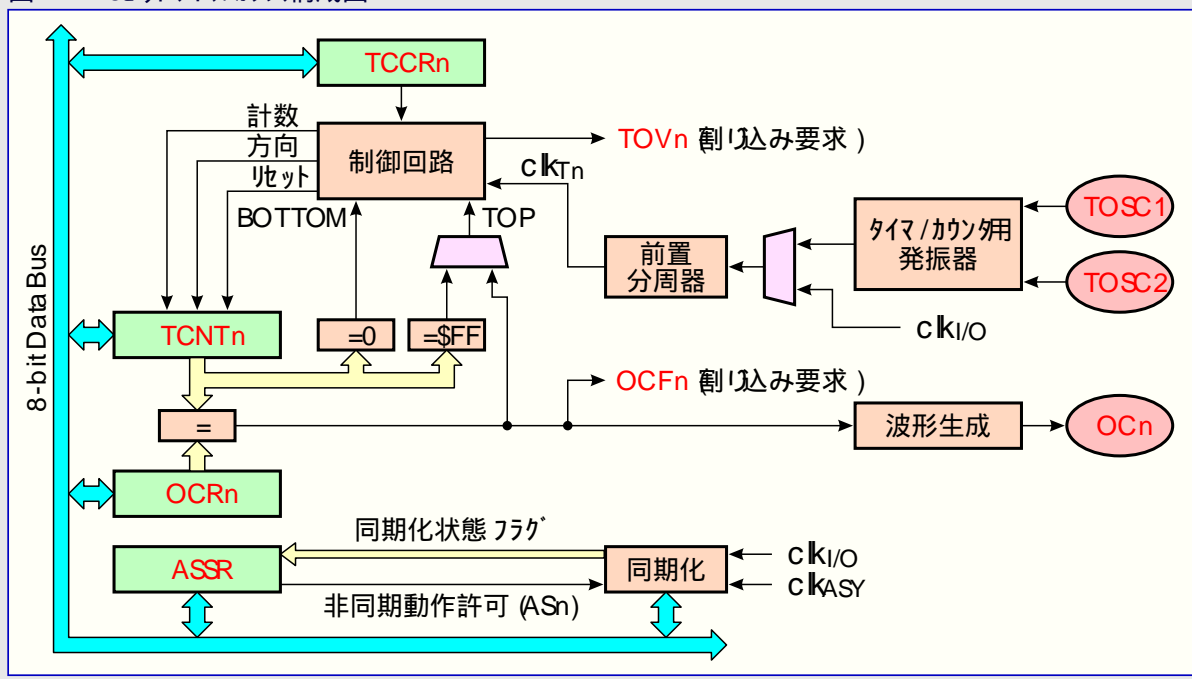
### 14.1 特徴

- 単一比較部付き計数器
- 比較一致でのタイマ/カウンタ解除 自動再設定)
- グリッチなしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用 10ビット前置分周器
- 溢れと比較一致割り込み (TOV0とOCF0)
- I/Oシステムクロックに依存しない時計用外部 32kHzクリスタルからのクロック駆動可能

### 14.2 概要

タイマ/カウンタは単一比較部付き汎用 8ビットタイマ/カウンタ部です。この 8ビットタイマ/カウンタの簡便化した構成図は図 14-1で示されます。I/Oピンと実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OピンとI/Oレジスタを含む)I/Oレジスタは赤文字 訳注 原文は太字 で示されます。デバイス仕様の I/Oレジスタとビット位置は6頁の「8ビットタイマ/カウンタ用レジスタ」で一覧されます。

図 14-1. 8ビットタイマ/カウンタ構成図



#### 14.2.1 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)で個別に遮蔽(禁止)されます。TIFRとTMSKはこれらのレジスタが他のタイマ/カウンタによって共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本項内後ろで詳述されるようにTOSC1/2ピンから非同期にクロック駆動されます。非同期動作は非同期状態レジスタ(ASSR)によって制御されます。クロック選択論理部はタイマ/カウンタ値を増加(または減少)するのに使用するクロック元を制御します。クロック元が選択されないとき、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkTO)として参照されます。

2重ハフ化された比較レジスタ(OCR0)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使用できます。詳細については6頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF0)を設定(1)します。

## 14.2.2. 定義

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の 'n' はタイマ/カウンタ番号、この場合は 0 で置き換えます。けれどもプログラムでレジスタまたはビット定義に使用する時は正確な形式が使用されなければなりません (例えばタイマ/カウンタのカウンタ値のアクセスに対しての TCNT0 のように)。

表 14-1 の定義は本資料を通して広範囲に渡って使用されます。

表 14-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが \$00 に到達した時。
MAX	タイマ/カウンタが \$FF (255) に到達した時。
TOP	タイマ/カウンタが指定された固定値 (\$FF) または OCRn 値に到達した時。この指定 (TOP 値は動作種別に依存します)。

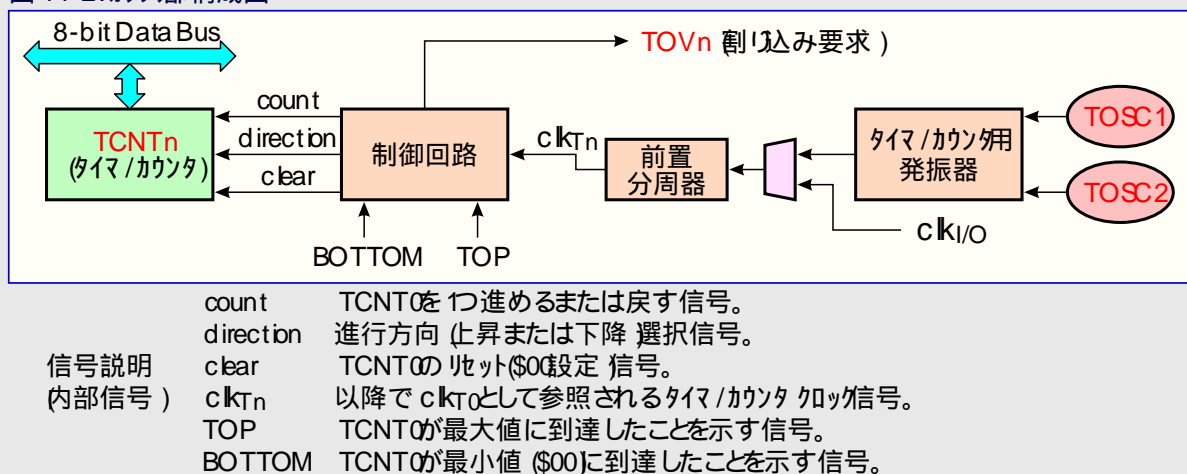
## 14.3. タイマ/カウンタの クロック

このタイマ/カウンタは内部同期または外部非同期 クロック元によって クロック駆動できます。既定の クロック元 (clk<sub>T0</sub>) は MCU クロック (clk<sub>I/O</sub>) と同じです。非同期状態 レジスタ (ASSR) の **非同期動作許可 (AS0)** が論理 1 を書かれると、クロック元は TOSC1 と TOSC2 に接続されたタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については 70 頁の **非同期状態 レジスタ (ASSR)** をご覧ください。クロック元と前置分周器の詳細については 68 頁の **タイマ/カウンタの前置分周器** をご覧ください。

## 14.4. 計数器部

8ビットタイマ/カウンタの主な部分は設定可能な双方向 カウンタ部です。図 14-2 は、このカウンタとその周辺環境の構成図を示します。

図 14-2. カウンタ部構成図



使用した動作種別に依存して、カウンタは各 タイマ/カウンタ クロック (clk<sub>T0</sub>) で解除 (\$00) 増加 (+1) または減少 (-1) されます。clk<sub>T0</sub> は クロック選択 (CS02~ 0) ビットによって選択された内部または外部の クロック元から生成できます。クロック元が選択されない (CS02~ 0=000) 時にタイマ/カウンタは停止されます。けれども TCNT0 値はタイマ/カウンタ クロック (clk<sub>T0</sub>) が存在するしないに拘らず、CPU によってアクセスできます。CPU 書き込みは全ての カウンタ解除や計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御 レジスタ (TCCR0)** に配置された **波形生成種別 (WGM01~ 0)** ビットの設定によって決定されます。これらはカウンタ動作 (計数 方法) と OCRn 比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては 63 頁の **動作種別** をご覧ください。

**タイマ/カウンタ溢れ (TOV0) フラグ** は WGM01~ 0 ビットによって選択された動作種別に従って設定 (1) されます。TOV0 は CPU 割り込み発生に使用できます。



## 14.5. 比較出力部

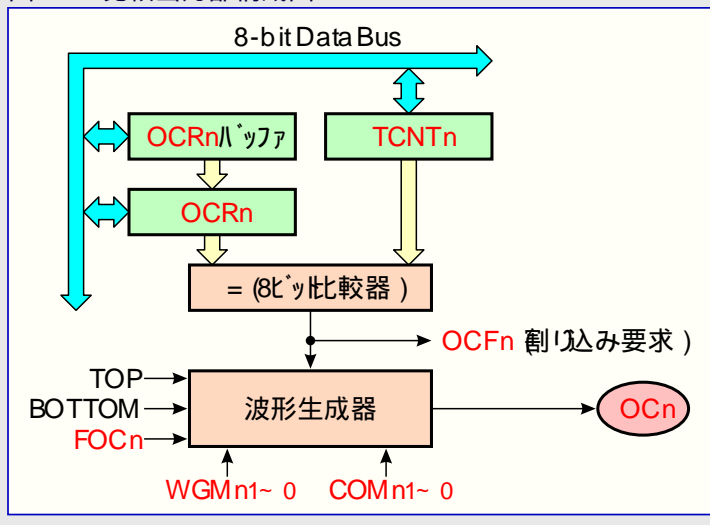
この8ビット比較器はTCNT0と比較レジスタOCR0を継続的に比較します。TCNT0とOCR0が等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグOCF0を設定(1)します。許可(I=1, OCE0=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF0は割り込みが実行されると自動的に解除(0)されます。代わりにOCF0はこのビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別WGM01~0ビットと比較出力選択COM01~0ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使用します。MAXとBOTTOM信号は動作種別(63頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

図14-3は比較出力部の構成図を示します。

OCR0はパルス幅変調(PWM)の何れかを使用する時に2重ハフ化されます。標準動作と比較一致タイマ/カウンタ解除(CTC動作)については2重ハフ動作が禁止されます。2重ハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0レジスタ更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによってクリッチなしの出力を作成します。

OCR0のアクセスは複雑なように思えますが決してそんなことはありません。2重ハフ動作が許可されるとCPUはOCR0ハフアをアクセスし、禁止されるとOCR0レジスタを直接アクセスします。

図14-3. 比較出力部構成図



### 14.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC0)ビットに1を書くことによって強制変更できます。比較一致の強制は比較割り込み要求フラグOCF0の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0は実際の比較一致が起きた場合と同様に更新されます(COM01~0ビット設定がOC0ビットの設定(1)解除(0)1/交互のどれかを定義)。

### 14.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0に許します。

### 14.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでもタイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず比較出力部を使用する場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書き込むことはできません。

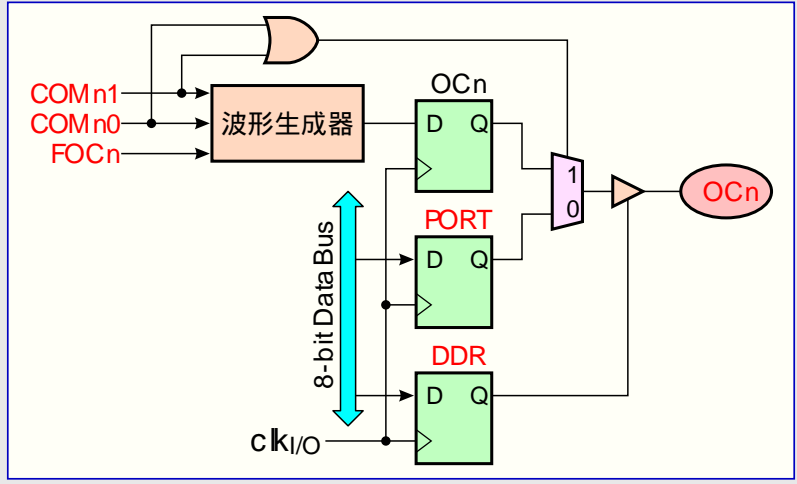
OC0の初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0値を設定する一番簡単な方法は標準動作で強制変更(FOC0)ストロブビットを使用することです。波形生成動作種別間を変更する時であっても、OC0内部レジスタはその値を保ちます。

比較出力選択COM01~0ビットが比較値(OCR0)と共に2重ハフ化されないことに気付いてください。COM01~0ビットの変更は直ちに有効となります。

## 14.6. 比較一致出力部

**比較出力選択 (COM01~0ビット)**は2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC0)状態の定義にCOM01~0ビットを使用します。またCOM01~0ビットはOC0出力元を制御します。図14-4はCOM01~0ビット設定によって影響される論理回路の簡略化した図を示します。図のI/Oレジスタ (I/Oビット) I/Oピンは赤文字 訳注 原文は太字 で示されます。COM01~0ビットによって影響を及ぼされる標準 I/Oポート 制御レジスタ (PORTとDDR)の部分だけが示されます。OC0の状態を参照するとき、その参照はOC0ピンでなく内部OC0レジスタに対してです。

図 14-4. 比較一致出力回路図



COM01~0ビットのどちらかが設定 (1) されると、標準 I/Oポート 機能は波形生成器からの比較出力 (OC0)によって無効にされます。けれどもOC0ピンの方向 (入出力) はポートピンに対するポート方向レジスタ (DDR)によって未だ制御されます。OC0ピンに対するポート方向レジスタのビット (DDR\_OC0)はOC0値がピンで見えるのに先立って出力として設定されなければなりません。このポートの兼用機能は波形生成器別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0状態の初期化を許します。いくつかのCOM01~0ビット設定が或る種の動作種別に対して予約されることに注意してください。69頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

### 14.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM01~0ビットを違うふうに使います。全動作種別に対してCOM01~0=0設定は次の比較一致で実行すべきOC0レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については69頁の表14-3を参照してください。高速PWM動作については69頁の表14-4、位相基準PWMについては69頁の表14-5を参照してください。

COM01~0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC0)と同一ビットを使用することによって直ちに効果を得ることを強制できます。

## 14.7 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別 WGM01~ 0ビットと比較出力選択 COM01~ 0ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM01~ 0ビットは生成されるPWM出力が反転されるべきか、されないべきか、反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM01~ 0ビットは比較一致で出力が解除(0)設定(1)交互のどれにされるべきかを制御します(6頁の「比較一致出力部」をご覧ください)

タイミング情報の詳細については66頁の「タイマ/カウンタのタイミング」を参照してください。

### 14.7.1 標準動作

最も単純な動作種別が標準動作 WGM01~ 0=00です。本動作種別での計数方向は常に上昇(+で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FFを通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

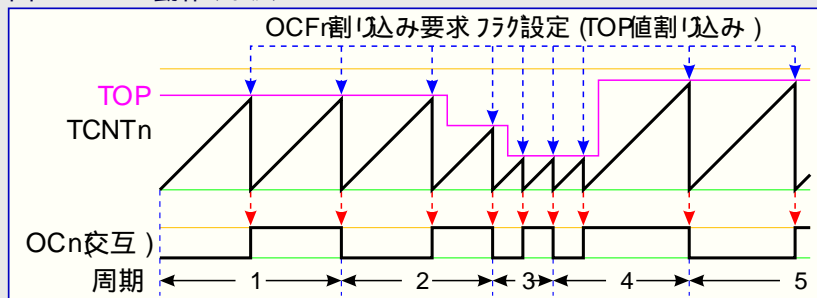
比較出力部は与えられた或る時間に割り込みを生成するのに使用できます。標準動作で波形を生成するのに比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 14.7.2 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作 WGM01~ 0=10ではOCR0がカウンタ分解能を操作するのに使用されます。CTC動作ではカウンタ(TCNT0値がOCR0と一致すると、カウンタは\$00に解除されます。OCR0はカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図14-5で示されます。カウンタ(TCNT0値はTCNT0とOCR0間で比較一致が起こるまで増加し、そしてその後にはカウンタ(TCNT0)は解除(\$00)されます。

図 14-5. CTC動作 タイミング



注: COMn1~ 0=01

OCF0フラグを使用することにより、タイマ/カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重ハップ機能を持たないために注意して行わなければなりません。OCR0に書かれた新しい値がTCNT0の現在値より低い(小さい)場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立って、最大値(\$FF)へそして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0出力は比較出力選択 COM01~ 0ビットを交互動作 (=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0値はそのピンに対するデフォルト方向が出力(DDR\_OC0=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0が0(\$00)に設定されるとき、f<sub>OC0</sub>=f<sub>clk\_I/O</sub>/2の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCn} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRn)}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

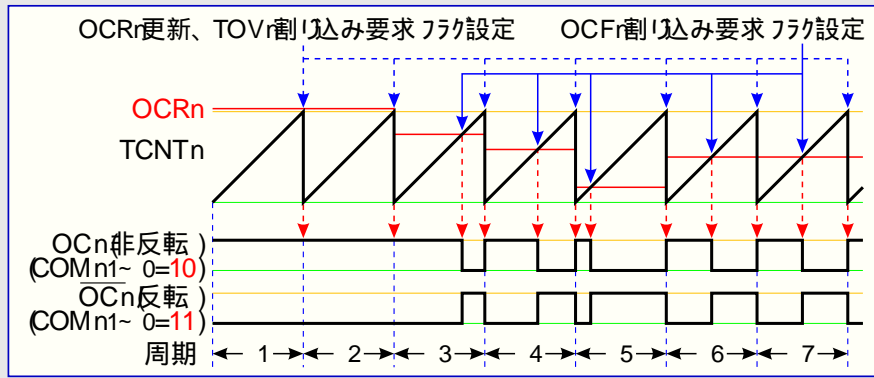
標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

### 14.7.3 高速 PWM動作

高速パルス幅変調 (PWM動作 WGM01~0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからMAXまで計数し、その後にBOTTOMから再び始めます。非反転比較出力動作 (COM01~0=10)での比較出力 (OC0)は、TCNT0とOCR0間の比較一致で解除 (0)され、BOTTOMで設定 (1)されます。反転出力動作 (COM01~0=11)の出力は比較一致で設定 (1)され、BOTTOMで解除 (0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は、両傾斜三角波動作を使用する位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がMAX値と一致するまで増加されます。そしてタイマ/カウンタは (一致の次のタイマ/カウンタ)クロック周期で解除 (0)されます。高速PWM動作のタイミング図は図14-6で示されます。TCNT0値はタイミング図で単一傾斜動作 (鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤い細線はOCR0値を示し、TCNT0値との交点 (接点)がTCNT0とOCR0間の比較一致を示します。【訳注】図補正に伴い本行若干変更、【比較割り込み要求フラグ (OCF0)はOCR0=MAXを除いて比較一致が起こると設定 (1)されます。【訳注】共通性のため本行追加、

図14-6 高速PWM動作タイミング



タイマ/カウンタ溢れ (TOV0)フラグはカウンタがMAXに到達する時毎に設定 (1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使用できます。

高速PWM動作での比較部はOC0レジスタでのPWM波形の生成を許します。COM01~0ビットを '10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM01~0を '11'に設定することで生成できます (69頁の表14-4をご覧ください)。実際のOC0値はポートピンに対するドライブ方向 (DDR\_OC0が出力として設定される場合にだけ見えます)。PWM波形はTCNT0とOCR0間の比較一致でOC0内部レジスタを設定 (1)または解除 (0)と、カウンタが解除 (0)MAXからBOTTOMへ変更されるタイマ/カウンタクロック周期でOC0レジスタを解除 (0)または設定 (1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数 (1,8,32,64,128,256,1024)を表します。

OCR0の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0がBOTTOM (0)と等しく設定されると、出力はMAX+1タイマ/カウンタクロック周期毎の狭いパルス (パルス)になるでしょう。OCR0がMAXに等しく設定されると、(COM01~0)ビットによって設定される出力極性に依存して、定常的なLowまたはHigh出力に終わるでしょう。

【訳注】以下は本動作種別がTOP=MAX (5FF)で固定のため基本的には不適切です。高速PWM動作で (デューティ比 50%)周波数の波形出力は比較一致毎に論理反転するOC (設定 (COM01~0=01)によって達成できます。生成された波形はOCR0が0 (0)に設定される時に  $f_{OC0} = f_{clk\_I/O} / 2$  の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重ハーフ機能は許可されることを除いて、CTC動作でのOC交互出力 (COM01~0=01)と同じです。

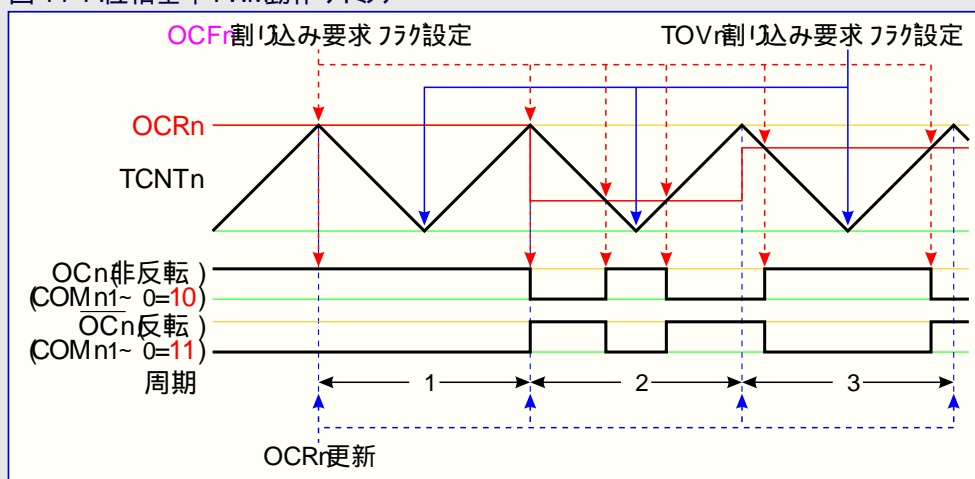


#### 14.7.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作  $\text{WGM01} \sim \text{0} = 01$ ) は高分解能で正しい位相の PWM 波形生成選択を提供します。位相基準 PWM 動作は両傾斜 三角波 動作に基きます。カウンタは **BOTTOM** から **MAX** へそして次に **MAX** から **BOTTOM** へを繰り返し計数します。非反転比較出力動作 ( $\text{COM01} \sim \text{0} = 10$ ) の比較出力 (OC0) は上昇計数中の TCNT0 と OCR0 の比較一致で解除 (0) され、下降計数中の比較一致で設定 (1) されます。反転出力動作 ( $\text{COM01} \sim \text{0} = 11$ ) の動作は逆にされます。両傾斜 三角波 動作は単一傾斜 鋸波 動作より低い最大動作周波数です。けれども両傾斜 三角波 動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準 PWM 動作の PWM 分解能は 8 ビットに固定されます。位相基準 PWM 動作でのカウンタはカウンタ値が MAX と一致するまで増加されます。カウンタは MAX に到達すると 計数方向を変更します。この **TCNT0** 値は 1 タイマ/カウンタ クロック周期 MAX と等しくなります。位相基準 PWM 動作のタイミング図は図 14-7 で示されます。TCNT0 値はタイミング図で両傾斜動作 三角波 を表す折れ線グラフとして示されます。この図は非反転と反転の PWM 出力を含みます。赤細線は OCR0 値を示し、TCNT0 値との交点 接点 が TCNT0 と OCR0 間の比較一致を示します **訳注** 図補正に伴い本行若干変更)

図 14-7. 位相基準 PWM 動作 タイミング



**タイマ/カウンタ溢れ (TOV0) フラグ**はタイマ/カウンタが **BOTTOM** に到達する時毎に設定 (1) されます。この割り込み要求 フラグはカウンタが **BOTTOM** 値に到達する毎に割り込みを発生するのに使用できます。

位相基準 PWM 動作での比較部は OC0 レジスタでの PWM 波形の生成を許します。COM01 ~ 0 レジスタを '10' に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は COM01 ~ 0 レジスタを '11' に設定することで生成できます (69 頁の表 14-5 をご覧ください)。実際の OCR 値はそのポートピンに対するデフォルト方向 (PDR\_OC0 が出力として設定される場合にだけ見えるでしょう)。PWM 波形はカウンタが増加する時の TCNT0 と OCR0 間の比較一致で OC0 内部レジスタを解除 (0) または解除 (0) と、カウンタが減少する時の TCNT0 と OCR0 間の比較一致で OC0 レジスタを解除 (0) または設定 (1) によって生成されます。位相基準 PWM を使用する時の出力に対する PWM 周波数は次式によって計算できます。

$$f_{\text{OCnPCRWM}} = \frac{f_{\text{clk\_I/O}}}{N \times 510}$$

変数 N は前置分周数 (1, 8, 32, 64, 128, 256, 1024) を表します。

OCR0 の両端値は位相基準 PWM 動作で PWM 波形出力を生成する時の特別な場合にあたります。非反転 PWM 動作では OCR0 が **BOTTOM** (000) に等しく設定されると出力は定常的な **Low**、MAX に等しく設定されると定常的な **High** になるでしょう。反転 PWM に対する出力は逆の論理値になります。

図 14-7 の第 2 周期のその出発点に於いて、例えば比較一致がないとしても、OCRn には **High** から **Low** への遷移があります。この遷移点は **BOTTOM** を挟む対称を保証するためです。比較一致なしに遷移を生ずるのは 2 つの場合です。

図 14-7 のように OCR0 は MAX からその値を変更します。OCR0 値が MAX のとき、OCRn レジスタ値は下降計数での比較一致の結果と同じです **訳補** : L、H、直前が H のため、常に H。BOTTOM を挟む対称を保証するため、変更直後の MAX 位置での OCRn 値は上昇計数での比較一致の結果 (H、L) と一致しなければなりません。

タイマ/カウンタが OCR0 値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろう OCRn の変更を逃します。 **訳補** : 従って上記同様、MAX 位置で直前が H ならば H、L 遷移が生じます。)

## 14.8. タイマ/カウンタのタイミング

図 14-8と図 14-9はタイマ/カウンタ動作についてのタイミング図を含みます。このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック (clk<sub>T0</sub>) がクロック許可信号として示されます。図はMAX値近辺の計数の流れを示します。図 14-10と図 14-11は同じタイミング図を示しますが、前置分周器が許可されています。この図は割り込み要求フラグが設定 (1) される時を図解します。

以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタクロック (clk<sub>T0</sub>) が計数許可信号として示されます。非同期動作では clk<sub>I/O</sub> がタイマ/カウンタ用発振器 (TOSC) クロックによって置換されるべきです。この図は割り込みフラグが設定 (1) される時の情報を含みます。図 14-8は基本的なタイマ/カウンタ動作についてのタイミング図を示します。この図は位相基準 PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図 14-8. 前置分周なし (1/1) のタイマ/カウンタ タイミング

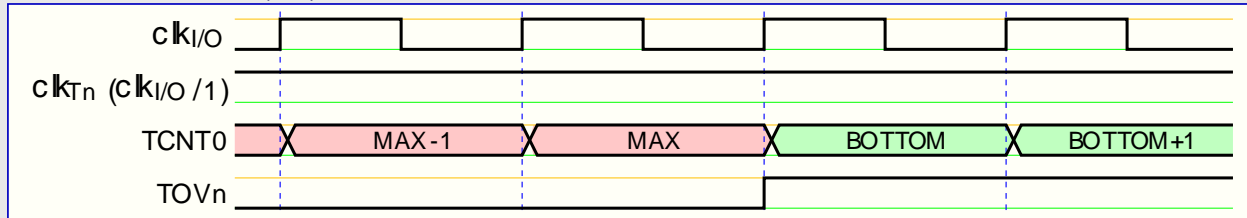


図 14-9は同じタイミング図を示しますが、前置分周器が許可されています。

図 14-9. 前置分周器 (clk<sub>I/O</sub> / 8) のタイマ/カウンタ タイミング

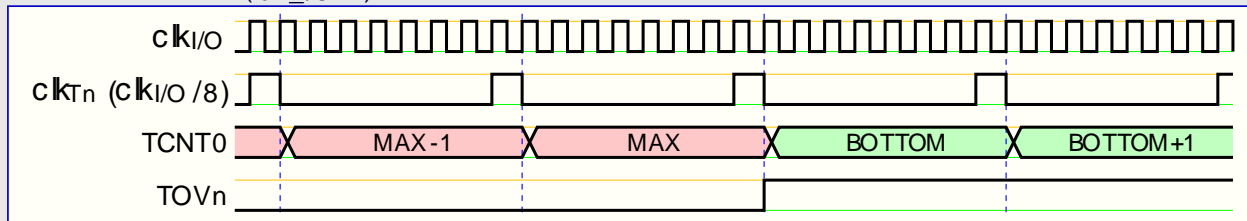


図 14-10はCTC動作を除く全ての動作種別でのOCFの設定を示します。

図 14-10. 前置分周器 (clk<sub>I/O</sub> / 8) のタイマ/カウンタ OCF設定 タイミング

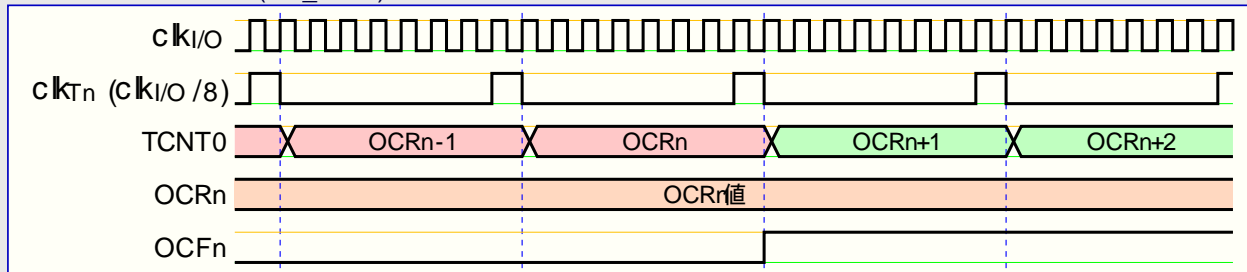
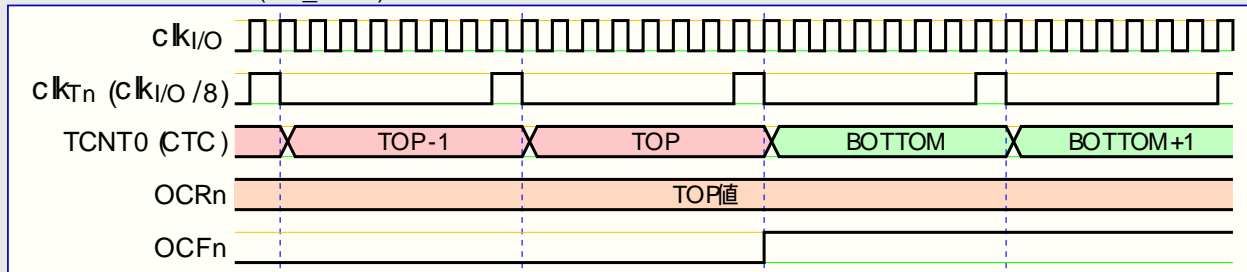


図 14-11はCTC動作でのTCNTの解除とOCFの設定を示します。

図 14-11. 前置分周器 (clk<sub>I/O</sub> / 8) のタイマ/カウンタ OCF設定 タイミング



## 14.9. タイマ/カウンタの非同期動作

### 14.9.1. タイマ/カウンタの非同期動作

タイマ/カウンタが非同期で動くとき、いくつかの考慮が成されなければなりません。

**警告:** タイマ/カウンタの同期/非同期 クロック駆動間を切り替えると、**タイマ/カウンタ(TCNT0)**、**タイマ/カウンタ比較レジスタ(OCR0)**、**タイマ/カウンタ制御レジスタ(TCCR0)**が不正となるかもしれません。クロックを切り替える安全な手順を次に示します。

タイマ/カウンタ割り込みマスクレジスタ(TMSK)のOCIE0とTOIE0の解除 (0)により、タイマ/カウンタ割り込みを禁止します。

非同期状態レジスタ(ASR)の非同期動作許可 (AS0)設定によってクロックを適切に選択します。

TCNT0, OCR0, TCCR0に新しい値を書きます。

非同期動作へ切り替えるには、TCN0UB, OCR0UB, TCR0UBについて (0)まで待機します。

タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)のOCF0とTOV0フラグを解除 (0)します。

必要とされるなら、割り込みを許可します。

発振器は時計用 32.768kHzクリスタルを使用するために最適化されています。TOSCピンに外部クロックを印加することは不正なタイマ/カウンタ動作に終わるかもしれません。CPU主クロック周波数は、この発振器周波数の4倍より高くなければなりません。

TCNT0, OCR0, TCCR0レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSCで2つの上昇端後、実レジスタに設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に新しい値を書くべきではありません。記載された3つのレジスタの各々がそれぞれ個別の一時レジスタを持ちます。それは、例えばTCNT0書き込みがOCR0書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASR)は実装されました。

TCNT0, OCR0, TCCR0に書いた後で**ハワーセーフ**または**拡張スタンバ**動作へ移行するとき、**セーバ**を起動するのにタイマ/カウンタが使用される場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に**休止形態**へ移行するでしょう。タイマ/カウンタ比較一致割り込みが**セーバ**を起動するのに使用されると、TCNT0またはOCR0書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込み周期が完了されず、OCR0UBが1に戻る前にMCUが**休止形態**へ移行すると、**セーバ**は決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。

**ハワーセーフ**または**拡張スタンバ**動作から**セーバ**を起動するのにタイマ/カウンタが使用される場合、使用者がこれら動作へ復帰後、再移行することを欲するなら、予防処置を講じなければなりません。割り込み論理回路は1TOSC周期必要です。起動と**休止形態**再移行間の時間が1TOSC周期未満の場合に割り込みが起きず、**セーバ**は起動に失敗するでしょう。**ハワーセーフ**または**拡張スタンバ**動作再移行前の時間が充分であるかどうか迷うなら、1TOSC周期が経過されることを保証するのに次の手順が使用できます。

TCNT0, OCR0, TCCR0に値を書きます。

非同期状態レジスタ(ASR)の対応する更新中フラグが1に戻るまで待ちます。

**ハワーセーフ**または**拡張スタンバ**動作へ移行します。

**非同期動作が選択**されるとき、タイマ/カウンタ用 32.768kHz発振器は**ハワーダウン**と**スタンバ**動作を除いて常に動作します。電源投入後、**ハワーダウン**または**スタンバ**動作から起動後、この発振器が安定するのに、秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、**ハワーダウン**または**スタンバ**動作から起動後、タイマ/カウンタを使用する前に少なくとも秒待つことが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安定なクロック信号のため、**ハワーダウン**または**スタンバ**動作からの起動復帰後、タイマ/カウンタの全レジスタの内容が失われたと見做されなければなりません。

タイマ/カウンタが非同期でクロック駆動される時の**ハワーセーフ**または**拡張スタンバ**動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタクロックの次の周期で起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ってタイマ/カウンタは常に最低1進行されます。起動後MCUは4周期停止され、割り込みルーチンを実行し、そして**SLEEP**命令の次の命令から実行を再開します。

**ハワーセーフ**動作から起動直後のTCNT0の読み込みは不正な結果を得るかもしれません。TCNT0が非同期TOSCクロックでクロック駆動されるため、TCNT0読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全上昇端で行われます。**ハワーセーフ**動作から起動し、I/Oクロック(CLKIO)が再び活性(有効)になると、TCNT0はTOSCクロックの次の上昇端まで以前**休止形態**移行前の値を読むでしょう。**ハワーセーフ**動作から起動後のTOSCクロック位相は起動時間に依存するため本質的に特定できません。従ってTCNT0読み込みに対する推奨手順は次の通りです。

OCR0またはTCCR0のどちらかに何か値を書きます。

非同期状態レジスタ(ASR)の対応する更新中フラグが解除 (0)されるまで待ちます。

TCNT0を読みます。

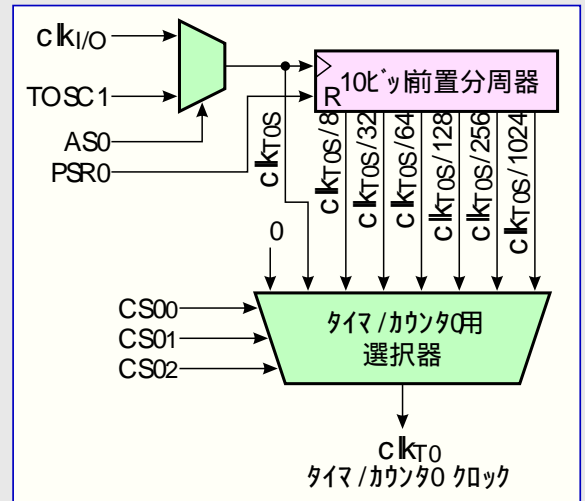
非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は37°プロセッサ周期+1タイマ周期がかかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立って、このタイマは最低1進行されます。比較出力ピンはタイマクロックで変更され、プロセッサクロックに同期されません。

## 14.10. タイマ/カウンタの前置分周器

タイマ/カウンタ用 クロックの名前は  $clk_{TOS}$  です。既定での  $clk_{TOS}$  は主システム I/O クロック ( $clk_{I/O}$ ) に接続されます。タイマ/カウンタ非同期状態レジスタ (ASSR) の非同期 クロック (AS0) レジスタの設定 (1) により、タイマ/カウンタは TOSC1 ピンから非同期に クロック駆動されます。これは実時間計数器 (RTC) としてのタイマ/カウンタ使用を可能にします。AS0 が設定 (1) されると、TOSC1 と TOSC2 ピンは ホールから切り離されます。クリスタル発振子はタイマ/カウンタ用の独立したクロック元として扱うため、TOSC1 と TOSC2 ピン間に接続できます。この発振器は 32.768kHz クリスタル発振子で使用するために最適化されています。TOSC1 に外部 クロック元を印加することは推奨されません。

タイマ/カウンタに対して可能な前置分周済み選択は  $clk_{TOS}/8$ ,  $clk_{TOS}/32$ ,  $clk_{TOS}/64$ ,  $clk_{TOS}/128$ ,  $clk_{TOS}/256$ ,  $clk_{TOS}/1024$  です。加えて 0 (停止) は勿論  $clk_{TOS}$  も選択可能です。特殊 I/O 機能レジスタ (SFDR) のタイマ/カウンタ前置分周器 レジスタ (PSR0) レジスタの設定 (1) は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図 14-12. タイマ/カウンタ前置分周器部構成





## 14.11.8ビットタイマ/カウンタ0用レジスタ

### 14.11.1.タイマ/カウンタ制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	TCCR0
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7 - FOC0 :OC強制変更 (Force Output Compare 0)

FOC0ビットはWGM01~ 0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0が書かれる場合、このビットは0に設定されなければなりません。FOC0ビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0出力はCOM01~ 0ビット設定に従って変更されます。FOC0ビットがスローフとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM01~ 0ビットに存在する値です。

FOC0スローフは何れの割り込みの生成もTOPとしてOCR0を使用する比較一致タイマ解除 (CTC動作)でのタイマ/カウンタの解除 (\$00)を行います。

FOC0ビットは常に0として読まれます。

#### ビット3:6 - WGM01:0 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

これらのビットはカウンタの計数順序 (方向) 最大 (TOP) カウンタ値の供給元、使用されるべき波形生成のどの形式かを制御します。タイマ/カウンタにより支援される動作種別は標準動作、比較一致タイマ/カウンタ解除 (CTC動作) と2形式のパルス幅変調 (PWM動作) です。表 14-2と63頁の「動作種別」をご覧ください。

表 14-2 波形生成種別選択

番号	WGM01 (CTC0)	WGM00 (PWM0)	タイマ/カウンタ動作種別	TOP値	OCR0 更新時	TOV0 設定時
0	0	0	標準動作	\$FF	即時	MAX
1	0	1	位相基準PWM動作	\$FF	TOP	BOTTOM
2	1	0	比較一致タイマ/カウンタ解除 (CTC動作)	OCR0	即時	MAX
3	1	1	高速PWM動作	\$FF	BOTTOM	MAX

注: CTC0とPWM0ビット定義名は旧名です。WGM01~ 0定義名を使用してください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

#### ビット5:4 - COM01:0 :比較0出力選択 (Compare Match 0 Output Mode bit 1 and 0)

これらのビットはOC比較出力ピンの動作を制御します。COM01~ 0ビットの1つまたは両方が1を書かれると、OC0出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0ピンに対応するポート方向レジスタ (PDR)のビットが設定 (1) されなければならないことに注意してください。

OC0がピンに接続されるとき、COM01~ 0ビットの機能はWGM01~ 0ビット設定に依存します。

表 14-3はWGM01~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定される時のCOM01~ 0ビット機能を示します。

表 14-4はWGM01~ 0ビットが高速PWM動作に設定される時のCOM01~ 0ビットの機能を示します。

表 14-5はWGM01~ 0ビットが位相基準PWM動作に設定される時のCOM01~ 0ビットの機能を示します。

表 14-3 非PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ポート動作 (OC0切断)
0	1	比較一致でOC0ピンがトグル交互出力
1	0	比較一致でOC0ピンがLowレベル出力
1	1	比較一致でOC0ピンがHighレベル出力

表 14-4 高速PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ポート動作 (OC0切断)
0	1	予約)
1	0	比較一致でLow BOTTOMでHighをOC0ピンへ出力 (非反転動作)
1	1	比較一致でHigh BOTTOMでLowをOC0ピンへ出力 (反転動作)

注: COM00が設定 (1) され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定 (1) や解除 (0) は行われます。より多くの詳細については64頁の「高速PWM動作」をご覧ください。

表 14-5 位相基準PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ポート動作 (OC0切断)
0	1	予約)
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC0ピンへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC0ピンへ出力

注: COM00が設定 (1) され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定 (1) や解除 (0) は行われます。より多くの詳細については65頁の「位相基準PWM動作」をご覧ください。

ビット2 - 0 - CS02 - 0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使用されるクロック元を選択します。表 14-6をご覧ください。

表 14-6. タイマ/カウンタ0入力 クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk <sub>TOS</sub> 前置分周なし)
0	1	0	clk <sub>TOS</sub> /8 (8分周)
0	1	1	clk <sub>TOS</sub> /32 (32分周)
1	0	0	clk <sub>TOS</sub> /64 (64分周)
1	0	1	clk <sub>TOS</sub> /128 (128分周)
1	1	0	clk <sub>TOS</sub> /256 (256分周)
1	1	1	clk <sub>TOS</sub> /1024 (1024分周)

#### 14.11.2. タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害除去します。カウンタが走行中にカウンタ(TCNT0)を変更することは、TCNT0とOCR0間の比較一致消失の危険を誘発します。

#### 14.11.3. タイマ/カウンタ0比較レジスタ (Timer/Counter0 Output Compare Register) OCR0

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	(MSB)							(LSB)	OCR0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0 pinでの波形出力を生成するのに使用できます。

#### 14.11.4. タイマ/カウンタ0非同期状態レジスタ (Timer/Counter0 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	ASSR
Read/W rite	R	R	R	R	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット3 - AS0 : タイマ/カウンタ0非同期動作許可 (Asynchronous Timer/Counter0)

AS0が0を書かれると、タイマ/カウンタはI/Oクロック(clk<sub>I/O</sub>)からクロック駆動されます。AS0が1を書かれると、タイマ/カウンタはタイマ発振器(TOSC1, TOSC2 pin)に接続されたクリスタル発振器からクロック駆動されます。AS0の値が変更されると、タイマ/カウンタ0(TCNT0) 比較0レジスタ(OCR0) タイマ/カウンタ制御レジスタ(TCCR0)の内容は不正にされるかもしれません。

ビット2 - TCN0UB : タイマ/カウンタ0更新中フラグ (Timer/Counter0 Update Busy)

タイマ/カウンタ0が非同期に動き、タイマ/カウンタ0(TCNT0)が書かれると、このビットが設定(1)になります。TCNT0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理1はTCNT0が新しい値で更新される用意ができたことを示します。

ビット1 - OCR0UB : 比較0レジスタ更新中フラグ (Output Compare Register0 Update Busy)

タイマ/カウンタ0が非同期に動き、比較0レジスタOCR0が書かれると、このビットが設定(1)になります。OCR0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理1は比較0レジスタ(OCR0)が新しい値で更新される用意ができたことを示します。

ビット0 - TCR0UB : タイマ/カウンタ0制御レジスタ更新中フラグ (Timer/Counter0 Control Register Update Busy)

タイマ/カウンタ0が非同期に動き、タイマ/カウンタ0制御レジスタ(TCCR0)が書かれると、このビットが設定(1)になります。TCCR0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによって解除(0)されます。このビットの論理1はタイマ/カウンタ0制御レジスタ(TCCR0)が新しい値で更新される用意ができたことを示します。

更新中フラグが設定 (1)中に3つのタイマ/カウンタレジスタのどれかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT0 OCR0 TCCR読み込みについての機構は異なります。TCNT0を読む時は実際のタイマ/カウンタ値が読まれ、OCR0またはTCCR0を読む時は一時保存レジスタの値が読まれます。

## 14.11.5. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OCIE2	TOIE2	TCIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TMSK
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット1 - OCIE0 : タイマ/カウンタ比較割り込み許可 (Timer/Counter0 Output Compare Match Interrupt Enable)

OCIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFR)が設定(1)されると、タイマ/カウンタ比較一致割り込みが許可されます。タイマ/カウンタ0で比較一致が起こる換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較割り込み要求フラグ(OCF0)が設定(1)されると、対応する割り込みが実行されます。

ビット0 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFR)が設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

## 14.11.6. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット1 - OCF0 : タイマ/カウンタ比較割り込み要求フラグ (Timer/Counter0, Output Compare Match Flag)

OCF0ビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0)間で起こる時に設定(1)されます。対応する割り込み処理へクを実行すると、OCF0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFR) タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較一致割り込み許可(OCIE0)ビット OCF0が設定(1)されると、タイマ/カウンタ比較一致割り込みが実行されます。

ビット0 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理へクを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFR) タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタ0が\$00で計数方向を変える時にこのビットが設定(1)されます。

## 14.11.7. 特殊 I/O機能レジスタ (Special Function I/O Register) SFR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことがタイマ/カウンタ同期化動作を活性、有効にします。この動作でPSR0とPSR321へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できるのを保証します。TSMビットが0を書かれると、PSR0とPSR321ビットはハードウェアによって解除(0)され、同時にタイマ/カウンタが計数を始めます。

ビット1 - PSR0 : タイマ/カウンタ0前置分周器リセット (Prescaler Reset Timer/Counter0)

このビットが1の時にタイマ/カウンタ0の前置分周器はリセットします。通常、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0が非同期動作の時にこのビットが1を書かれると、このビットは前置分周器がリセットされてしまうまで1に留まります。TSMビットが設定(1)される場合、このビットはハードウェアによって解除(0)されません。

### 15. 16ビット タイマ/カウンタ (タイマ/カウンタ1とタイマ/カウンタ3)

## 15.1. 特徴

真の 16ビット設計 (換言すれば 16ビットPWMの許容)  
3つの独立した比較出力部  
2重バッファの比較レジスタ  
1つの捕獲入力部  
捕獲入力雑音消去器  
比較一致でのタイマ/カウンタ解除 (自動再設定)

グリッチなしで正しい位相のパルス幅変調器 (PWM)  
 可変 PWM 周期  
 周波数発生器  
 外部事象計数器  
 10 種の独立した割り込み (TOV1, OCF1A, OCF1B, OCF1C, ICF1,  
 TOV3, OCF3A, OCF3B, OCF3C, ICF3)

### 15.1.1. ATmega103互換動作での制限

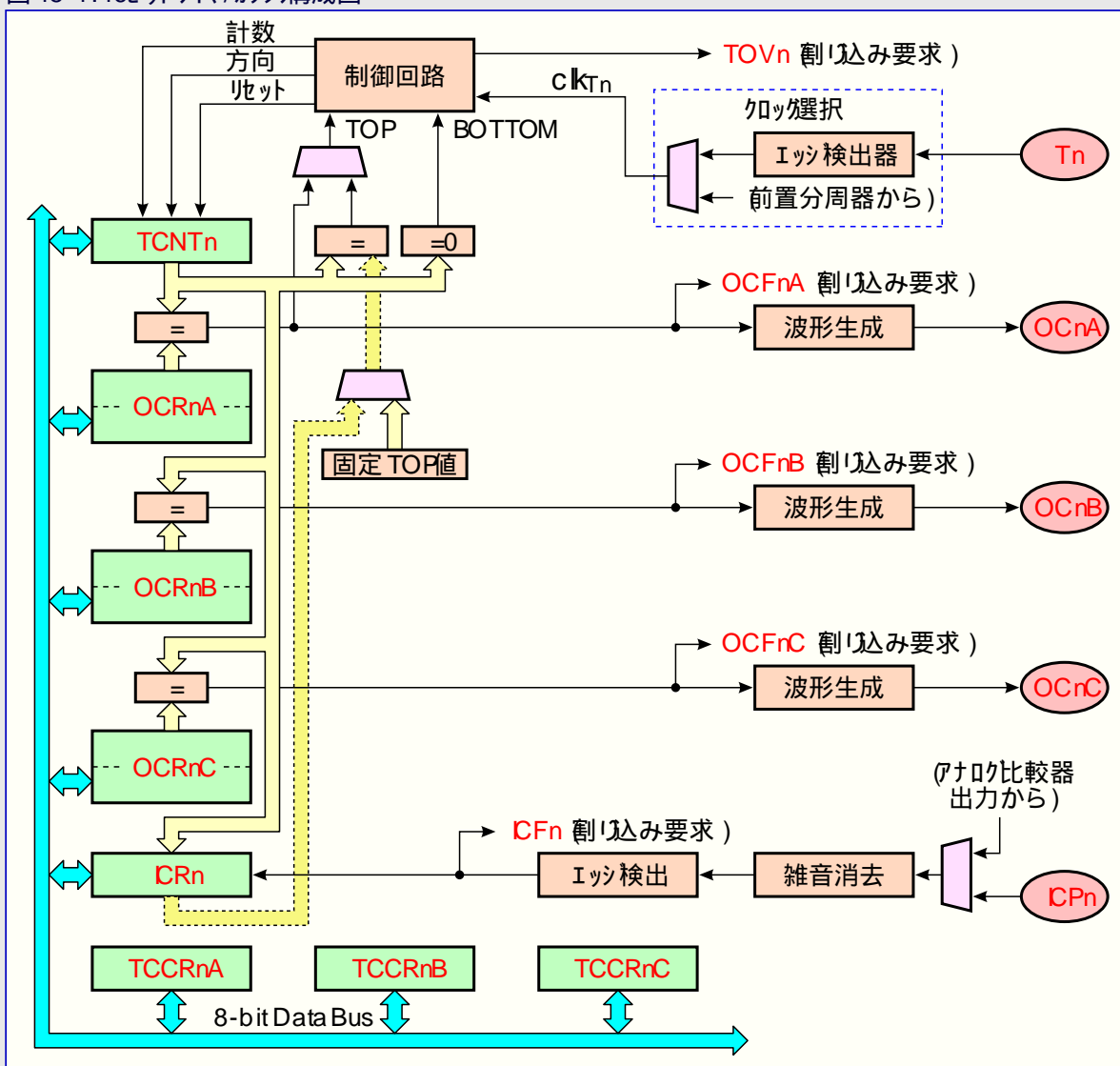
A mega103互換動作では1つの16ビットタイマ/カウンタタイマ/カウンタ1だけが利用可能なことに注意してください。同様にA mega103互換動作では2つの比較レジスタ比較Aと比較Bだけであることに注意してください。

## 15.2. 概要

この 16ビットタイマ/カウンタは正確なプログラム実行タイミング(事象管理)、波形生成、信号 タイミング計測を許します。本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の 'n' はタイマ/カウンタ番号、小文字の 'x' は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使用する時は正確な形式が使用されなければなりません(例えばタイマ/カウンタのカウンタ値に対するアクセスの TCNT1 のように)。物理的な I/O レジスタとビット位置は 86 頁の「16ビットタイマ/カウンタ 3 用レジスタ」で示されます。

この16ビットタイマ/カウンタの簡便化した構成図は図 15-1で示されます。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字 訳注 原文太字 で示されます。

図 15-1. 16ビットタイマ/カウンタ構成図



注：タイマ/カウンタ1と3のピン配置と説明については2頁の「ピン配置」、46頁の表 13-6、51頁の表 13-15を参照してください。



## 152.1. 関係レジスタ

タイマ/カウンタ(TCNTn) 比較レジスタ(OCRnA, OCRnB, OCRnC) 捕獲レジスタ(CRn)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は74頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCRnA, TCCRnB, TCCRnC)は8ビットレジスタで、CPUアクセス制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(ETFR)と拡張タイマ/カウンタ割り込み要求レジスタ(ETFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)と拡張タイマ/カウンタ割り込みマスクレジスタ(ETMSK)で個別に遮蔽/禁止されます。(ETFRとETMSKはこれらのレジスタが他のタイマ/カウンタによって共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはTn<sup>2</sup>の外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタ値を増加または減少するのに使用するクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(Clk<sub>Tn</sub>)として参照されます。

2重ハフアップした比較レジスタ(OCRnA, OCRnB, OCRnC)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OCnA, OCnB, OCnC)でPWMまたは可変周波数出力を生成するための波形生成器によって使用できます。78頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCFnA, OCFnB, OCFnC)も設定(1)します。

捕獲レジスタ(CRn)は捕獲起動(CPn)でまたはアナログ比較器出力(151頁の「アナログ比較器」参照)のどちらかの外部エッジで起動された事象でタイマ/カウンタ値を捕獲/複写できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波部/雑音消去器を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCRnA、CRnまたは一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCRnAを使用すると、OCRnAはPWM出力生成用に使用できません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重ハフアップします。固定的なTOP値が必要とされる場合、CRnが代わりに使用でき、PWM出力として使用されるべきOCRnAを開放します。

## 152.2. 定義

次の定義は本資料を通して広範囲に使用されます。

表 15-1. 用語定義

用語	意味
BOTTOM	カウンタが\$0000に到達した時。
MAX	カウンタが\$FFFF (65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF, \$01FF, \$03FF)、OCRnA値、CRn値の何れか1つを指定できます。この指定は動作種別に依存します。

## 152.3. 互換性

この16ビットタイマ/カウンタは旧版の16ビットAVRタイマ/カウンタから改良更新されてしまっています。この16ビットタイマ/カウンタは次の点に関して以前の版と完全な互換性があります。

タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタアドレスの位置。  
タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタ内のビット位置。  
割り込みベクタ。

次の制御ビットは変更された名前を持ちますが、同じ機能とレジスタ位置を持ちます。

PWMndはWGMndに変更。  
PWMn1はWGMn1に変更。  
CTCrはWGMndに変更。

次のレジスタが16ビットタイマ/カウンタに追加されます。

タイマ/カウンタ制御レジスタC(TCCRnC)  
OCRnCとOCRnCを組み合わせた比較nCレジスタ(OCRnC)

次の制御ビットが16ビットタイマ/カウンタ制御レジスタに追加されます。

COMnC1~nがTCCRnCに追加。  
FOCnC, FOCnC, FOCnCが新規TCCRnCに追加。  
WGMnCがTCCRnCに追加。

この比較C出力用の割り込み要求フラグと割り込み許可ビットが追加されます。

この16ビットタイマ/カウンタにはいくつかの特別な状況で互換性に影響を及ぼす改良点があります。

### 15.3. 16ビットレジスタのアクセス

TCNTn, OCRnA, OCRnB, OCRnC, CRnは8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使用してバイトアクセスされなければなりません。各々の16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で両方が16ビットレジスタに複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使用する訳ではありません。OCRnA, OCRnB, OCRnCの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCRnA, OCRnB, OCRnC, CRnレジスタのアクセスに対して同じ原理が直接的に使用できます。C言語を使用するとき、コンパイラが16ビットアクセスを扱うことに注意してください。

#### アセンブリ言語プログラム例

```

~
LDI    R17, $01
LDI    R16, $FF
OUT    TCNTnH, R17
OUT    TCNTnL, R16

IN     R16, TCNTnL
IN     R17, TCNTnH
~
;
; [16ビット$01FF書き込み]
; $01FFの上位バイト取得
; $01FFの下位バイト取得
; 上位バイト設定 (一時レジスタ)
; 下位バイト設定 (一時レジスタ 上位バイト)
; [16ビット読み込み]
; 下位バイト取得 (上位バイト 一時レジスタ)
; 上位バイト取得 (一時レジスタ)
;

```

#### C言語プログラム例

```

unsigned int i;
~
TCNTn = 0x1FF;
i = TCNTn;
~
/* */
/* 16ビット$01FF書き込み */
/* 16ビット読み込み */
/* */

```

**注:** 6頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ対にTCNTn値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例は TCNTn レジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより OCRnA, OCRnB, OCRnC, ICn の読み込みも行えます。

## アセンブリ言語プログラム例

RD_TCNTn:	IN	R18, SREG	現全割込み許可フラグ(I)を保存
	CLI		全割込み禁止
	IN	R16, TCNTnL	; TCNTn 下位ハイト取得 (上位ハイト 一時レジスタ)
	IN	R17, TCNTnH	; TCNTn 上位ハイト取得 (一時レジスタ)
	OUT	SREG, R18	全割込み許可フラグ(I)を復帰
	RET		呼び出し元へ復帰

## C言語プログラム例

```
unsigned int TIM16_Read_TCNTn(void)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNTn 読み出し変数定義 */
    sreg = SREG;                /* 現全割込み許可フラグ(I)を保存 */
    _CLI();                     /* 全割込み禁止 */
    i = TCNTn;                  /* TCNTn 値を取得 */
    SREG = sreg;                /* 全割込み許可フラグ(I)を復帰 */
    return i;                   /* TCNTn 値で呼び出し元へ復帰 */
}
```

注: 6頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17 R16 レジスタ宛に TCNTn 値を戻します。

次のコード例は TCNTn レジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより OCRnA, OCRnB, OCRnC, ICn の書き込みも行えます。

## アセンブリ言語プログラム例

WR_TCNTn:	IN	R18, SREG	現全割込み許可フラグ(I)を保存
	CLI		全割込み禁止
	OUT	TCNTnH, R17	; TCNTn 上位ハイト設定 (一時レジスタ)
	OUT	TCNTnL, R16	; TCNTn 下位ハイト設定 (一時レジスタ 上位ハイト)
	OUT	SREG, R18	全割込み許可フラグ(I)を復帰
	RET		呼び出し元へ復帰

## C言語プログラム例

```
void TIM16_Write_TCNTn(unsigned int i)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNTn 書き込み変数定義 */
    sreg = SREG;                /* 現全割込み許可フラグ(I)を保存 */
    _CLI();                     /* 全割込み禁止 */
    TCNTn = i;                  /* TCNTn 値を設定 */
    SREG = sreg;                /* 全割込み許可フラグ(I)を復帰 */
}
```

注: 6頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17 R16 レジスタ宛に TCNTn へ書かれるべき値を含む必要があります。

### 15.3.1 上位ハイト一時レジスタの再使用

書かれる全レジスタについて上位ハイトが同じ複数 16ビットレジスタ書き込みなら、上位ハイトは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

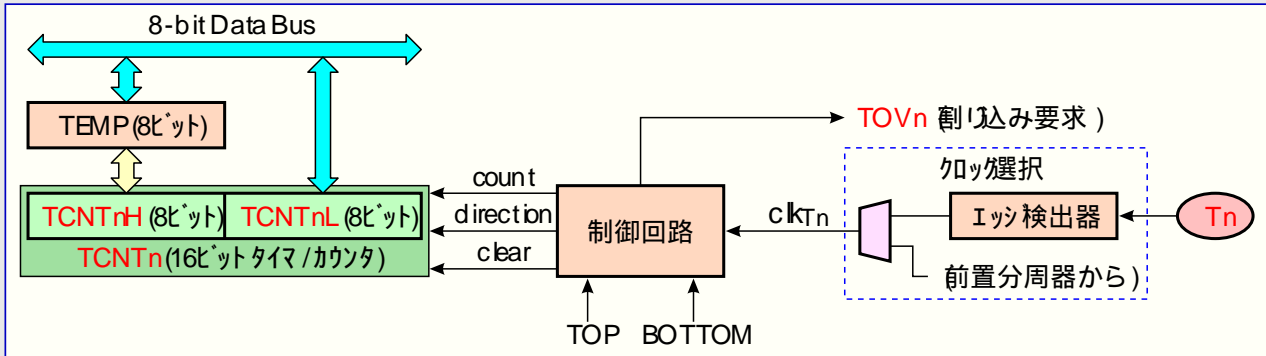
## 15.4. タイマ/カウンタの クロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元は **タイマ/カウンタ制御レジスタB (TCCRnB)** に配置された **クロック選択 (CSn2~0)** ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については **95頁の「タイマ/カウンタ1 タイマ/カウンタ2 タイマ/カウンタ3の前置分周器」** をご覧ください。

## 15.5. 計数器部

16ビットタイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。図 15-2はこのカウンタとその周辺の構成図を示します。

図 15-2. カウンタ構成図



信号説明 (内部信号)	count	TCNTnを1つ進めるまたは戻す信号。
	direction	進行方向 (上昇または下降 選択信号)。
	clear	TCNTnのレジスタ値を\$0000に設定 信号。
	clkTn	タイマ/カウンタ クロック信号。
	TOP	TCNTnが最大値に到達したことを示す信号。
	BOTTOM	TCNTnが最小値 (\$0000)に到達したことを示す信号。
	TEMP	一時レジスタ。

この16ビットカウンタはカウンタの上位8ビットを含むカウンタ上位 (TCNTnH) と下位8ビットを含むカウンタ下位 (TCNTnL) の2つの8ビット I/O メモリ位置に配置されます。TCNTnHレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNTnH I/O位置をアクセスするとき、CPUは上位8ビット一時レジスタ (TEMP) をアクセスします。この一時レジスタはTCNTnLが読まれる時にTCNTnH値で更新され、TCNTnLが書かれる時にTCNTnHは一時レジスタ値で更新されます。これは8ビットデータバス経由で1クロック周期内の16ビットカウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNTn書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使用した動作種別に依存して、カウンタは各タイマ/カウンタクロック (clkTn) でレジスタ値 (\$0000) 増加 (+1) または減少 (-1) されます。clkTnはクロック選択 (CSn2~0) ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない (CSn2~0=000) 時にカウンタは停止されます。けれどもTCNTn値はタイマ/カウンタクロック (clkTn) が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ周期や計数動作を無視します (上位優先権を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御レジスタA (TCCRnA)** と **タイマ/カウンタ制御レジスタB (TCCRnB)** に配置された **波形生成種別 (WGMn3~0)** ビットの設定によって決定されます。これらはカウンタ動作 計数 方法と波形がOCn比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては **8頁の「動作種別」** をご覧ください。

**タイマ/カウンタ溢れ (TOVn) フラグ** は WGMn3~0 ビットによって選択された動作種別に従って設定 (1) されます。TOVnはCPU割り込み発生に使用できます。

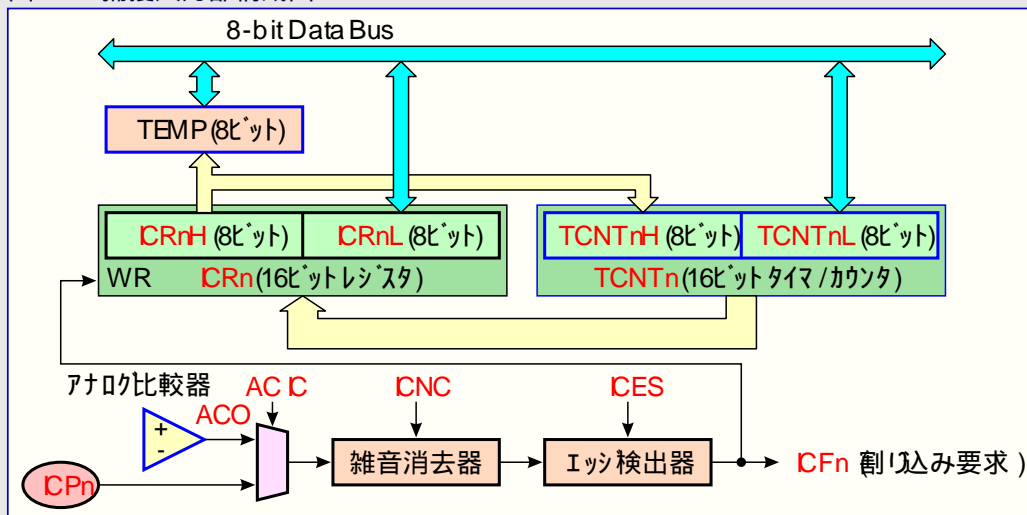


## 15.6 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印 (タイマ/カウンタ値) を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号は CPn<sub>pin</sub>または代わりにアナログ比較器経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特性の計算に使用できます。代わりに時間印は出来事の記録作成にも使用できます。

捕獲入力部は図 15-3で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠 (訳注 原文は灰色背景) で示されます。レジスタとビット名での小文字の 'n' はタイマ/カウンタ番号を示します。

図 15-3 捕獲入力部構成図



注: ACO, ACIC はアナログ比較器制御/状態レジスタ (ACSR) 内のビットです。

注: アナログ比較器出力 (ACO) はタイマ/カウンタのみ起動でき、タイマ/カウンタ3では使用できません。

捕獲起動入力 (CPn<sub>pin</sub>)若しくは代わりにアナログ比較器出力 (ACO) で論理レベルの変化 (出来事) が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ (TCNTn) の 16ビット値が捕獲レジスタ (CRn) に書かれます。捕獲割り込み要求フラグ (CFn) は TCNTn値が CRnに複写されるのと同じシステムクロックで設定 (1) されます。許可 (ICF=1, TCEN=1) ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。CFnは割り込みが実行されると自動的に解除 (0) されます。代わりにこの I/O ビット位置に論理 1 を書くことによってソフトウェアでも解除 (0) できます。

捕獲レジスタ (CRn) の 16ビット値読み込みは、初めに下位バイト (CRnL) その後上位バイト (CRnH) を読むことによって行われます。下位バイトが読まれる時に上位バイトが上位バイトレジスタ (TEMP) に複写されます。CPUが CRnH I/O位置を読むと、この一時レジスタをアケスします。

CRnはカウンタの TOP値定義に CRnを使用する波形生成種別を使用する時にだけ書けます。これらの場合、TOP値が CRnに書かれ得る前に波形生成種別 WGMn3~0ビットが設定されなければなりません。CRnに書く時は下位バイトが CRnLに書かれる前に、上位バイトが CRnH I/O位置に書かれなければなりません。

16ビットレジスタアクセス法の詳細については74頁の「16ビットレジスタのアクセス」を参照してください。

### 15.6.1 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力 (CPn<sub>pin</sub>)です。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使用できます。アナログ比較器はアナログ比較器制御/状態レジスタ (ACSR) のアナログ比較器捕獲起動許可 (ACIC) ビットの設定 (1) によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ (CFn) は、その変更後に解除 (0) されなければなりません。

捕獲起動入力 (CPn<sub>pin</sub>)とアナログ比較器出力 (ACO) の両入力は、Tn<sub>pin</sub> (95頁の図 16-1参照) についてと同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を4システムクロック周期増やします。タイマ/カウンタが TOP値定義に CRnを使用する波形生成種別に設定されないなら、雑音消去器とエッジ検出器の入力が常に許可されることに注意してください。

捕獲入力力は CPn<sub>pin</sub>のホ-を制御することによってソフトウェアで起動できます。

### 15.6.2 雑音消去器

雑音消去器は簡単なデジタル濾波器機構を使用することによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、エッジ検出器によって使用される方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はタイマ/カウンタ制御レジスタB (TCCRnB) の捕獲入力雑音消去許可 (CNCn) ビットの設定 (1) によって許可されます。許可したとき、雑音消去器は入力に印加した変更から CRnの更新までに4システムクロック周期の追加遅延をもたらします。雑音消去器はシステムクロックを使用し、従って前置分周器によって影響されません。

### 15.6.3 捕獲入力の使用

捕獲入力機能を使用する主な要求 (目的) は入って来る出来事に対して十分なフレッシャ能力を当てがうことです。2つの出来事間の時間が際どいとして。次の出来事が起こる前に捕獲した捕獲レジスタ(CRn)の値をフレッシャが読めなかった場合、CRnは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使用するとき、CRnは割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大クロック周期数に依存します。

動作中にTOP値 分解能 が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更は CRnが読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、捕獲割り込み要求フラグ(CFn)はソフトウェア(I/Oビット位置への論理書き込み)によって解除(0)されなければなりません。誤補エッジ変更によってCFnが設定(1)されることを想定し、周波数のみの測定について割り込み処理が使用される場合、CFnの解除(0)は必要とされません。

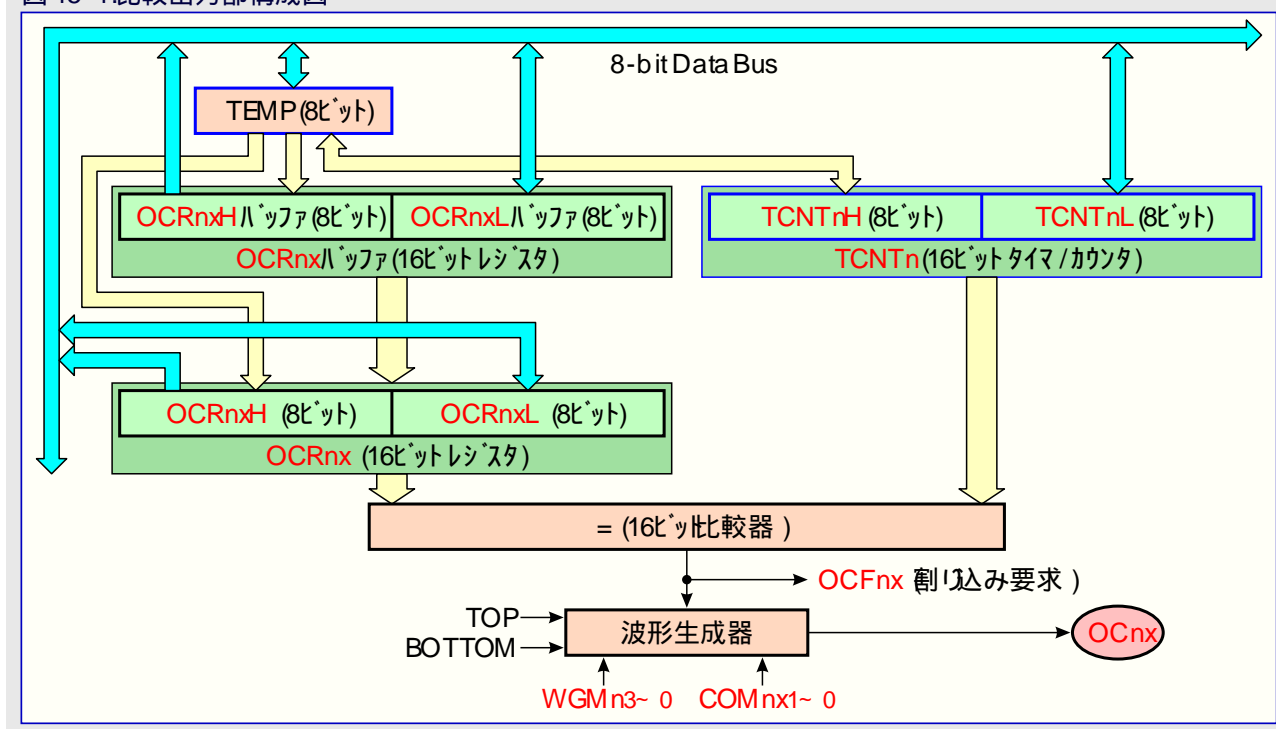
### 15.7 比較出力部

この16ビット比較器はTCNTnと比較レジスタOCRnxを継続的に比較します。TCNTnとOCRnxが等しければ、比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグOCFnを設定(1)します。許可(=1, OCFnx=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCFnは割り込みが実行されると自動的に解除(0)されます。代わりにOCFnはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別WGMn3~0ビットと比較出力選択COMnx1~0ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使用します。TOPとBOTTOM信号は動作種別(8頁の動作種別参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使用されます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値 換言するとカウンタの分解能 定義を許します。カウンタの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図15-4は比較出力部の構成図を示します。レジスタとビット名での小文字の'nはタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1) 小文字の'xは比較出力部(A、BまたはC)を表します。直接的な比較出力部の部分でない構成図の要素は青枠 誤注 原文は灰色背景で示されます。

図 15-4 比較出力部構成図



OCRnxは12種類のパルス幅変調 (PWM) のどれかを使用する時に2重ハフ化されます。標準動作と比較一致タイマ/カウンタ解除 (CTC) 動作については2重ハフ動作が禁止されます。2重ハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによってグリッチなしの出力を作成します。

OCRnxのアクセスは複雑なように思えますが決してそんなことはありません。2重ハフ動作が許可されるとCPUはOCRnxハフアをアクセスし、禁止されるとOCRnxレジスタを直接アクセスします。OCRnx(ハフまたはレジスタ)の内容は書き込み操作によってのみ変更されます(タイマ/カウンタはTCNTnやCRRのようにOCRnxを自動的に更新しません)。従ってOCRnxは上位バイト時レジスタ(TEMP経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCRnx書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイトOCRnxHが先に書かれなければなりません。上位バイト/O位置がCPUによって書かれると一時レジスタは書かれた値で更新されます。その後に下位バイトOCRnxLが下位8ビットを書かれると一時レジスタ内の上位バイトは(下位バイト書き込みと同じシステムクロック周期でOCRnxハフまたはOCRnxレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については74頁の「16ビットレジスタのアクセス」を参照してください。

**訳注)**ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成するハフ部分をOCRnxハフア、実際の比較に使用されるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

### 15.7.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更 (FOCnx)レジスタに1を書くことによって強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCFnx)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OCnxレジスタは実際の比較一致が起きた場合と同様に更新されます。COMnx1~0ビット設定がOCnxレジスタの設定(1)解除(0)、1/0交互のどれかを定義。

### 15.7.2. TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

### 15.7.3. 比較一致部の使用

どの動作種別でのTCNTn書き込みでもタイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかなにかに拘らず、何れかの比較出力部を使用する場合、TCNTnを変更する時に危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNTnを書いてはいけません。行った場合)TOPに対する比較一致は無視され、カウンタは\$FFFFへ計数を続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNTn値を書いてはいけません。

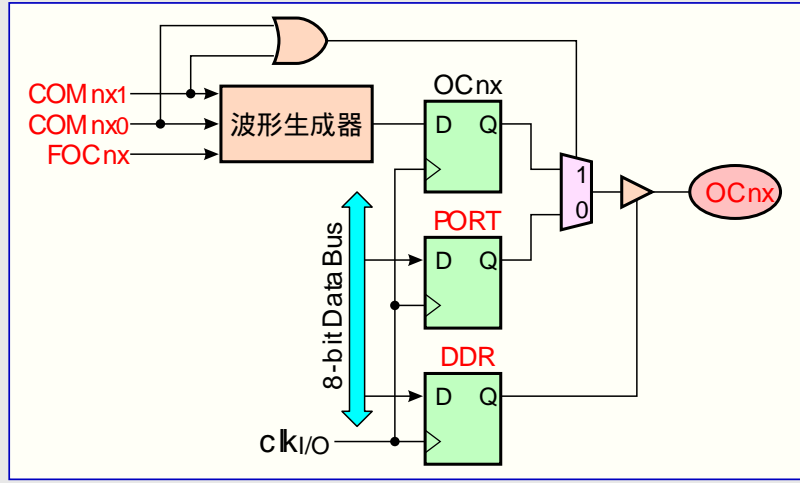
OCnxの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更 (FOCnx)レジスタ-7ビットを使用することです。波形生成種別間を変更する時であっても、OCnx(内部)レジスタはその値を保ちます。

**比較出力選択 (COMnx1~0)ビット**が比較値 (OCRnx)と共に2重ハフ化されないことに気付いてください。COMnx1~0ビットの変更は直ちに有効となります。

## 15.8.比較一致出力部

**比較出力選択** (COMnx1~ 0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OCnx)状態の定義にCOMnx1~ 0ビットを使用します。次にCOMnx1~ 0ビットはOCnxピン出力元を制御します。図 15-5はCOMnx1~ 0ビット設定によって影響される論理回路の単純化した図を示します。図の I/Oレジスタ I/Oピンは赤文字 訳注 原文は太字 で示されます。COMnx1~ 0ビットによって影響を及ぼされる標準 I/Oポート制御レジスタ (PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxピンでなく内部OCnxレジスタに対してです。システムリセットが起こると、OCnxレジスタは0にリセットされます。

図 15-5.比較一致出力回路図



COMnx1~ 0ビットのどちらかが設定 (1)されると、標準 I/Oポート機能は波形生成器からの比較出力 (OCnx)によって無効にされます。けれどもOCnxピンの方向 (入出力) はポートピンに対するポート方向レジスタ (DDR)によって未だ制御されます。OCnxピンに対するポート方向レジスタのビット (DDR OCnx)はOCnx値がピンで見えるのに先立って出力として設定されなければなりません。このポートの兼用機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については表 15-2、表 15-3、表 15-4を参照してください。

比較出力ピン論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1~ 0ビット設定が或る種の動作種別に対して予約されることに注意してください。86頁の「16ビットタイマ/カウンタ3用レジスタ」をご覧ください。

COMnx1~ 0ビットは捕獲入力部での何の効果もありません。

### 15.8.1.比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1~ 0ビットを違うふうに使います。全動作種別に対してCOMnx1~ 0=0設定は次の比較一致で実行すべきOCnxレジスタの動きがないことを波形生成器へ告げます。非 PWM動作での比較出力動作については86頁の表 15-2を参照してください。高速 PWM動作については86頁の表 15-3、位相基準 PWMと位相/周波数基準 PWMについては86頁の表 15-4を参照してください。

COMnx1~ 0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非 PWM動作について、この動作は強制変更 (FOCNx)と10-7ビットを使用することによって直ちに効果を得ることを強制できます。



## 15.9 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別 (WGMn3~ 0ビット) と比較出力選択 (COMnx1~ 0ビット) の組み合わせによって定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COMnx1~ 0ビットは生成されたPWM出力が反転されるべきか、されないべきか、反転または非反転PWMどちらかを制御します。非PWM動作に対してのCOMnx1~ 0ビットは比較一致で出力が解除 (0) 設定 (1) 1/交互のどれにされるべきかを制御します。80頁の「比較一致出力部」をご覧ください。

タイミング情報の詳細については85頁の「タイマ/カウンタ3のタイミング」を参照してください。

### 15.9.1 標準動作

最も単純な動作種別が標準動作 (WGMn3~ 0=0000) です。この動作種別での計数方向は常に上昇 (+) で、カウンタの解除は実行されません。カウンタは16ビット最大値 (MAX=\$FFFF) を通過すると単に範囲を超え、そして\$0000 (BOTTOM) から再び始めます。通常動作でのタイマ/カウンタ溢れ (TOVnフラグ) はTCNTnが\$0000になる時と同じタイマ/カウンタクロック周期で設定 (1) されます。この場合のTOVnフラグは設定 (1) のみで解除 (0) されないことを除いて第17ビットのようになります。けれどもTOVnフラグを自動的に解除 (0) するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能 (16ビット長) を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタ溢れ割り込みまたは前置分周器が使用されなければなりません。

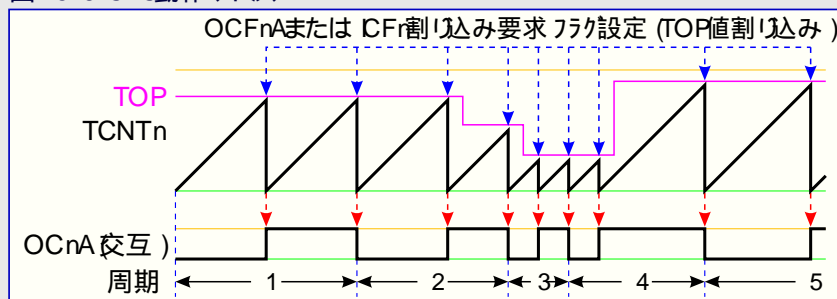
比較出力部は与えられた或る時間に割り込みを生成するのに使用できます。標準動作で波形を生成するのに比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 15.9.2 比較一致タイマ/カウンタ解除 (CTC) 動作

比較一致タイマ/カウンタ解除 (CTC) 動作 (WGMn3~ 0=0100または1100) ではOCRnAまたはCRnがカウンタの分解能を操作するのに使用されます。CTC動作ではカウンタ (TCNTn) 値がOCRnA (WGMn3~ 0=4) またはCRn (WGMn3~ 0=12) のどちらかと一致する時にカウンタが\$0000に解除されます。OCRnAまたはCRnはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図15-6で示されます。カウンタ (TCNTn) 値はOCRnAまたはCRnのどちらかで比較一致が起こるまで増加し、そしてその後にカウンタ (TCNTn) は解除 (\$0000) されます。

図15-6. CTC動作 タイミング



注: COMnA1~ 0=01

TOP値を定義するのに使用されるレジスタに対してOCFnAまたはCFrのどちらかを使用することにより、カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMに近い値にTOPを変更するのは、CTC動作が2重ハフアップ機能を持たないために注意して行わなければなりません。OCRnAまたはCRnに書かれた新しい値がTCNTnの現在値より低 (小さい) 場合、カウンタはその回の比較一致を失います。その後のカウンタは比較一致が起こせるのに先立って、最大値 (\$FFFF) をそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCRnAが2重ハフアップされるので、代替はTOPを定義するのにOCRnAを用いる高速PWM動作 (WGMn3~ 0=1111) を使用することでしょう。

CTC動作で波形出力を生成するため、OCnA出力は比較出力選択 (COMnA1~ 0ビット) を交互動作 (=01) に設定することによって各比較一致での論理レベル交互切替に設定できます。OCnA値はそのピンに対するデューティ方向が出力 (DDR\_OCnA=1) に設定されない限りポートピンで見えないでしょう。生成された波形はOCRnAが0 (\$0000) に設定されるとき、 $f_{OCnA} = f_{clk\_I/O} / (2 \times N \times (1 + OCRnA))$  の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数 (1, 8, 64, 256, 1024) を表します。

標準動作と同じように、タイマ/カウンタ溢れ割り込み要求 (TOVnフラグ) はカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロック周期で設定 (1) されます。

### 15.9.3 高速 PWM動作

高速パルス幅変調 (PWM動作 WGMn3~ 0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 (COMnx1~ 0=10)での比較出力 (OCnx)はTCNTnとOCRnx間の比較一致で解除 (0)され、BOTTOMで設定 (1)されます。反転出力動作 (COMnx1~ 0=11)の出力は比較一致で設定 (1)され、BOTTOMで解除 (0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準や位相/周波数基準PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCRnxがICRnのどちらかによって定義できます。許された最小分解能は2ビットOCRnxまたはICRnが\$0000(設定) 最大分解能は16ビットOCRnxまたはICRnがMAX(設定)です。ビットでのPWM分解能は次式を使用することによって計算できます。

$$R_{PWM} = \frac{\lg(TOP + 1)}{\lg 2}$$

高速PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGMn3~ 0=0101,0110,0111) ICRn値(WGMn3~ 0=1110)またはOCRnx値(WGMn3~ 0=1111)のどれかと一致するまで増加されます。そしてカウンタは一致の次のタイマ/カウンタクロック周期で解除(\$0000)されます。高速PWM動作のタイミング図は図15-7で示されます。本図はOCRnxがICRnがTOPを定義するのに使用される時の高速PWM動作を示します。TCNTn値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点接点がTCNTnとOCRnx間の比較一致を示します (訳注 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCFnx)は比較一致が起こると設定 (1)されます。

タイマ/カウンタ溢れ割り込み要求 (TOVn)フラグはカウンタがTOPに到達する毎に設定 (1)されます。加えて、OCRnxがICRnのどちらかがTOP値を定義するのに使用されるとき、OCFnxまたはCFRnx割り込み要求フラグはTOVnが設定 (1)されるのと同じタイマ/カウンタクロック周期で設定 (1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンはTOPと比較値を更新するのに使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使用する場合、どのOCRnxが書かれる時も、未使用ビットが0で隠しに置換されることに注意してください。

ICRnがTOP値を定義するのに使用されるとき、ICRnを更新する手順はOCRnxの更新と異なります。ICRnは2重バッファされません。これは前置分周または低い前置分周値でカウンタが走行している時にICRnが小さな値に変更される場合、書かれた新しいICRn値がTCNTnの現在値より小さくなる危険を意味します。その結果はカウンタが(その回の)TOP値での比較一致を失うことです。その後のカウンタは比較一致が起こせるのに先立って、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。けれども、OCRnxは2重バッファされます。この特徴は何時でも書かれることをOCRnxのI/O位置に許します。OCRnx I/O位置が書かれると、書かれた値はOCRnxバッファに置かれます。OCRnx比較レジスタはその後にTCNTnがTOPと一致した次のタイマ/カウンタクロック周期にOCRnxバッファの値で更新されます。この更新はTCNTnの解除(\$0000)やTOVnの設定 (1)と同じタイマ/カウンタクロック周期で行われます。

TOPを定義するのにICRnを使用することは決まったTOP値を使用する時に上手くなります。ICRnを使用することによりOCnxでのPWM出力を生成するためにOCRnxが自由に使用できます。けれども基準PWM周波数が(TOP値を変更することによって動的に変更される場合、OCRnxが2重バッファ機能のため、TOPとしてOCRnxを使用することは明らかに良い選択です。

高速PWM動作での比較部はOCnxレジスタでのPWM波形の生成を許します。COMnx1~ 0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1~ 0を'11'に設定することで生成できます。86頁の表15-3をご覧ください。実際のOCnx値はそのポートピンに対するディレクションが出力(DDR\_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNTnとOCRnx間の比較一致でOCnx内部レジスタを設定 (1)または解除 (0)と、カウンタが解除(\$0000) TOPからBOTTOMへ変更されるタイマ/カウンタクロック周期でのOCnxレジスタを解除 (0)または設定 (1)することによって生成されます。

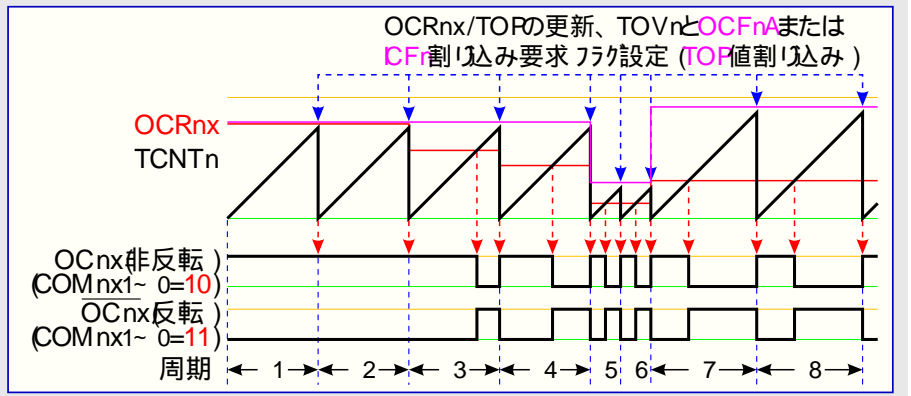
PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024を表します)。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1 + TOP)}$$

OCRnxの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCRnxがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。TOPに等しいOCRnx設定はCOMnx1~ 0ビットによって設定される出力極性に依存して、定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(フューテック50%周波数の波形出力は比較一致毎に論理反転するOCnx設定 (COMnx1~ 0=01)によって達成できます。生成された波形はOCRnxが0(\$0000)に設定される時に $f_{OCnx} = f_{clk\_I/O} / 20$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重バッファ機能が許可されることを除いて、CTC動作でのOCnx交互出力 (COMnx1~ 0=01)と同じです。

図 15-7 高速 PWM動作 タイミング





### 15.9.4. 位相基準 PWM動作

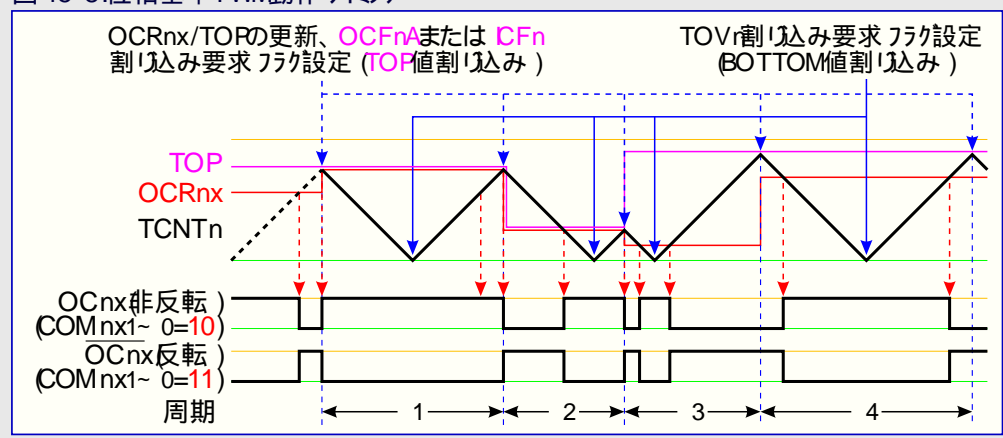
位相基準パルス幅変調 (PWM 動作  $WGMn3 \sim 0 = 0001, 0010, 0011, 1010, 1011$ ) は高分解能で正しい位相の PWM 波形生成選択を提供します。位相基準 PWM 動作は両傾斜三角波動作を基準とした位相/周波数基準 PWM と似ています。カウンタは BOTTOM (\$0000) から TOP へ、そしてその後に TOP から BOTTOM へを繰り返し計数します。非反転比較出力動作 ( $COMnx1 \sim 0 = 10$ ) での比較出力 ( $OCnx$ ) は上昇計数中の  $TCNTn$  と  $OCRn$  間の比較一致で解除 (0) され、下降計数中の比較一致で設定 (1) されます。反転出力動作 ( $COMnx1 \sim 0 = 11$ ) での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波 PWM 動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準 PWM 動作の PWM 分解能は 8, 9, 10 ビットに固定、若しくは  $OCRnA$  か  $ICRn$  のどちらかによって定義できます。許された最小分解能は 2 ビット ( $OCRnA$  または  $ICRn$  が \$0003 設定) 最大分解能は 16 ビット ( $OCRnA$  または  $ICRn$  が MAX 設定) です。ビットでの PWM 分解能は次式を使用することによって計算できます。

$$R_{PCPWM} = \frac{\lg(TOP + 1)}{\lg 2}$$

位相基準 PWM 動作でのカウンタはカウンタ値が固定値 \$00FF, \$01FF, \$03FF ( $WGMn3 \sim 0 = 0001, 0010, 0011$ )、 $ICRn$  値 ( $WGMn3 \sim 0 = 1010$ ) または  $OCRnA$  値 ( $WGMn3 \sim 0 = 1011$ ) のどれかと一致するまで増加されます。カウンタは TOP に到達したその時に計数方向を変更します。この  $TCNTn$  値は 1 タイム/カウンタ クロック周期、TOP と等しくなります。位相基準 PWM 動作のタイミング図は図 15-8 で示されます。この図は  $OCRnA$  か  $ICRn$  が TOP を定義するのに使用される時の位相基準 PWM 動作を示します。  $TCNTn$  値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転の PWM 出力を含みます。細い赤線は  $OCRn$  値を示し、  $TCNTn$  値との交点/接点が  $TCNTn$  と  $OCRn$  間の比較一致を示します (※注 図補正に伴い本行若干変更) 比較割り込み要求フラグ ( $OCFnx$ ) は比較一致が起こると設定 (1) されます。

図 15-8. 位相基準 PWM 動作 タイミング



タイム/カウンタ溢れ (TOVn) フラグはカウンタが BOTTOM に到達する毎に設定 (1) されます。  $OCRnA$  か  $ICRn$  のどちらかが TOP 値を定義するのに使用されるとき、  $OCFnx$  または  $ICFnx$  割り込み要求フラグは  $OCRnx$  レジスタが (TOP に於いて) 重複バックスラッシュ値で更新されるのと同じタイム/カウンタ クロック周期によって設定 (1) されます。これらの割り込み要求フラグはカウンタが TOP または BOTTOM 値に到達する毎に割り込みを発生するのに使用できます。

TOP 値を変更するとき、プログラムは新 TOP 値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP 値が何れかの比較レジスタより小さい場合、  $TCNTn$  とその  $OCRn$  間で比較一致は決して起きません。固定 TOP 値を使用する場合、どの  $OCRn$  が書かれる時も、未使用ビットが 0 で隠しに置換されることに注意してください。図 15-8 で示される第 3 周期が図解するようにタイム/カウンタが位相基準 PWM 動作で走行中に TOP を積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由は  $OCRnx$  レジスタの更新時に見出せます。  $OCRn$  更新は TOP で起きるので、PWM 周期は TOP で始まりそして終わります。これは下降傾斜長が直前の TOP 値によって決定され、一方上昇傾斜長は新しい TOP 値で決定されることを意味します。これら 2 つの値 (TOP) が違う時にその周期の 2 つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイム/カウンタが走行中に TOP 値を変更する場合、位相基準 PWM 動作の代わりに位相/周波数基準 PWM 動作を使用することが推奨されます。一定の TOP 値を使用するとき、2 つの動作種別間に現実的な違いはありません。

位相基準 PWM 動作での比較部は  $OCnx$  レジスタでの PWM 波形の生成を許します。  $COMnx1 \sim 0$  ビットを '10' に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は  $COMnx1 \sim 0$  を '11' に設定することで生成できます (86 頁の表 15-4 をご覧ください) 実際の  $OCnx$  値はそのポートピンに対するデューティ方向が出力 ( $DDR_{OCnx} = 1$ ) として設定される場合にだけ見えるでしょう。 PWM 波形はカウンタが増加する時の  $TCNTn$  と  $OCRn$  間の比較一致で  $OCnx$  内部レジスタを設定 (1) または解除 (0) と、カウンタが減少する時の  $TCNTn$  と  $OCRn$  間の比較一致で  $OCnx$  レジスタを解除 (0) または設定 (1) することによって生成されます。

位相基準 PWM を使用する時の出力に対する PWM 周波数は次式によって計算できます。変数 N は前置分周数 (1, 8, 64, 256, 1024 を表します)。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

$OCRnx$  の両端値は位相基準 PWM 動作で PWM 波形出力を生成する時の特別な場合に当たります。非反転 PWM 動作では  $OCRnA$  が BOTTOM に等しく設定されると出力は定常的な Low、TOP に等しく設定されると定常的な High になるでしょう。反転 PWM に対する出力は逆の論理値になります。TOP 値定義に  $OCRnA$  が使用され ( $WGMn3 \sim 0 = 1011$ )、  $COMnA1 \sim 0 = 01$  なら、  $OCnA$  出力はデューティ比 50% で交互に変化します。

### 15.9.5. 位相 / 周波数基準 PWM動作

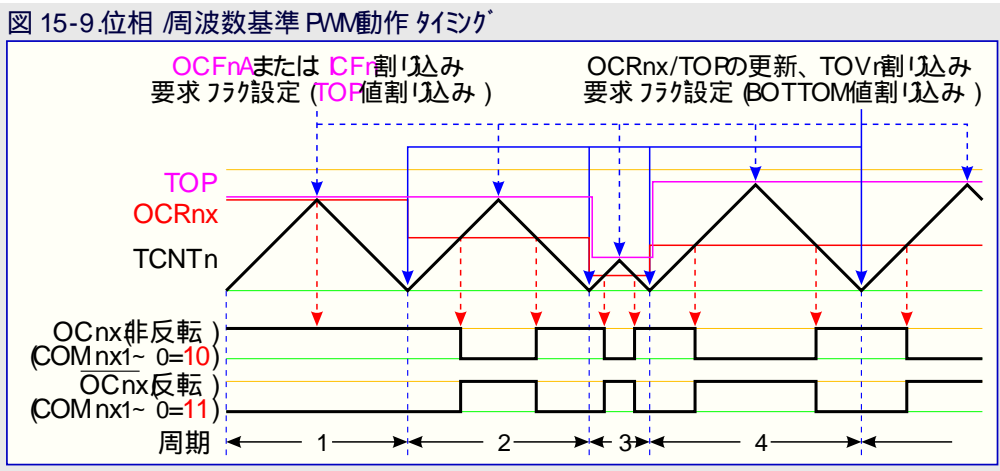
位相 / 周波数基準 PWM動作 (PWM動作 WGMn3~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相 / 周波数基準PWM動作は両傾斜三角波動作を基準とした位相基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作 (COMnx1~0=10)での比較出力 (OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除 (0)され、下降計数中の比較一致で設定 (1)されます。反転出力動作 (COMnx1~0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜三角波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準と位相 / 周波数基準PWM動作間の主な違いはOCRnxレジスタがOCRnxレジスタによって更新される時 (更新: TOPとBOTTOM)です (図15-8と図15-9参照)。

位相 / 周波数基準PWM動作のPWM分解能はOCRnAかCRnのどちらかで定義できます。許された最小分解能は2ビット(OCRnAまたはCRnが\$000設定)、最大分解能は16ビット(OCRnAまたはCRnがMAX設定)です。ビットでのPWM分解能は次式を使用することによって計算できます。

$$R_{PFCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相 / 周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がCRn値 (WGMn3~0=1000)かOCRnA値 (WGMn3~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNTn値は1タイマ/カウンタクロック周期間、TOPと等しくなります。位相 / 周波数基準PWM動作のタイミング図は図15-9で示されます。この図はOCRnAかCRnがTOPを定義するのに使用される時の位相 / 周波数基準PWM動作を示します。TCNTn値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRn値を示し、TCNTn値との交点 (接点) がTCNTnとOCRn間の比較一致を示します (訳注: 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCFnx)は比較一致が起こると設定 (1)されます。



タイマ/カウンタ溢れ (TOVn)フラグはOCRnxレジスタが (BOTTOMに於いて) 重ハフ値で更新されるのと同じタイマ/カウンタクロック周期で設定 (1)されます。OCRnAかCRnのどちらかがTOP値を定義するのに使用されるとき、OCFnxまたはCFR割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎に設定 (1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。

図15-9が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCRnxレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ハルスに従って正しい周波数を与えます。

TOPを定義するのにCRnを使用することは決まったTOP値を使用する時に上手くなります。CRnを使用することにより、OCRnAでのPWM出力を生成するためにOCRnAが自由に使用できます。けれども基準PWM周波数が (TOP値を変更することによって) 動的に変更される場合、OCRnAが2重ハフ機能のため、TOPとしてOCRnAを使用することは明らかに良い選択です。

位相 / 周波数基準PWM動作での比較部はOCnxレジンでのPWM波形の生成を許します。COMnx1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1~0を'11'に設定することで生成できます (86頁の表15-4をご覧ください)。実際のOCnx値はそのポートピンに対するデューティ方向が出力 (DDR\_OCnx=1)として設定される場合にだけ見えます。PWM波形はカウンタが増加する時のTCNTnとOCRnx間の比較一致でOCnx内部レジスタを設定 (1)または解除 (0)と、カウンタが減少する時のTCNTnとOCRnx間の比較一致でOCnxレジスタを解除 (0)または設定 (1)することによって生成されます。

位相 / 周波数基準PWMを使用する時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数 (1,8,64,256,1024を表します)。

$$f_{OCnxPFCPWM} = \frac{f_{clk}/O}{2 \times N \times TOP}$$

OCRnxの両端値は位相 / 周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCRnAが使用され (WGMn3~0=1001)、COMnA1~0=01なら、OCnA出力はデューティ比50%交互に変化します。



## 15.10. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック( $clk_{Tn}$ )が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そして $OCRnx$ レジスタが $OCRnx$ バッファ値で更新される時(2重バッファを使用する動作種別のみ)の情報を含みます。図15-10は $OCFnx$ の設定についてのタイミング図を示します。

図 15-10. 前置分周なし(1/1)のタイマ/カウンタ  $OCFnx$  設定 タイミング

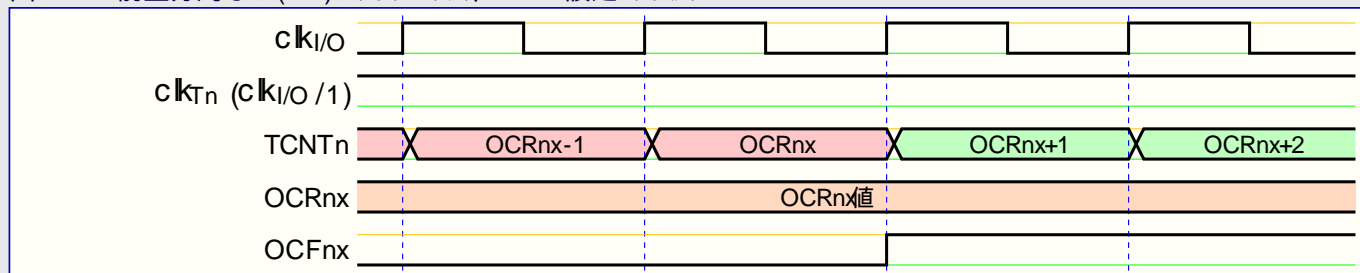


図 15-11は同じタイミングパターンを示しますが、前置分周器が許可されています。

図 15-11. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ  $OCFnx$  設定 タイミング

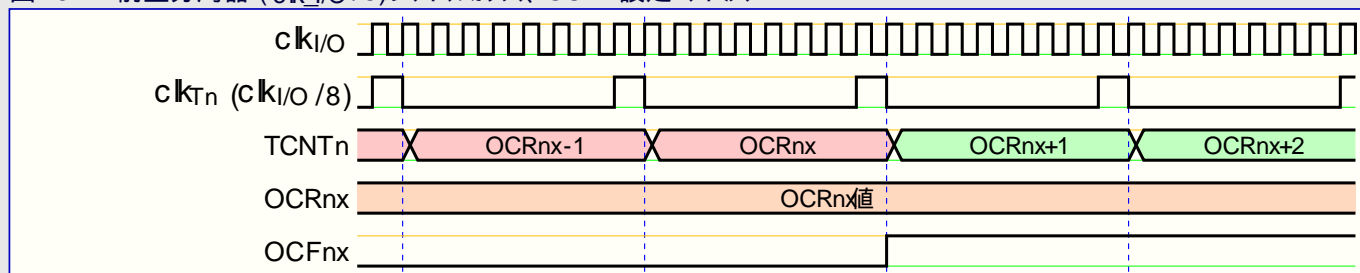


図 15-12は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時の $OCR1x$ レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でどのように置き換えられます。BOTTOMで $TOVn$ を設定(1)する動作種別についても、同様な名称変更が適用されます。

図 15-12. 前置分周器なし(1/1)のタイマ/カウンタ TOP近辺 タイミング

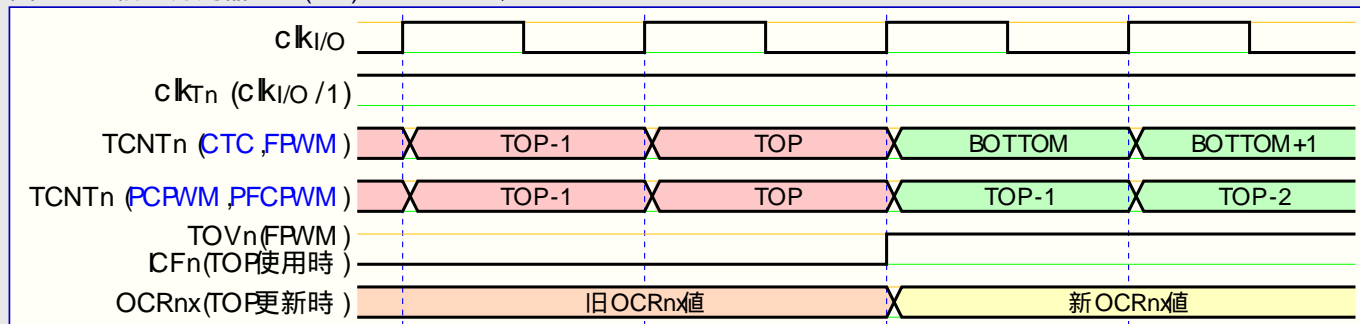
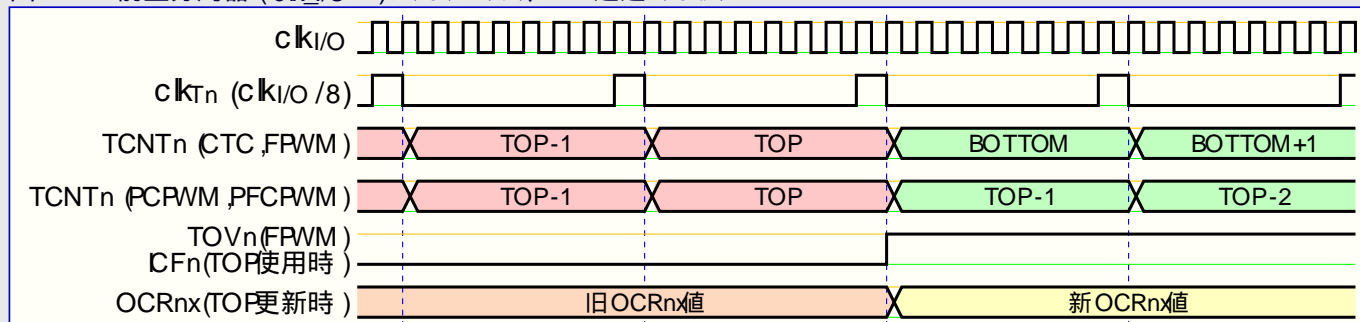


図 15-13は同じタイミングパターンを示しますが、前置分周器が許可されています。

図 15-13. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ TOP近辺 タイミング



## 15.11. 16ビットタイマ/カウンタ3用レジスタ

### 15.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	COM1C1	COM1C0	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.2. タイマ/カウンタ3制御レジスタA (Timer/Counter3 Control Register A) TCCR3A

ビット	7	6	5	4	3	2	1	0	
(\$8B)	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	TCCR3A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - COMnA10 : 比較 nA 出力選択 (Compare Output Mode A bit 1 and 0)

ビット54 - COMnB10 : 比較 nB 出力選択 (Compare Output Mode B bit 1 and 0)

ビット32 - COMnC10 : 比較 nC 出力選択 (Compare Output Mode C bit 1 and 0)

COMnA1~0, COMnB1~0, COMnC1~0 は各々 OCnA, OCnB, OCnC 比較出力ピンの動作を制御します。COMnA1~0 の1つまたは両方が 1 を書かれると、OCnA 出力はその I/O ピンの標準ホー機能が無効にし、その I/O ピンに接続されます。COMnB1~0 の1つまたは両方が 1 を書かれると、OCnB 出力はその I/O ピンの標準ホー機能が無効にし、その I/O ピンに接続されます。COMnC1~0 の1つまたは両方が 1 を書かれると、OCnC 出力はその I/O ピンの標準ホー機能が無効にし、その I/O ピンに接続されます。けれども出力駆動部を許可するため、OCnA, OCnB, OCnC ピンに対応するホー 方向レジスタ PDR のビットが設定 (1) されなければならないことに注意してください。

OCnA, OCnB, OCnC がピンに接続されるとき、COMnx1~0 の機能は WGMn3~0 のビット設定に依存します。表 15-2 は WGMn3~0 のビットが標準動作または CTC 動作 (つまり非 PWM) に設定される時の COMnx1~0 のビット機能を示します。

表 15-2 非 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C)

COMnx1	COMnx0	意味
0	0	標準ホー動作 (OCnx 切断)
0	1	比較一致で OCnx ピン トグル 交互 出力
1	0	比較一致で OCnx ピン Low レベル出力
1	1	比較一致で OCnx ピン High レベル出力

表 15-3 は WGMn3~0 のビットが高速 PWM 動作に設定される時の COMnx1~0 のビット機能を示します。

表 15-3 高速 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C)

COMnx1	COMnx0	意味
0	0	標準ホー動作 (OCnx 切断)
0	1	WGMn3~0=1111 : 比較一致で OCnA ピン トグル 交互 出力、OCnB/OCnC 切断 標準ホー動作) WGMn3~0 上記以外 : 標準ホー動作 (OCnx 切断)
1	0	比較一致で Low BOTTOM で High を OCnx ピンへ出力 (非反転動作)
1	1	比較一致で High BOTTOM で Low を OCnx ピンへ出力 (反転動作)

注: COMnx が設定 (1) され、OCRnx が TOP と等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOM で設定 (1) または解除 (0) は実行されます。より多くの詳細については 82 頁の「高速 PWM 動作」をご覧ください。

表 15-4 は WGMn3~0 のビットが位相基準または位相/周波数基準 PWM 動作に設定される時の COMnx1~0 のビット機能を示します。

表 15-4 位相基準または位相/周波数基準 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C, x は 0 または 1)

COMnx1	COMnx0	意味
0	0	標準ホー動作 (OCnx 切断)
0	1	WGMn3~0=10x1 : 比較一致で OCnA ピン トグル 交互 出力、OCnB/OCnC 切断 標準ホー動作) WGMn3~0 上記以外 : 標準ホー動作 (OCnx 切断)
1	0	上昇計数時の比較一致で Low 下降計数時の比較一致で High を OCnx ピンへ出力
1	1	上昇計数時の比較一致で High 下降計数時の比較一致で Low を OCnx ピンへ出力

注: COMnx が設定 (1) され、OCRnx が TOP と等しい時に特別な状態が起きます。より多くの詳細については 83 頁の「位相基準 PWM 動作」をご覧ください。

ビット10 - WGMn10 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB (TCCRnB) で得られるWGMn3~ 2ビットと組み合わせたこれらのビットはカウンタの計数順序 (方向) 最大計数 (TOP) 値供給元、使用されるべき波形生成のどの形式かを制御します (表 15-5 参照)。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタ) 比較一致 タイマ/カウンタ解除 (CTC) 動作と形式のパルス幅変調 (PWM) 動作です。8頁の [動作種別](#) をご覧ください。

表 15-5 波形生成種別選択

番号	WGMn3	WGMn2 (CTCn)	WGMn1 (PWMn1)	WGMn0 (PWMn0)	タイマ/カウンタ動作種別	TOP値	OCRnx 更新時	TOVn 設定時
0	0	0	0	0	標準動作	\$FFFF	即時	MAX
1	0	0	0	1	8ビット位相基準 PWM動作	\$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準 PWM動作	\$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準 PWM動作	\$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致 タイマ/カウンタ解除 (CTC) 動作	OCRnA	即時	MAX
5	0	1	0	1	8ビット高速 PWM動作	\$00FF	BOTTOM	TOP
6	0	1	1	0	9ビット高速 PWM動作	\$01FF	BOTTOM	TOP
7	0	1	1	1	10ビット高速 PWM動作	\$03FF	BOTTOM	TOP
8	1	0	0	0	位相 / 周波数基準 PWM動作	ICRn	BOTTOM	BOTTOM
9	1	0	0	1	位相 / 周波数基準 PWM動作	OCRnA	BOTTOM	BOTTOM
10	1	0	1	0	位相基準 PWM動作	ICRn	TOP	BOTTOM
11	1	0	1	1	位相基準 PWM動作	OCRnA	TOP	BOTTOM
12	1	1	0	0	比較一致 タイマ/カウンタ解除 (CTC) 動作	ICRn	即時	MAX
13	1	1	0	1	(予約)	-	-	-
14	1	1	1	0	高速 PWM動作	ICRn	BOTTOM	TOP
15	1	1	1	1	高速 PWM動作	OCRnA	BOTTOM	TOP

注: CTCnとPWMn1~ 0ビット定義名は旧名です。WGMn2~ 0定義を使用してください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

### 15.11.3. タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.4. タイマ/カウンタ3制御レジスタB (Timer/Counter3 Control Register B) TCCR3B

ビット	7	6	5	4	3	2	1	0	
\$8A	CNC3	CES3	-	WGM33	WGM32	CS32	CS31	CS30	TCCR3B
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7 - CNCn 捕獲起動入力雑音消去許可 (Input Capture Noise Canceler)

このビットを **1** に設定することが捕獲起動入力雑音消去器を活性 (有効) にします。雑音消去器が有効にされると、捕獲起動入力 (CPn) からの入力が濾波されます。この濾波機能はそれが出力を更新するのに、連続 4 回等しく評価された CPn の採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって 4 倍振器 (システム クロック) 周期遅らされます。

#### ビット6 - CESn 捕獲起動入力エッジ選択 (Input Capture Edge Select)

このビットは出来事での捕獲を起動するのに使用される捕獲起動入力 (CPn) のどちらかのエッジを選択します。CESn ビットが **0** を書かれると起動動作として下降 負 端が使用され、CESn ビットが **1** を書かれると上昇 正 端が捕獲を起動します。

捕獲が CESn 設定に従って起動されると、カウンタ値が捕獲レジスタ (CRn) に複写されます。この出来事は捕獲入力割り込み要求フラグ (CFn) も設定 (**1**) し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使用できます。

CRn が TOP 値として使用されると (TCCRnA と TCCRnB に配置された WGMn3~ 0 ビットの記述をご覧ください)、CPn が切り離され、従って捕獲入力機能は禁止されます。

#### ビット5 - Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCRnB が書かれるとき、このビットは **0** を書かれなければなりません。

#### ビット4:3 - WGMn3:2 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCRnA の WGMn1~ 0 ビットの記述をご覧ください。

#### ビット2~ 0 - CSn2~ 0 : クロック選択 n (Clock Select, bit 2, 1 and 0)

この 3 つのクロック選択ビットはタイマ/カウンタ (TCNTn) によって使用されるべきクロック元を選択します。図 15-10 と図 15-11 をご覧ください。

タイマ/カウンタに対して外部ピン (クロック動作が使用される場合、例えば Tn) が出力として設定されても、Tn の遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数の制御を許します。

表 15-6. タイマ/カウンタ入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk <sub>I/O</sub> 前置分周なし)
0	1	0	clk <sub>I/O</sub> / 8 (8分周)
0	1	1	clk <sub>I/O</sub> / 64 (64分周)
1	0	0	clk <sub>I/O</sub> / 256 (256分周)
1	0	1	clk <sub>I/O</sub> / 1024 (1024分周)
1	1	0	Tn の下降端 (外部クロック)
1	1	1	Tn の上昇端 (外部クロック)



### 15.11.5. タイマ/カウンタ制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット	7	6	5	4	3	2	1	0	
(\$7A)	FOC1A	FOC1B	FOC1C	-	-	-	-	-	TCCR1C
Read/W rite	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

### 15.11.6. タイマ/カウンタ3制御レジスタC (Timer/Counter3 Control Register C) TCCR3C

ビット	7	6	5	4	3	2	1	0	
(\$8C)	FOC3A	FOC3B	FOC3C	-	-	-	-	-	TCCR3C
Read/W rite	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOCnA : OCnA強制変更 (Force Output Compare A)

ビット6 - FOCnB : OCnB強制変更 (Force Output Compare B)

ビット5 - FOCnC : OCnC強制変更 (Force Output Compare C)

FOCnA/FOCnB/FOCnCビットはWGMn3~ 0ビットが非PWM動作を指示する時だけ有効です。FOCnA/FOCnB/FOCnCビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OCn出力はCOMnx1~ 0ビット設定に従って変更されます。FOCnA/FOCnB/FOCnCビットがスローフとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOMnx1~ 0ビットに存在する値です。

FOCnA/FOCnB/FOCnCスローフは何れの割り込みの生成もTOPとしてOCRnAを使用する比較一致タイマ解除 (CTC動作)でのタイマ/カウンタの解除 (\$0000)を行いません。

FOCnA/FOCnB/FOCnCビットは常に0として読まれます。

ビット4~ 0 - Res : 予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCRNcが書かれるとき、これらのビットは0を書かれなければなりません。

### 15.11.7. タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
(\$2D) (\$4D)	(MSB)								TCNT1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$2C) (\$4C)								(LSB)	TCNT1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.8. タイマ/カウンタ3 (Timer/Counter3) TCNT3H, TCNT3L (TCNT3)

ビット	15	14	13	12	11	10	9	8	
(\$89)	(MSB)								TCNT3H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$88)								(LSB)	TCNT3L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置 (TCNTnHとTCNTnLを合わせたTCNTn)は、読み書き両方に対してタイマ/カウンタの16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット単位バイト時レジスタ (TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。74頁の「16ビットレジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ (TCNTn)を変更することはOCRnの1つとTCNTn間の比較一致消失の危険を誘発します。

TCNTnへの書き込みは全ての比較部に対して次のタイマ/カウンタ クロックでの比較一致を妨害 除去 します。

### 15.11.9. タイマ/カウンタ1比較レジスタ (Timer/Counter1 Output Compare Register A) OCR1AH OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	<b>(MSB)</b>								OCR1AH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	<b>(LSB)</b>								OCR1AL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.10. タイマ/カウンタ1比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1BH OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	<b>(MSB)</b>								OCR1BH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	<b>(LSB)</b>								OCR1BL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.11. タイマ/カウンタ1比較レジスタ (Timer/Counter1 Output Compare Register C) OCR1CH OCR1CL (OCR1C)

ビット	15	14	13	12	11	10	9	8	
\$79	<b>(MSB)</b>								OCR1CH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$78	<b>(LSB)</b>								OCR1CL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.12. タイマ/カウンタ3比較レジスタ (Timer/Counter3 Output Compare Register A) OCR3AH OCR3AL (OCR3A)

ビット	15	14	13	12	11	10	9	8	
\$87	<b>(MSB)</b>								OCR3AH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$86	<b>(LSB)</b>								OCR3AL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 15.11.13. タイマ/カウンタ3比較レジスタ (Timer/Counter3 Output Compare Register B) OCR3BH OCR3BL (OCR3B)

ビット	15	14	13	12	11	10	9	8	
\$85	<b>(MSB)</b>								OCR3BH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$84	<b>(LSB)</b>								OCR3BL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 15.11.14. タイマ/カウンタ3比較レジスタ (Timer/Counter3 Output Compare Register C) OCR3CH, OCR3CL (OCR3C)

ビット	15	14	13	12	11	10	9	8	
\$83)	(MSB)								OCR3CH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$82)								(LSB)	OCR3CL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNTn)**値と比較される16ビット値を含みます。一致は比較一致割り込みやOCnxピンでの波形出力を生成するのに使用できます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両ハイが同時に書かれるのを保証するため、このアクセスは8ビット上位ハイター時レジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。7頁の「16ビットレジスタのアクセス」をご覧ください。

## 15.11.15. タイマ/カウンタ1捕獲レジスタ (Timer/Counter1 Input Capture Register) CR1H, CR1L (CR1)

ビット	15	14	13	12	11	10	9	8	
\$27 (\$47)	(MSB)								CR1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)								(LSB)	CR1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 15.11.16. タイマ/カウンタ3捕獲レジスタ (Timer/Counter3 Input Capture Register) CR3H, CR3L (CR3)

ビット	15	14	13	12	11	10	9	8	
\$81)	(MSB)								CR3H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$80)								(LSB)	CR3L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICPnxまたはタイマ/カウンタについては任意の**アナログ比較器出力**で出来事が起こる毎にカウンタ(TCNTn)値で更新されます。この捕獲レジスタはタイマ/カウンタの**TOP値**を定義するのに使用できます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタをアクセスする時に上位と下位の両ハイが同時に読まれるのを保証するため、このアクセスは8ビット上位ハイター時レジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。7頁の「16ビットレジスタのアクセス」をご覧ください。

### 15.11.17. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OC E2	TO E2	TC E1	OC E1A	OC E1B	TO E1	OC E0	TO E0	TMSK
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注：このレジスタは様々なタイマ/カウンタ割り込み制御ビットを含みますが、タイマ/カウンタだけがこの項で記述されます。残りのビットは各々のタイマ/カウンタ項で記述されます。

ビット5 - TC E1 : タイマ/カウンタ捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)に配置された捕獲割り込み要求フラグ(CF1)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット4 - OC E1A : タイマ/カウンタ比較A割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)に配置された比較1A割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット3 - OC E1B : タイマ/カウンタ比較B割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)に配置された比較1B割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット2 - TO E1 : タイマ/カウンタ溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ溢れ割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)に配置されたタイマ/カウンタ溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

### 15.11.18. 拡張タイマ/カウンタ割り込みマスクレジスタ (Extended Timer/Counter Interrupt Mask Register) ETMSK

ビット	7	6	5	4	3	2	1	0	
\$7D)	-	-	TC E3	OC E3A	OC E3B	TO E3	OC E3C	OC E1C	ETMSK
Read/W rite	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注：このレジスタはATmega103互換動作では利用できません。

ビット76 - Res : 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、ETMSK書き込み時、これらのビットは0に設定されなければなりません。

ビット5 - TC E3 : タイマ/カウンタ3捕獲割り込み許可 (Timer/Counter3 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ3捕獲割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置された捕獲3割り込み要求フラグ(CF3)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット4 - OC E3A : タイマ/カウンタ3比較A割り込み許可 (Timer/Counter3 Output Compare A Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ3比較A一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置された比較3A割り込み要求フラグ(OCF3A)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット3 - OC E3B : タイマ/カウンタ3比較B割り込み許可 (Timer/Counter3 Output Compare B Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ3比較B一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置された比較3B割り込み要求フラグ(OCF3B)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット2 - TO E3 : タイマ/カウンタ3溢れ割り込み許可 (Timer/Counter3 Overflow Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットが設定(1)されると、タイマ/カウンタ3溢れ割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置されたタイマ/カウンタ3溢れ割り込み要求フラグ(TOV3)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。



ビット1 - OC E3C : タイマ/カウンタ比較C割り込み許可 (Timer/Counter3 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IF)ビットが設定(1)されると、タイマ/カウンタ比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置された比較3C割り込み要求フラグ(OCF3C)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット0 - OC E1C : タイマ/カウンタ比較C割り込み許可 (Timer/Counter1 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IF)ビットが設定(1)されると、タイマ/カウンタ比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETIFR)に配置された比較1C割り込み要求フラグ(OCF1C)が設定(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

## 15.11.19. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: このレジスタは様々なタイマ/カウンタ割り込み制御ビットを含みますが、タイマ/カウンタだけがこの項で記述されます。残りのビットは各々のタイマ/カウンタ項で記述されます。

ビット5 - CF1 : タイマ/カウンタ捕獲割り込み要求フラグ (Timer/Counter1, Input Capture Flag)

ICP1ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(CR1)がWGM13~dによってTOP値として設定されると、CF1フラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、CF1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもCF1は解除(0)できます。

ビット4 - OCF1A : タイマ/カウンタ比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較ALレジスタ(OCR1A)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1A)は、H-フがOCF1Aフラグを設定(1)しないことに注意してください。

比較1A一致割り込みベクタが実行されると、OCF1Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Aは解除(0)できます。

ビット3 - OCF1B : タイマ/カウンタ比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較BLレジスタ(OCR1B)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1B)は、H-フがOCF1Bフラグを設定(1)しないことに注意してください。

比較1B一致割り込みベクタが実行されると、OCF1Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Bは解除(0)できます。

ビット2 - TOV1 : タイマ/カウンタ溢れ割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの(1)設定はWGM13~dのビット設定に依存します。標準またはCTC動作でのTOV1フラグはタイマ/カウンタ溢れ時に設定(1)されます。他のWGM13~dのビット設定を使用する時のTOV1フラグ動作については8頁の表15-5を参照してください。

タイマ/カウンタ溢れ割り込みベクタが実行されると、TOV1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもTOV1は解除(0)できます。

## 15.11.20. 拡張タイマ/カウンタ割り込み要求フラグレジスタ (Extended Timer/Counter Interrupt Flag Register) ETIFR

ビット	7	6	5	4	3	2	1	0	
\$7C	-	-	CF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C	ETIFR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7:6 - Res : 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、ETIFR書き込み時、これらのビットは0に設定されなければなりません。

ビット5 - CF3 : タイマ/カウンタ3捕獲割り込み要求フラグ (Timer/Counter3, Input Capture Flag)

ICP3ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(CR3)がWGM33~dによってTOP値として設定されると、CF3フラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、CF3は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもCF3は解除(0)できます。

#### ビット4 - OCF3A : タイマ/カウンタ3比較A割り込み要求フラグ (Timer/Counter3, Output Compare A Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3A)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC3A)は、フラグOCF3Aを設定(1)しないことに注意してください。

比較3A一致割り込みヘッダが実行されると、OCF3Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF3Aは解除(0)できます。

#### ビット3 - OCF3B : タイマ/カウンタ3比較B割り込み要求フラグ (Timer/Counter3, Output Compare B Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3B)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC3B)は、フラグOCF3Bを設定(1)しないことに注意してください。

比較3B一致割り込みヘッダが実行されると、OCF3Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF3Bは解除(0)できます。

#### ビット2 - TOV3 : タイマ/カウンタ3溢れ割り込み要求フラグ (Timer/Counter3 Overflow Flag)

このフラグの(1)設定はWGM33~0ビット設定に依存します。標準またはCTC動作でのTOV3フラグはタイマ/カウンタ溢れ時に設定(1)されます。他のWGM33~0ビット設定を使用する時のTOV3フラグ動作については87頁の表15-5を参照してください。

タイマ/カウンタ3溢れ割り込みヘッダが実行されると、TOV3は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもTOV3は解除(0)できます。

#### ビット1 - OCF3C : タイマ/カウンタ3比較C割り込み要求フラグ (Timer/Counter3, Output Compare C Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3C)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC3C)は、フラグOCF3Cを設定(1)しないことに注意してください。

比較3C一致割り込みヘッダが実行されると、OCF3Cは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF3Cは解除(0)できます。

#### ビット0 - OCF1C : タイマ/カウンタ1比較C割り込み要求フラグ (Timer/Counter1, Output Compare C Match Flag)

このフラグはカウンタ(TCNT1)値が比較レジスタ(OCR1C)と一致した後、次のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1C)は、フラグOCF1Cを設定(1)しないことに注意してください。

比較1C一致割り込みヘッダが実行されると、OCF1Cは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Cは解除(0)できます。

## 16. タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器

タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述は言及した全てのタイマ/カウンタに適用されます。

### 16.0.1. 内部 クロック

タイマ/カウンタはシステム クロック (CSn2~ 0=00 設定) によって直接的にクロック駆動できます。これはシステム クロック周波数 ( $f_{clk\_IO}$ ) と等しいタイマ/カウンタ最大 クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックは  $f_{clk\_IO}/8$ ,  $f_{clk\_IO}/64$ ,  $f_{clk\_IO}/256$ ,  $f_{clk\_IO}/1024$ の何れかの周波数です。

### 16.0.2. 前置分周器 リセット

この前置分周器は自由走行で (換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する) タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3によって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される (CSn2~ 0=5~ 2) とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値 (8, 64, 256, 1024) とすると、 $1 \sim N+1$  システム クロック周期になります。

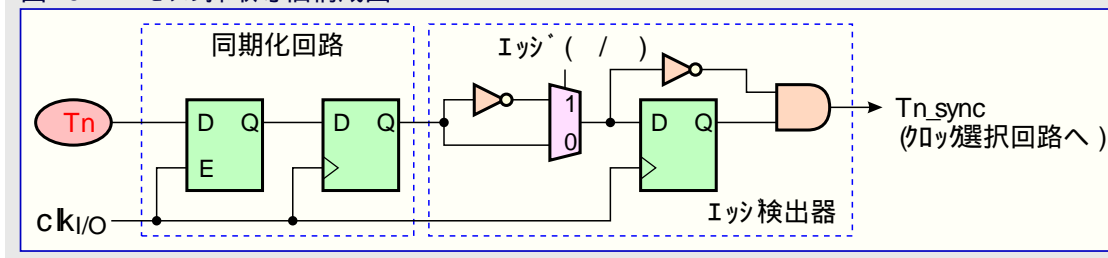
プログラム実行にタイマ/カウンタを同期することに対して前置分周器 リセットを使用することが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタ前置分周を使用する場合、注意が必要とされなければなりません。前置分周器 リセットはそれが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

### 16.0.3. 外部 クロック

Tnピンに印加された外部 クロック元はタイマ/カウンタ クロック ( $f_{clk\_T1}/f_{clk\_T2}/f_{clk\_T3}$ ) として使用できます。このTnピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化 採取 された信号はその後、エッジ検出器を通して通過されます。図 16-1はTn同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック ( $f_{clk\_IO}$ ) の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過 (Low区間で保持) します。

エッジ検出器は上昇端 (CSn2~ 0=111) または下降端 (CSn2~ 0=110) の検出毎に1つの  $clk\_T1/clk\_T2/clk\_T3$  パルスを生じます。

図 16-1. Tnピンの採取等価構成図



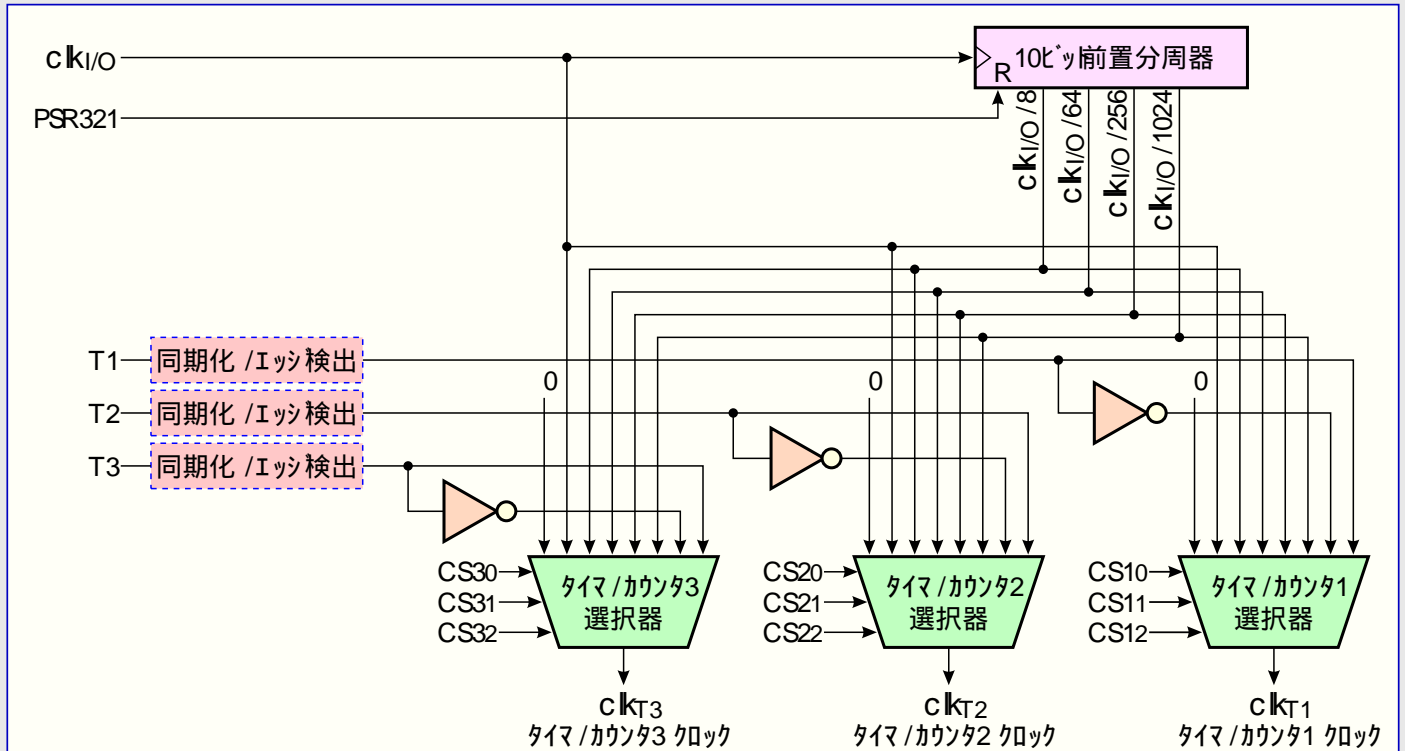
同期化とエッジ検出器論理回路はTnピンへ印加されたエッジから計数器が更新されるまでに2.5~ 3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部 クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部 クロックは50%/50% デューティ比で与えられるものとして、システム クロック周波数の半分未満 ( $f_{EXTCLK} < f_{clk\_IO}/2$ ) であることが保証されなければなりません。エッジ検出器が採取を使用するため、検出できる外部 クロックの最大周波数は採取周波数の半分です (ナイキストの標本化定理)。然しながら、発振元 (クリスタル発振子、セラミック振動子、コンテナ公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部 クロックの最大周波数は  $f_{clk\_IO}/2.5$  未満が推奨されます。

外部 クロックは前置分周できません。

図 16-2. タイマ/カウンタ1 タイマ/カウンタ2 タイマ/カウンタ3の前置分周器部構成図



注 : 入力ピン (T1/T2/T3) の同期化 / イッシ検出論理回路は図 16-1 で示されます。

## 16.1 同期系 タイマ/カウンタ前置分周器用レジスタ

### 16.1.1 特殊 I/O 機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSM ビットに 1 を書くことはタイマ/カウンタ同期化動作を活性 (有効) にします。この動作で PSR0 と PSR321 に書かれる値は保持され、従って対応する前置分周器 レット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの一つが進行する危険なしに同じ値に設定できることを保証します。TSM ビットが 0 を書かれると、PSR0 と PSR321 ビットはハードウェアによって解除 (0) され、同時にタイマ/カウンタが計数を始めます。

ビット0 - PSR321 : タイマ/カウンタ3,2,1 前置分周器 レット (Prescaler Reset Timer/Counter 3,2,1)

このビットが 1 のとき、タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器はレットします。TSM ビットが設定 (1) されている場合を除いて通常、このビットはハードウェアによって直ちに解除 (0) されます。タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3は同じ前置分周器を共用し、この前置分周器のレットが、これら3つのタイマ/カウンタ全てに影響を及ぼすことに注意してください。



## 17.8ビットタイマ/カウンタ2 (PWM付き)

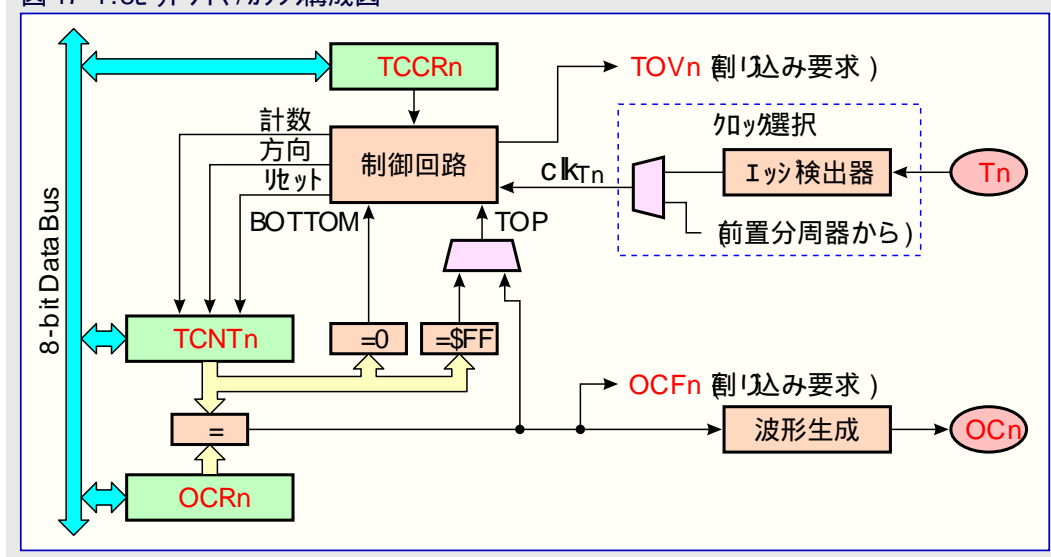
### 17.1 特徴

- 単一比較部付き計数器
- 比較一致でのタイマ/カウンタ解除 自動再設定)
- グリッチなしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用 10ビット前置分周器
- 溢れと比較一致割り込み (TOV2とOCF2)

### 17.2 概要

タイマ/カウンタ2は単一比較部付き汎用 8ビットタイマ/カウンタ部です。この 8ビットタイマ/カウンタの簡便化した構成図は図 17-1で示されます。I/Oピン実際の配置については2頁の「[ピン配置](#)」を参照してください。CPUがアクセス可能な(I/OピンとI/Oレジスタを含む)I/Oレジスタは赤文字 訳注 原文は太字 で示されます。デバイス仕様の I/Oレジスタとビット位置は 105頁の「[8ビットタイマ/カウンタ用レジスタ](#)」で一覧されます。

図 17-1. 8ビットタイマ/カウンタ構成図



#### 17.2.1 関係レジスタ

タイマ/カウンタ2(TCNT2)と比較レジスタOCR2は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKはこれらのレジスタが他のタイマ/カウンタと共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT2ピンの外部クロックによってクロック駆動されます。クロック選択論理部はタイマ/カウンタ値を増加(または減少)するために使用するクロックを制御します。クロックが選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(Clock2)として参照されます。

2重ハフ化された比較レジスタ(OCR2)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使用できます。9頁の「[比較出力部](#)」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF2)を設定(1)します。

#### 17.2.2 定義

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の「n」はタイマ/カウンタ番号、この場合は2で置き換えます。けれどもプログラムでレジスタまたはビット定義に使用する時は正確な形式が使用されなければなりません(例えばタイマ/カウンタ2のカウント値のアクセスに対してのTCNT2のように)。

表 17-1の定義は本項を通して広範囲に渡って使用されます。

表 17-1 用語定義

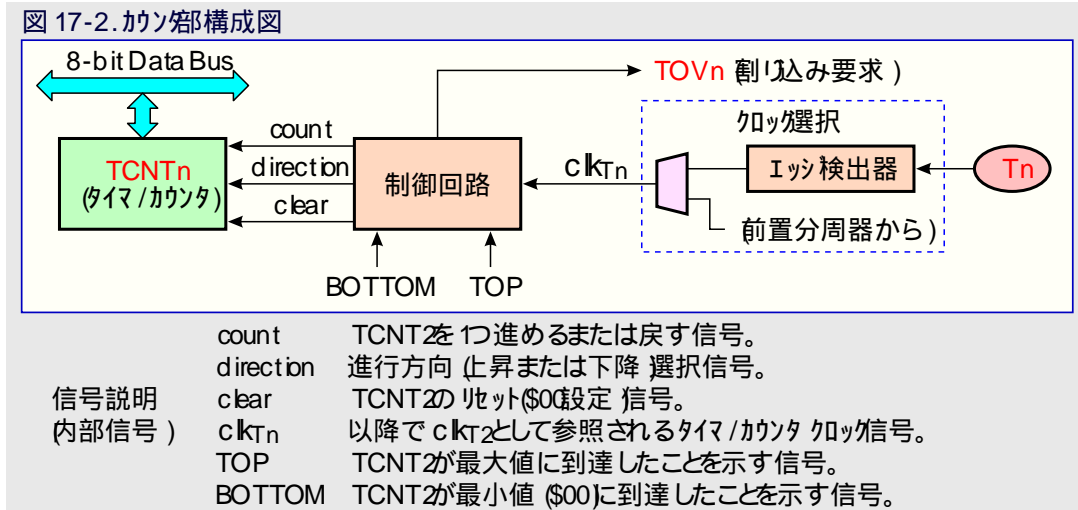
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタ指定された固定値(\$FF)またはOCR2値に到達した時。この指定(TOP値は動作種別に依存します)。

### 17.3. タイマ/カウンタの クロック

このタイマ/カウンタは内部または外部の クロック元によって クロック駆動できます。この クロック元は **タイマ/カウンタ制御レジスタ(TCCR2)**に配置された **クロック選択 (CS22~ 0)**によって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については **95頁の「タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器」**をご覧ください。

### 17.4. 計数器部

8ビットタイマ/カウンタの主な部分は設定可能な双方向 カウンタ部です。図 17-2は、この カウンタとその周辺環境の構成図を示します。



使用した動作種別に依存して、カウンタは各 タイマ/カウンタ クロック (clkT2) で解除 (\$00) 増加 (+1) または減少 (-1) されます。clkT2は クロック選択 (CS22~ 0)によって選択された内部または外部の クロック元から生成できます。クロック元が選択されない (CS22~ 0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタ クロック (clkT2)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御レジスタ(TCCR2)**に配置された **波形生成種別 (WGM21~ 0)**の設定によって決定されます。これらはカウンタ動作 (計数 方法)とOC2比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成について多くの詳細に関しては **101頁の「動作種別」**をご覧ください。

**タイマ/カウンタ溢れ (TOV2フラグ)**はWGM21~ 0によって選択された動作種別に従って設定 (1) されます。TOV2はCPU割り込み発生に使用できます。

## 17.5. 比較出力部

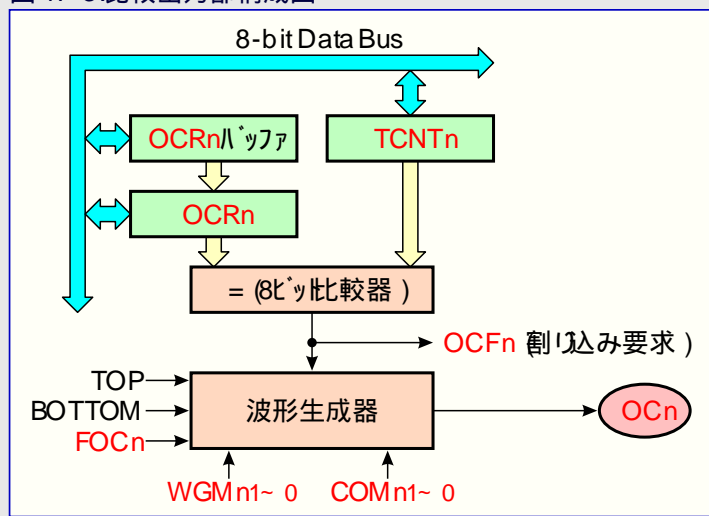
この8ビット比較器はTCNT2と比較レジスタOCR2を継続的に比較します。TCNT2とOCR2が等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF2)を設定(1)します。許可(=1, OCF2=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF2は割り込みが実行されると自動的に解除(0)されます。代わりにOCF2はこのビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM21~0)と比較出力選択(COM21~0)により設定された動作種別に従った出力を生成するのにこの一致信号を使用します。MAXとBOTTOM信号は動作種別(101頁の動作種別参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使用されます。

図17-3は比較出力部の構成図を示します。

OCR2はパルス幅変調(PWM)のどれかを使用する時に2重ハフ化されます。標準動作と比較一致タイマ/カウンタ解除(CTC動作)については2重ハフ動作が禁止されます。2重ハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2レジスタ更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによってグリッチなしの出力を作成します。

OCR2のアクセスは複雑なように思えますが決してそんなことはありません。2重ハフ動作が許可されるとCPUはOCR2レジスタをアクセスし、禁止されるとOCR2レジスタを直接アクセスします。

図17-3. 比較出力部構成図



### 17.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC2)ビットに1を書くことによって強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCF2)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC2は実際の比較一致が起きた場合と同様に更新されます(COM21~0ビット設定がOC2の設定(1)解除(0)1/3交互のどれかを定義)。

### 17.5.2. TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2に許します。

### 17.5.3. 比較一致部の使用

どの動作種別でのTCNT2書き込みでもタイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使用する場合、TCNT2を変更する時に危険を伴います。TCNT2に書かれた値がOCR2値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT2値を書き込むことはできません。

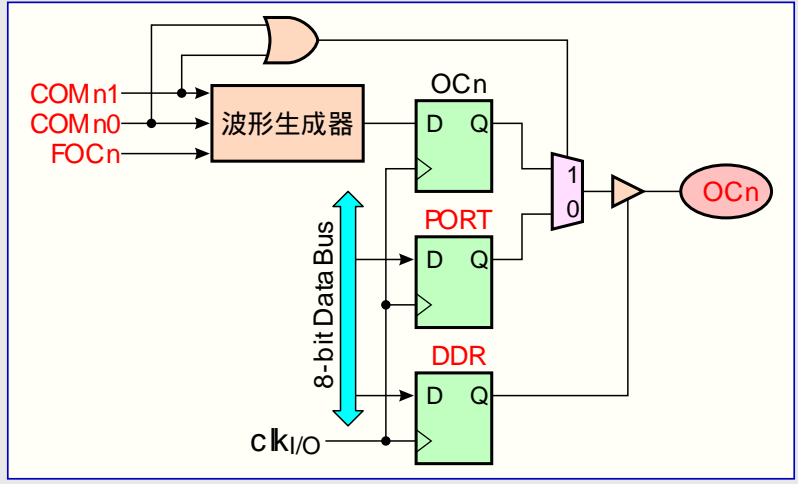
OC2の初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC2値を設定する一番簡単な方法は標準動作で強制変更(FOC2)ストrobeビットを使用することです。波形生成動作種別間を変更する時であっても、OC2内部レジスタはその値を保ちます。

比較出力選択(COM21~0)ビットが比較値(OCR2)と共に2重ハフ化されないことに気付いてください。COM21~0ビットの変更は直ちに有効となります。

## 17.6.比較一致出力部

比較出力選択 (COM21~0ビット)は2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC2)状態の定義にCOM21~0ビットを使用します。またCOM21~0ビットはOC2出力元を制御します。図 17-4はCOM21~0ビット設定によって影響を及ぼされる論理回路の単純化した図を示します。図の I/Oレジスタ I/Oビット I/Oピンは赤文字 訳注 原文は太字 で示されます。COM21~0ビットによって影響を及ぼされる標準 I/Oポート 制御レジスタ (PORTとDDR)の部分だけが示されます。OC2の状態を参照するとき、その参照はOC2ピンでなく内部OC2レジスタに対してです。システム リセットが起こると、OC2レジスタは '0' にリセットされます。

図 17-4.比較一致出力回路図



COM21~0ビットのどちらかが設定 (1)されると、標準 I/Oポート 機能は波形生成器からの比較出力 (OC2)によって無効にされます。けれどもOC2ピンの方向 (入出力)はポートピンに対するポート方向レジスタ (DDR)によって未だ制御されます。OC2ピンに対するポート方向レジスタのビット (DDR\_OC2)はOC2値がピンで見えるのに先立って出力として設定されなければなりません。このポートの兼用機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC2状態の初期化を許します。いくつかのCOM21~0ビット設定が或る種の動作種別に対して予約されることに注意してください。105頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

### 17.6.1.比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM21~0ビットを違うふうに使います。全動作種別に対してCOM21~0=0設定は次の比較一致で実行すべきOC2レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については105頁の表 17-3を参照してください。高速PWM動作については105頁の表 17-4、位相基準PWMについては105頁の表 17-5を参照してください。

COM21~0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC2)とHI-7ビットを使用することによって直ちに効果を得ることを強制できます。



## 17.7 動作種別

動作種別 換言するとタイマ/カウンタと比較出力ビットの動作は波形生成種別 (WGM21~ 0ビット) と比較出力選択 (COM21~ 0ビット) の組み合わせによって定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM21~ 0ビットは生成されるPWM出力が反転されるべきか否か、反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM21~ 0ビットは比較一致で出力が解除 (0) 設定 (1) 1/交互のどれにされるべきかを制御します (100頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については104頁の「タイマ/カウンタ2のタイミング」を参照してください (訳注 原文中の図番号省略)。

### 17.7.1 標準動作

最も単純な動作種別が標準動作 (WGM21~ 0=00) です。本動作種別での計数方向は常に上昇 (+) で、カウンタ解除は実行されません。カウンタは8ビット最大値 (TOP=\$FF を通過すると単に範囲を超え、そして\$00 (BOTTOM) から再び始めます。通常動作でのタイマ/カウンタ溢れ (TOV2) フラグはTCNT2が\$00になる時と同じタイマ/カウンタクロック周期で設定 (1) されます。この場合のTOV2フラグは設定 (1) のみで解除 (0) されないことを除いて第9ビットのようになります。けれどもTOV2フラグを自動的に解除 (0) するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

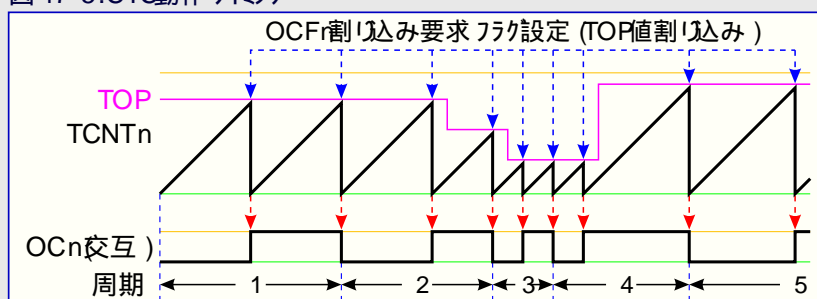
比較出力部は与えられた或る時間に割り込みを生成するのに使用できます。標準動作で波形を生成するのに比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 17.7.2 比較一致タイマ/カウンタ解除 (CTC) 動作

比較一致タイマ/カウンタ解除 (CTC 動作 (WGM21~ 0=10) ではOCR2がカウンタ分解能を操作するために使用されます。CTC動作ではカウンタ (TCNT2) 値がOCR2と一致すると、カウンタは\$00に解除されます。OCR2はカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図17-5で示されます。カウンタ (TCNT2) 値はTCNT2とOCR2間で比較一致が起こるまで増加し、そしてその後にはカウンタ (TCNT2) は解除 (\$00) されます。

図17-5. CTC動作 タイミング



注: COMn1~ 0=01

OCF2フラグを使用することにより、タイマ/カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重ハップ機能を持たないために注意して行わなければなりません。OCR2に書かれた新しい値がTCNT2の現在値より低い (小さい) 場合、タイマ/カウンタはその回の比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値 (\$FF) へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2出力は比較出力選択 (COM21~ 0ビット) を交互動作 (=01) に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC2値はそのピンに対するデフォルト方向が出力 (DDR\_OC2=1) に設定されない限りポートピンで見えないでしょう。生成された波形はOCR2が0 (\$00) に設定されるとき、 $f_{OC2} = f_{clk\_I/O} / 2$  の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCn} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRn)}$$

変数Nは前置分周数 (1, 8, 64, 256, 1024) を表します。

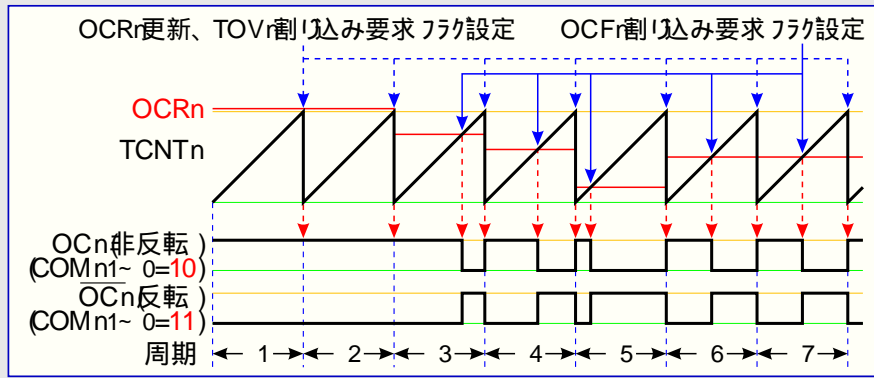
標準動作と同じように、タイマ/カウンタ溢れ (TOV2) フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定 (1) されます。

### 17.7.3 高速 PWM動作

高速パルス幅変調 (PWM動作 WGM21=0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからMAXまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 (COM21=0=10)での比較出力 (OC2)はTCNT2とOCR2間の比較一致で解除 (0)され、BOTTOMで設定 (1)されます。反転出力動作 (COM21=0=11)の出力は比較一致で設定 (1)され、BOTTOMで解除 (0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がMAX値と一致するまで増加されます。そしてタイマ/カウンタは (一致の次のタイマ/カウンタ)クロック周期で解除 (0)されます。高速PWM動作のタイミング図は図17-6で示されます。TCNT2値はタイミング図で単一傾斜動作 (鋸波)を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。赤い細線はOCR2値を示し、TCNT2値との交点 (接点)がTCNT2とOCR2間の比較一致を示します。 (訳注: 図補正に伴い本行若干変更) 比較割り込み要求フラグ (OCF2)はOCR2=MAXを除いて比較一致が起こると設定 (1)されます。 (訳注: 共通性のため本行追加)

図17-6.高速PWM動作タイミング



タイマ/カウンタ溢れ (TOV2)フラグはカウンタがMAXに到達する時毎に設定 (1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使用できます。

高速PWM動作での比較部はOC2ピンでのPWM波形の生成を許します。COM21=0ビットを '10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM21=0を '11'に設定することで生成できます (105頁の表17-4をご覧ください)。実際のOC2値はポートピンに対するデフォルト方向 (DDR\_OC2)が出力として設定される場合にだけ見えます。PWM波形はTCNT2とOCR2間の比較一致でOC2内部レジスタを設定 (1)または解除 (0)と、カウンタが解除 (0)MAXからBOTTOMへ変更されるタイマ/カウンタクロック周期でOC2レジスタを解除 (0)または設定 (1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnPWM} = \frac{f_{clk\_I/O}}{N \times 256}$$

変数Nは前置分周数 (1,8,64,256,1024)を表します。

OCR2の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR2がBOTTOM (0)と等しく設定されると、出力はMAX+1タイマ/カウンタクロック周期毎の狭いスパイクパルスになるでしょう。OCR2がMAXに等しく設定されると、(COM21=0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

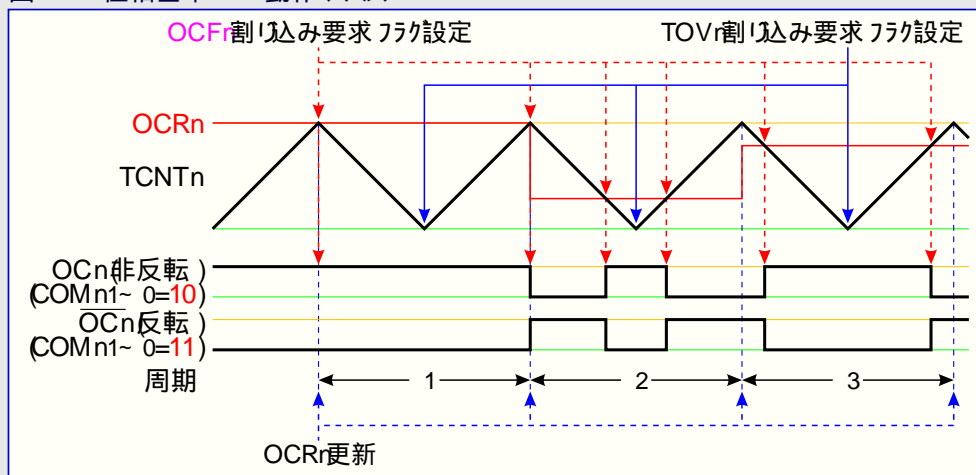
(訳注: 以下は本動作種別がTOP=MAX (0xFF)で固定のため基本的には不適切です。)高速PWM動作で (デフォルトは50%周波数の)波形出力は比較一致毎に論理反転するOC2を設定 (COM21=0=01)によって達成できます。生成された波形はOCR2が0 (0x00)に設定される時に $f_{OC2} = f_{clk\_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重パルス機能が許可されることを除いてCTC動作でのOC交互出力 (COM21=0=01)と同じです。

#### 17.7.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作 WGM21~ 0=01) は高分解能で正しい位相の PWM 波形生成選択を提供します。位相基準 PWM 動作は両傾斜 三角波 動作を基準とします。カウンタは BOTTOM から MAX へそして次に MAX から BOTTOM へを繰り返し計数します。非反転比較出力動作 (COM21~ 0=10) での比較出力 (OC2) は上昇計数中の TCNT2 と OCR2 の比較一致で解除 (0) され、下降計数中の比較一致で設定 (1) されます。反転出力動作 (COM21~ 0=11) での動作は逆にされます。両傾斜 三角波 動作は単一傾斜 鋸波 動作より低い最大動作周波数になります。けれども両傾斜 三角波 動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準 PWM 動作の PWM 分解能は 8 ビットに固定されます。位相基準 PWM 動作でのカウンタはカウンタ値が MAX と一致するまで増加されます。カウンタは MAX に到達すると計数方向を変更します。この TCNT2 値は 1 タイマ / カウンタ クロック周期間、MAX と等しくなります。位相基準 PWM 動作のタイミング図は図 17-7 で示されます。TCNT2 値はタイミング図で両傾斜動作 三角波 を表す折れ線グラフとして示されます。この図は非反転と反転の PWM 出力を含みます。細い赤線は OCR2 値を示し、TCNT2 値との交点 (接点) が TCNT2 と OCR2 間の比較一致を示します (訳注 図補正に伴い本行若干変更)

図 17-7. 位相基準 PWM 動作 タイミング



タイマ / カウンタ 溢れ (TOV2) フラグはタイマ / カウンタが BOTTOM に到達する時毎に設定 (1) されます。この割り込み要求フラグはカウンタが BOTTOM 値に到達する毎に割り込みを発生するために使用できます。

位相基準 PWM 動作での比較部は OC2 ビットでの PWM 波形の生成を許します。COM21~ 0 ビットを '10' に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は COM21~ 0 ビットを '11' に設定することで生成できます (105 頁の表 17-5 をご覧ください)。実際の OC2 値はそのポートピンに対するデフォルト方向 (DDR\_OC2 が出力として設定される場合だけ見えます) PWM 波形はカウンタが増加する時の TCNT2 と OCR2 間の比較一致で OC2 内部レジスタを設定 (1) または解除 (0) と、カウンタが減少する時の TCNT2 と OCR2 間の比較一致で OC2 レジスタを解除 (0) または設定 (1) によって生成されます。位相基準 PWM を使用する時の出力に対する PWM 周波数は次式によって計算できます。

$$f_{OCnPCPWM} = \frac{f_{clk\_I/O}}{N \times 510}$$

変数 N は前置分周数 (1, 8, 64, 256, 1024) を表します。

OCR2 の両端値は位相基準 PWM 動作で PWM 波形出力を生成する時の特別な場合にあたります。非反転 PWM 動作では OCR が BOTTOM (000) に等しく設定されると出力は定常的な Low、MAX に等しく設定されると定常的な High になるでしょう。反転 PWM に対する出力は逆の論理値になります。

図 17-7 の第 2 周期のその出発点に於いて、例えば比較一致がないとしても、OCR には High から Low への遷移があります。この遷移点は BOTTOM を挟む対称を保証するためです。比較一致なしに遷移を生ずるのは 2 の場合です。

図 17-7 のように OCR2 は MAX からその値を変更します。OCR2 値が MAX のとき、OCn レジスタ値は下降計数での比較一致の結果と同じです (訳補: L H 直前が H のため、常に H)。BOTTOM を挟む対称を保証するため、変更直後の MAX 位置での OCR 値は上昇計数での比較一致の結果 (H L と一致しなければなりません)。

タイマ / カウンタが OCR2 値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろう OCn の変更を逃します。 (訳補: 従って上記同様、MAX 位置で直前が H ならば H L 遷移が生じます。)

## 17.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $clk_{T2}$ )がクック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図 17-8は基本的なタイマ/カウンタ動作についてのタイミングデータを含みます。この図は位相基準 PWM動作以外の全ての動作種別での MAX 値近辺の計数の流れを示します。

図 17-8. 前置分周なし (1/1) のタイマ/カウンタ タイミング

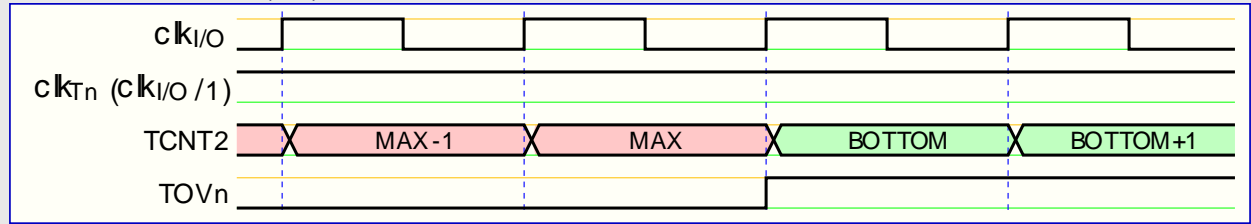


図 17-9は同じタイミングデータを示しますが、前置分周器が許可されています。

図 17-9. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ タイミング

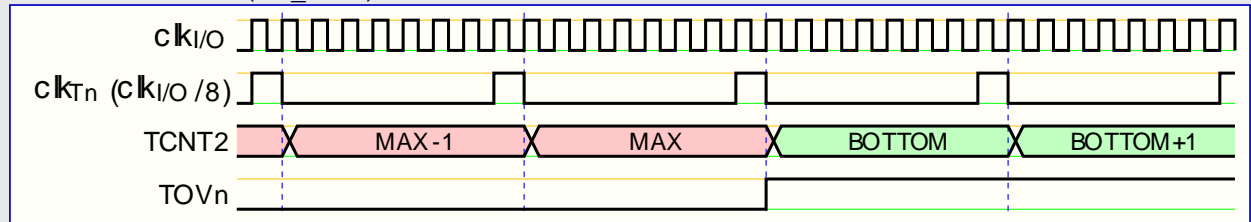


図 17-10は CTO動作を除く全ての動作種別での OCF2 の設定を示します。

図 17-10. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ OCF2 設定 タイミング

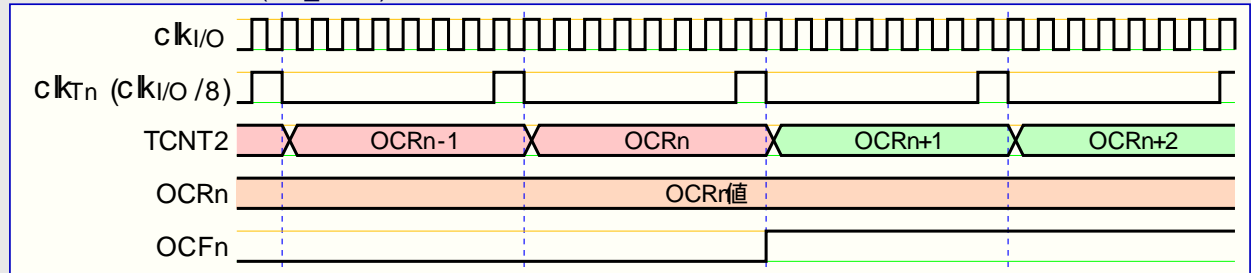
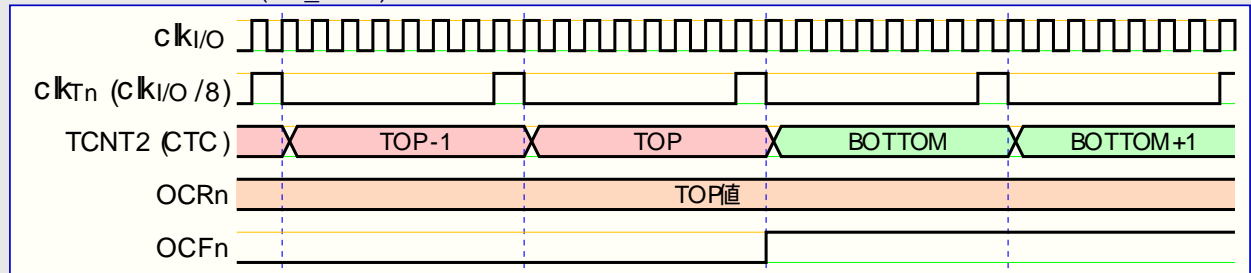


図 17-11は CTO動作での TCNT2 の解除と OCF2 の設定を示します。

図 17-11. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ OCF2 設定 タイミング





## 17.9.8ビットタイマ/カウンタ2用レジスタ

### 17.9.1. タイマ/カウンタ制御レジスタ (Timer/Counter2 Control Register) TCCR2

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	TCCR2
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7 - FOC2 : OC2強制変更 (Force Output Compare 2)

FOC2ビットはWGM21~ 0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR2が書かれる場合、このビットは0に設定されなければなりません。FOC2ビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2出力はCOM21~ 0ビット設定に従って変更されます。FOC2ビットがスローとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM21~ 0ビットに存在する値です。

FOC2スローは何れの割り込みの生成もTOPとしてOCR2を使用する比較一致タイマ解除 (CTC動作) でのタイマ/カウンタの解除 (\$00) 行いません。

FOC2ビットは常に0として読まれます。

#### ビット3:6 - WGM21:0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

これらのビットはカウンタの計数順序 (方向) 最大 (TOP) カウンタ値の供給元、使用されるべき波形生成のどの形式かを制御します。タイマ/カウンタによって支援される動作種別は標準動作、比較一致タイマ/カウンタ解除 (CTC動作) と、2形式のハル幅変調 (PWM動作) です。表 17-2と10頁の「動作種別」をご覧ください。

表 17-2 波形生成種別選択

番号	WGM21 (CTC2)	WGM20 (PWM2)	タイマ/カウンタ動作種別	TOP値	OCR2更新時	TOV2設定時
0	0	0	標準動作	\$FF	即値	MAX
1	0	1	位相基準PWM動作	\$FF	TOP	BOTTOM
2	1	0	比較一致タイマ/カウンタ解除 (CTC動作)	OCR2	即値	MAX
3	1	1	高速PWM動作	\$FF	BOTTOM	MAX

注: CTC2とPWM2ビット定義名は旧名です。WGM21~ 0定義名を使用してください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

#### ビット5:4 - COM21:0 : 比較2出力選択 (Compare Match 2 Output Mode bit 1 and 0)

これらのビットはOC2比較出力ピンの動作を制御します。COM21~ 0ビットの1つまたは両方が1を書かれると、OC2出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC2ピンに対応するポート方向レジスタ (PDR) のビットが設定 (1) されなければならないことに注意してください。

OC2がピンに接続されるとき、COM21~ 0ビットの機能はWGM21~ 0ビット設定に依存します。

表 17-3はWGM21~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定される時のCOM21~ 0ビット機能を示します。

表 17-4はWGM21~ 0ビットが高速PWM動作に設定される時のCOM21~ 0ビットの機能を示します。

表 17-5はWGM21~ 0ビットが位相基準PWM動作に設定される時のCOM21~ 0ビットの機能を示します。

表 17-3 非PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	比較一致でOC2ピンが交互出力
1	0	比較一致でOC2ピンがLowレベル出力
1	1	比較一致でOC2ピンがHighレベル出力

表 17-4 高速PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2ピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2ピンへ出力

注: COM21が設定 (1) され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定 (1) や解除 (0) は行われます。よりの詳細については103頁の「位相基準PWM動作」をご覧ください。

表 17-4 高速PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	予約)
1	0	比較一致でLow、BOTTOMでHighをOC2ピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC2ピンへ出力 (反転動作)

注: COM20が設定 (1) され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定 (1) や解除 (0) は行われます。よりの詳細については102頁の「高速PWM動作」をご覧ください。

ビット 0 - CS22 - 0 : クロック選択 2 (Clock Select2, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT2)によって使用されるクロック源を選択します。

表 17-6. タイマ/カウンタ2入力 クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk <sub>I/O</sub> 前置分周なし)
0	1	0	clk <sub>I/O</sub> / 8 (8分周)
0	1	1	clk <sub>I/O</sub> / 64 (64分周)
1	0	0	clk <sub>I/O</sub> / 256 (256分周)
1	0	1	clk <sub>I/O</sub> / 1024 (1024分周)
1	1	0	T2ピン <sup>①</sup> の下降端 (外部 クロック)
1	1	1	T2ピン <sup>①</sup> の上昇端 (外部 クロック)

外部ピン(クロック動作がタイマ/カウンタ2に対して使用される場合、例えばT2ピン<sup>①</sup>が出力として設定されても、T2ピン<sup>①</sup>の遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

### 17.9.2. タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	(MSB)							(LSB)	TCNT2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT2への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害除去します。カウンタが走行中にカウンタ(TCNT2)を変更することはTCNT2とOCR2間の比較一致消失の危険を誘発します。

### 17.9.3. タイマ/カウンタ2比較レジスタ (Timer/Counter2 Output Compare Register) OCR2

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	(MSB)							(LSB)	OCR2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT2)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOCR2ピンでの波形出力を生成するのに使用できます。

#### 179.4. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OC E2	TO E2	TC E1	OC E1A	OC E1B	TO E1	OC E0	TO E0	TMSK
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OC E2 : タイマ/カウンタ比較割り込み許可 (Timer/Counter2 Output Compare Match Interrupt Enable)

OC E2ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ2比較一致割り込みが許可されます。タイマ/カウンタ2で比較一致が起こる、例えば、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較2割り込み要求フラグ(OCF2)が設定(1)されると、対応する割り込みが実行されます。

ビット6 - TO E2 : タイマ/カウンタ溢れ割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

TO E2ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ2溢れ割り込みが許可されます。タイマ/カウンタ2溢れが起こる、例えば、タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ2溢れ割り込み要求(TOV2)フラグが設定(1)されると、対応する割り込みが実行されます。

#### 179.5. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OCF2 : タイマ/カウンタ2比較割り込み要求フラグ (Timer/Counter2, Output Compare Match Flag)

OCF2ビットは比較一致がタイマ/カウンタ(TCNT2)と比較レジスタ(OCR2)間で起こる時に設定(1)されます。対応する割り込み処理へクを実行する時にOCF2はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ2比較一致割り込み許可(OC E2)ビット、OCF2が設定(1)されると、タイマ/カウンタ2比較一致割り込みが実行されます。

ビット6 - TOV2 : タイマ/カウンタ2溢れ割り込み要求フラグ (Timer/Counter2 Overflow Flag)

TOV2ビットはタイマ/カウンタ(TCNT2)溢れが起こる時に設定(1)されます。対応する割り込み処理へクを実行する時にTOV2はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV2は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ2溢れ割り込み許可(TO E2)ビット、TOV2が設定(1)されると、タイマ/カウンタ2溢れ割り込みが実行されます。PWM動作ではタイマ/カウンタが\$00で計数方向を変える時にこのビットが設定(1)されます。

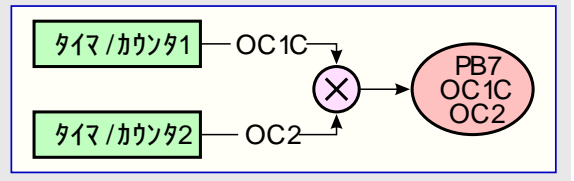
## 18.比較出力変調器 (OCM1C2)

### 18.1.概要

比較出力変調器 (OCM) は搬送波を変調した波形の生成を許します。この変調器は 16ビットタイマ/カウンタの比較 C出力部と 8ビットタイマ/カウンタ2の比較出力部からの出力を使用します。これらのタイマ/カウンタについてのより多くの詳細に関しては、72頁の「16ビットタイマ/カウンタ (タイマ/カウンタ1とタイマ/カウンタ3)」と97頁の「8ビットタイマ/カウンタ2 (PWM付き)」をご覧ください。この特徴機能が ATmega103 互換動作で利用できないことに注意してください。

この変調器が許可されると、構成図 (図 18-1) で示されるように 2つの比較出力が共に変調されます。

図 18-1.比較出力変調器構成図

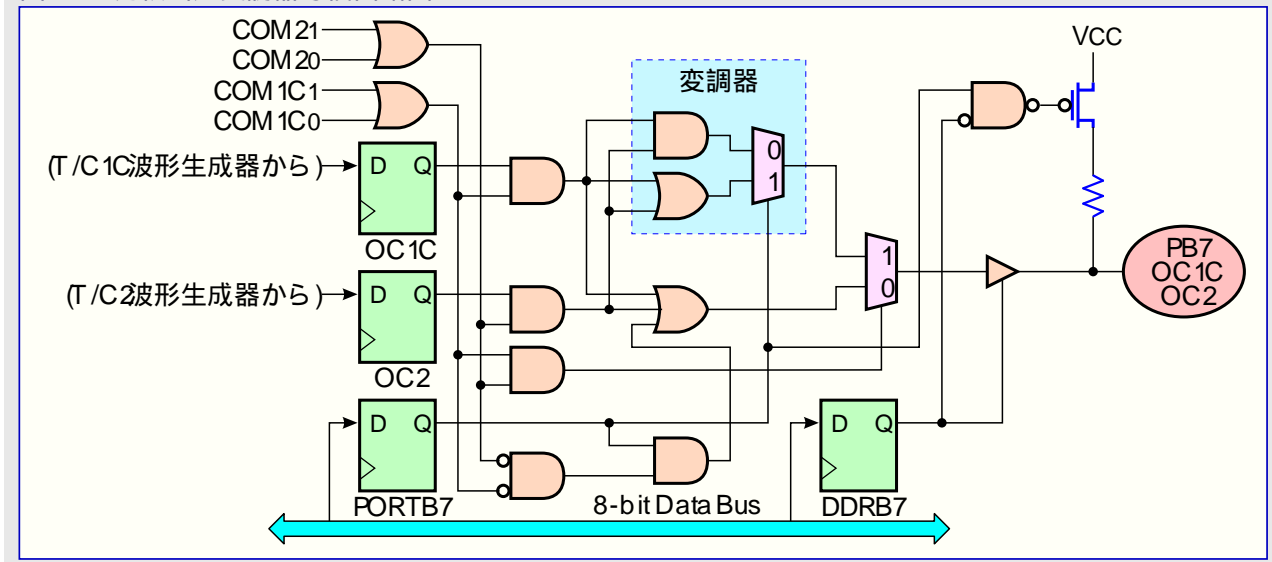


### 18.2.説明

比較 1C出力部と比較 2出力部は出力に関して PB7ポートピンを共用します。比較出力部の出力 (OC1CとOC2)はこれらの1つが許可換言すると COMnx1~ 0にされると、標準 PORTB7レジスタを無効にします。OC1CとOC2の両方が同時に許可されると、この変調器が自動的に許可されます。

この変調器の機能等価回路図は図 18-2で示されます。この図はタイマ/カウンタ部とポートBのビット7出力駆動回路部分を含みます。

図 18-2.比較出力変調器等価回路図

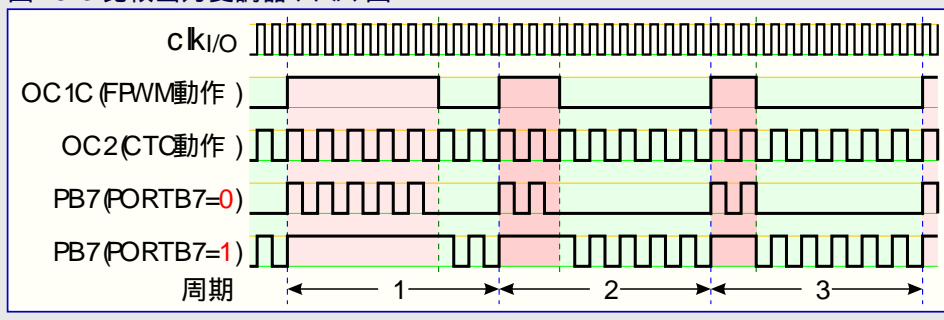


変調器が許可されると、変調形式 (論理 ANDまたはOR) が PORTB7レジスタによって選択できます。COMnx1~ 0ビット設定に拘らず、DDB7がポートBの方向を制御することに注意してください。

#### 18.2.1.タイミング例

図 18-3は変調器の動作を図解します。この例でのタイマ/カウンタ1は 非反転 高速 PWM動作に設定され、タイマ/カウンタ2は比較交互出力 (COM21~ 0=01) の CTC波形動作を使用します。

図 18-3.比較出力変調器 タイミング図



本例ではタイマ/カウンタ2が搬送波を供給し、一方変調する信号 (変調波) はタイマ/カウンタ1の比較 C出力によって生成されます。

PWM信号 (OC1C) の分解能は変調によって減らされます。この減少係数は搬送波 (OC2) 1周期のシステムクロック周期数と等価です。この例の分解能は係数 2で減らされます (即ち 1/2)。この減少理由は図 18-3の PORTB7=0時の PB7出力の第 2周期と第 3周期で図解されます。第 2周期の High区間は第 3周期の High区間よりも1周期長いけれども、PB7出力の結果は両周期で等しくなります。





次のコード例は主装置としてSPを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR\_SPIはSPIピンを制御する実際のポート方向レジスタに置き換えられなければなりません。DD\_MOSI, DD\_MISO, DD\_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSがPB5ピンに配置されるなら、DD\_MOSIはDDB5、DDR\_SPIはDDRBに置き換えます。

#### アセンブリ言語プログラム例

```
SPI_M_Init: LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI, SCK出力、他は入力値を取得
            OUT    DDR_SPI, R17                        ;MOSI, SCK出力、他は入力に設定
            LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPR0)  ;SP許可、主装置、16分周値を取得
            OUT    SPOR, R17                          ;SP許可、主装置、16分周に設定
            RET                                         ;呼び出し元へ復帰

SPI_M_Tx:   OUT    SPDR, R16                          ;データ(R16)送信開始
SPI_M_Tx_W: SBIS    SPSR, SPIF                        ;転送完了ならばスキップ
            R JMP   SPI_M_Tx_W                       ;転送完了まで待機
;
            RET                                         ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);      /* MOSI, SCK出力、他は入力に設定 */
    SPOR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);    /* SP許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                               /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                /* 転送完了まで待機 */
}
```

注：6頁の「コード例について」をご覧ください。

次のコード例は従装置としてSPを初期化する方法と簡単な受信を実行する方法を示します。

#### アセンブリ言語プログラム例

```
SPI_S_Init: LDI    R17, (1<<DD_MISO)              ;MISO出力、他は入力値を取得
            OUT    DDR_SPI, R17                  ;MISO出力、他は入力に設定
            LDI    R17, (1<<SPE)                ;SP許可値を取得
            OUT    SPOR, R17                    ;SP許可設定
            RET                                  ;呼び出し元へ復帰

SPI_S_Rx:   SBIS    SPSR, SPIF                  ;受信転送完了ならばスキップ
            R JMP   SPI_S_Rx                    ;受信転送完了まで待機
;
            IN     R16, SPDR                     ;受信データを取得
            RET                                  ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                    /* MISO出力、他は入力に設定 */
    SPOR = (1<<SPE);                          /* SP許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                /* 受信転送完了まで待機 */
    return SPDR;                              /* 受信データと共に復帰 */
}
```

注：6頁の「コード例について」をご覧ください。

## 19.3. SS $\bar{C}$ の機能

### 19.3.1. 従装置動作

SPが従装置として設定されると、従装置選択 (SS $\bar{C}$ )は常に入力です。SSがLowに保たれるとSPは活性に作動され、使用者によってそのように設定されていればMISOは出力になります。他の全てのピンは入力です。SSがHighに駆動されると、出力として使用者設定され得るMISOを除く全てのピンは入力、SPは非活動で、それは到着データを受信しないことを意味します。一旦SS $\bar{C}$ がHighに駆動されると、SP論理回路がリセットすることに注意してください。

このSS $\bar{C}$ はパケット/ハイ同期に対して、従装置ビットカウンタが主装置クロック発生器との同期を保つのに有用です。SS $\bar{C}$ がHighに駆動されると、SP従装置は直ちに送受信論理回路をリセットし、それはシフトレジスタ内で部分的に受信したどのデータ取り落としします。

### 19.3.2. 主装置動作

SPが主装置 (SP制御レジスタ (SPCR) の主装置許可 (MSTR) ビット=1)として設定されると、SS $\bar{C}$ の方向は使用者が決められます。

SSが出力として設定されると、このピンはSPシステムに影響を及ぼされない標準出力ピンです。代表的にはこのピンがSP従装置のSS $\bar{C}$ を駆動するでしょう。

SSが入力として設定されると、SP主装置動作を保証するため、それはHighに保持されなければなりません。SS $\bar{C}$ が入力として定義されたSP主装置として設定される時に周辺回路によってSS $\bar{C}$ がLowに駆動されると、SPシステムは他の主装置が従装置として選択してデータ送信を始めると解釈します。ハスの衝突を避けるためにSPシステムは次の動作を行います。

SPCRで主/従選択 (MSTR) ビットが解除 (0) され、SPシステムは従装置になります。SPシステムが従装置になる結果としてMOSとSCKピンが入力になります。

SP状態レジスタ (SPSR) でSP割り込み要求フラグ (SPIF) が設定 (1) され、そしてSP割り込みが許可 (SPCRのSPIE=1) され、且つステータスレジスタ (SREG) の全割り込み許可 (I) ビットが設定 (1) なら、割り込みルーチンが実行されます。

従って割り込み駆動SP送信が主装置動作で使用され、SSがLowに駆動される可能性があるとき、その割り込み処理はMSTRビットが未だ設定 (1) されていることを常に検査すべきです。MSTRビットが従装置選択によって解除 (0) されてしまっていると、それはSP主装置動作を再び許可するため、使用者によって設定 (1) されなければなりません。

## 19.4. データ転送形式

直列データに関してはSP制御レジスタ(PCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図19-3と図19-4で示されます。データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対端でシフト出力と入力ラッチが行われます。これは以下で行われるように表19-3と表19-4を要約することによって明解にされます。

表 19-2. CPOL/CPHA機能動作

SP動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取 / 上昇端	出力設定 / 下降端
1	0	1	出力設定 / 上昇端	入力採取 / 下降端
2	1	0	入力採取 / 下降端	出力設定 / 上昇端
3	1	1	出力設定 / 下降端	入力採取 / 上昇端

図 19-3. SPIデータ転送形式 (CPHA=0)

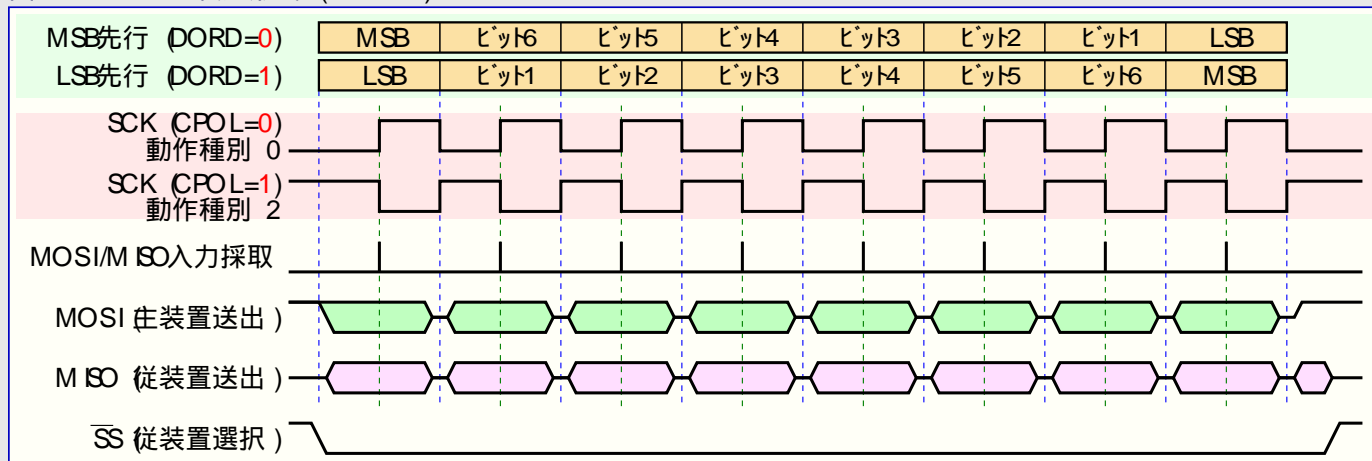
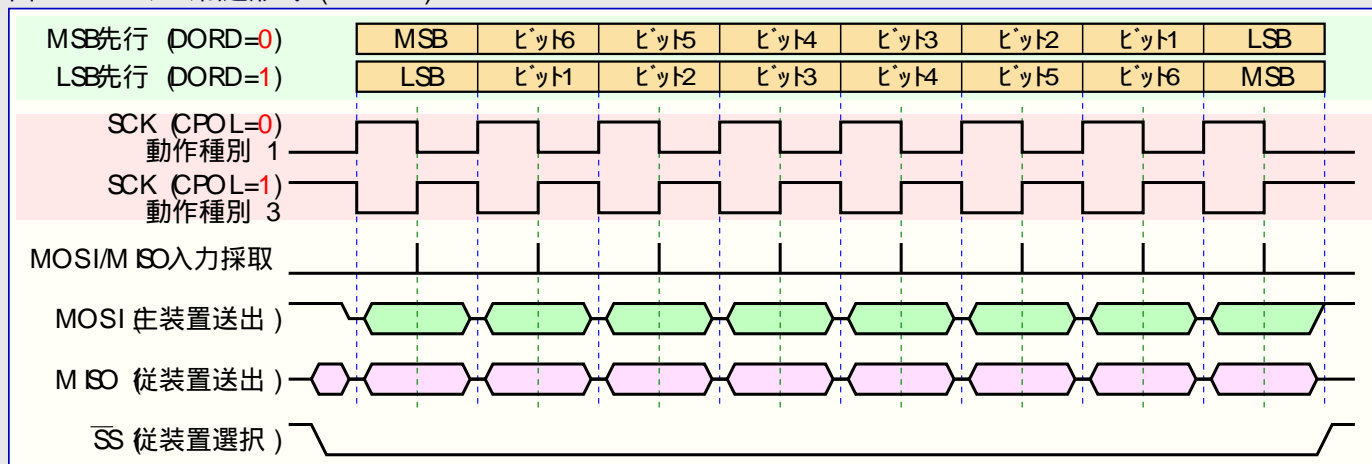


図 19-4. SPIデータ転送形式 (CPHA=1)





## 19.5.SP用レジスタ

### 19.5.1.SP制御レジスタ (SPIControlRegister) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPE :SP割り込み許可 (SPI Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットが設定 (1)されて、SP状態レジスタ (SPSR)でSP割り込み要求フラグ (SPIF)が設定 (1)されると、このビットがSP割り込みを実行させます。

ビット6 - SPE :SP許可 (SPI Enable)

SPEビットが1を書かれるとSPが許可されます。どのSP操作を許可するにも、このビットが設定 (1)されなければなりません。

ビット5 - DORD :データ順選択 (Data Order)

DORDビットが1を書かれるとデータ順のLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

ビット4 - MSTR :主装置/従装置選択 (Master/Slave Select)

このビットは1を書かれると主装置動作、論理0を書かれると従装置動作を選択します。SSが入力として設定され、MSTRが設定 (1)の間にLowへ駆動されるとMSTRが解除 (0)され、SP状態レジスタ (SPSR)でSP割り込み要求フラグ (SPIF)が設定 (1)になります。その後には使用者はSP主装置動作を再び許可するためにMSTRを設定 (1)しなければなりません。

ビット3 - CPOL :SCK極性選択 (Clock Polarity)

このビットが1を書かれると、アイドル時にSCKはHighです。CPOLが0を書かれると、アイドル時にSCKはLowです。例については図 19-3と図 19-4を参照してください。CPOL機能は右で要約されます。

表 19-3.CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

ビット2 - CPHA :SCK位相選択 (Clock Phase)

このSCK位相選択 (CPHA)ビットの設定はデータがSCKの先行端または後行端で採取/設定されるかを決めます。例については図 19-3と図 19-4を参照してください。CPHA機能は右で要約されます。

表 19-4.CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

ビット1,0 - SPR1,0 :SPクロック選択 (SPIClock Rate Select 1 and 0)

これら2ビットは主装置として設定されたデバイスのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKとシステム発振器クロック周波数  $f_{sc}$  の関係は表 19-5で示されます。

表 19-5.SCK速度選択 ( $f_{sc}$ =CPUクロック周波数)

SPR1	0	0	1	1
SPR0	0	1	0	1
SP12X	1	0	1	0
SCK周波数	$f_{sc}/2$	$f_{sc}/4$	$f_{sc}/8$	$f_{sc}/16$
	$f_{sc}/32$	$f_{sc}/64$	$f_{sc}/128$	

### 19.5.2.SP状態レジスタ (SPIStatus Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	-	-	-	-	-	SP12X	SPSR
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPIF :SP割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFフラグが設定 (1)されます。全割り込みが許可 (ステータスレジスタ (SREG)の全割り込み許可 (I)ビット=1)されて、SP制御レジスタ (SPCR)でSP割り込み許可 (SPE)ビットが設定 (1)されるなら、割り込みが生成されます。SPが主装置動作の時にSSピンが入力としてLowに駆動されるなら、これもこのSPIFフラグを同様に設定 (1)します。対応する割り込み処理を実行する時にSPIFはハードウェアによって解除 (0)されます。代わりにSPIFが設定 (1)されたSP状態レジスタ (SPSR)を読み、その後にはSPデータレジスタ (SPDR)をアクセスすることによってSPIFフラグは解除 (0)されます。

ビット6 - WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPIデータレジスタ (SPDR) が書かれると、このWCOLビットが設定 (1) されます。WCOLビットとSPIFビットはWCOLが設定 (1) されたSP状態レジスタ (SPSR) を始めに読み、その後、SPIデータレジスタ (SPDR) をアクセスすることによって解除 (0) されます。

ビット5 - 1 - Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に0として読まれます。

ビット0 - SP2X : SPI倍速許可 (Double SPI Speed Bit)

このビットが論理1を書かれると、SPが主装置動作の時にSCK速度 (SCK周波数) が倍にされます (表 19-5参照)。これは最小SCK周期が2CPUクロック周期であることを意味します。SPが従装置として設定される時に、SPは6SC (CPUクロック周波数) /4またはそれ以下の動作のみ保証されます。

ATmega64AのSPIインターフェースはフラッシュメモリやEEPROMの書き換え (読み書き) にも使用されます。直列プログラミングと照合については196頁をご覧ください。

### 19.5.3. SPIデータレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPIシフトレジスタとレジスタファイル汎用レジスタ間のデータ転送に使用される読み書き可能なレジスタです。このレジスタへの書き込みがデータ転送を開始します。このレジスタの読み込みはシフトレジスタの受信ハーフ読み出しを引き起こします。

## 20. USART (USART0, USART1)

### 20.1 特徴

全二重動作 (独立した送受信レジスタ)  
同期または非同期動作  
同期 クロック駆動された主装置 / 従装置動作  
高分解能 **ホーレー 発振器**  
5, 6, 7, 8 または 9 ビットデータ または 2 停止ビットの  
直列 フレームの支援  
ハードウェアによって支援された奇数または偶数パリティの  
生成と検査

データオーバラン検出  
フレーム異常検出  
不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波器  
受信完了、送信完了、送信データレジスタ空き の 3 つの分離した割り  
込み  
**複数プロトコル通信機能**  
**倍速非同期通信動作**

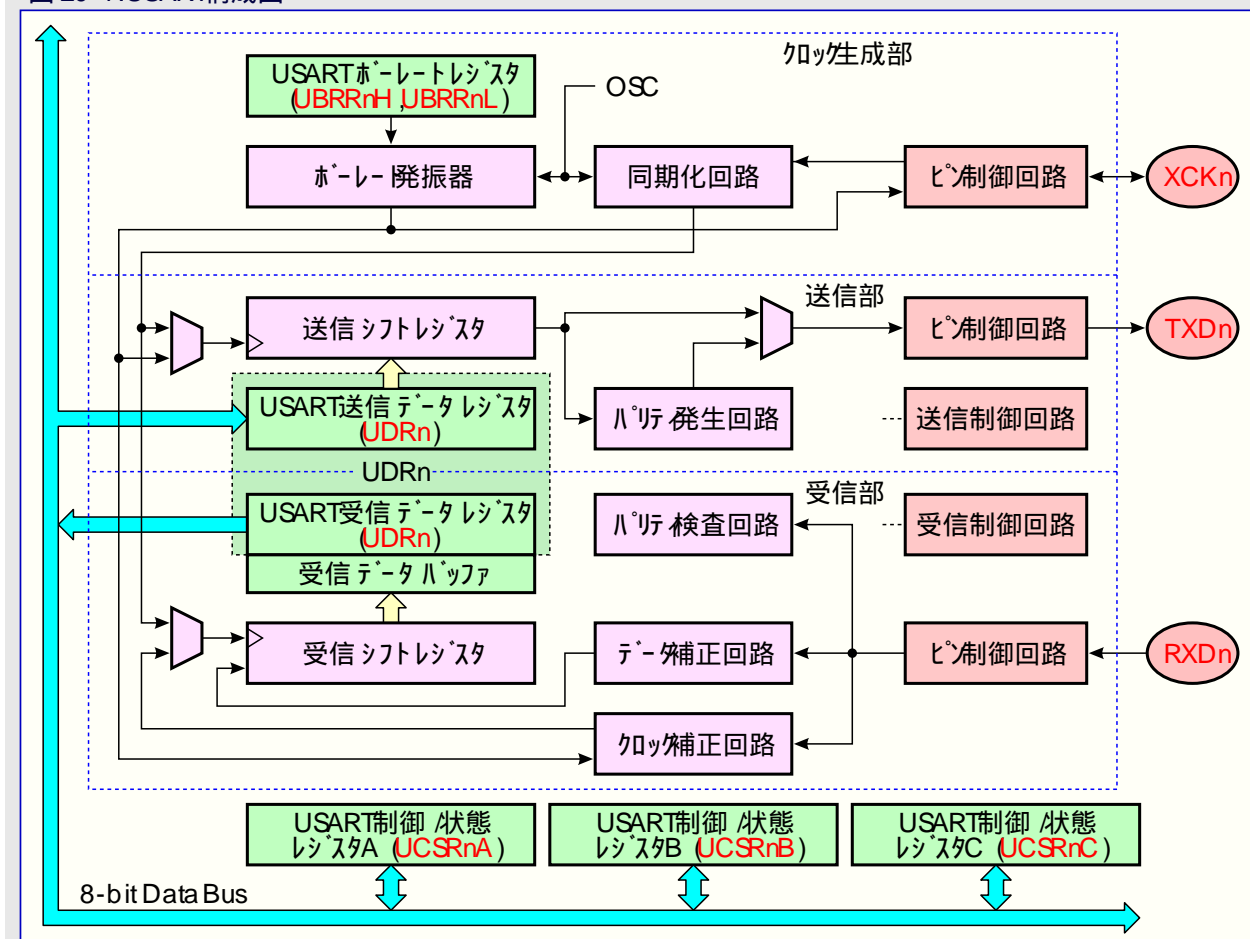
#### 20.1.1 2つの USART

ATmega64Aには USART0 と USART1 の 2 つの USART があります。両 USART に関する機能は以下で記述されます。USART0 と USART1 は 234 頁の「I/O レジスタ一覧」で示されるように個別の I/O レジスタを持ちます。ATmega103 互換動作では USART が利用できず、**UBRR0H** と **UCSR0C** のどちらのレジスタもありません。これは ATmega103 互換動作で ATmega64A が USART の非同期動作だけ支援することを意味します。

### 20.2 概要

USART (Universal Synchronous and Asynchronous Receiver and Transmitter) は高い柔軟性をもつ直列通信機能です。USART の簡略構成図は図 20-1 で示されます。CPU がアクセス可能なレジスタと I/O ピンは **赤文字 訳注** 原文は太字 で示されます。

図 20-1. USART 構成図



注：USART ビット配置については 2 頁の「ビット配置」、49 頁の表 13-12、5 頁の表 13-15 を参照してください。

構成図内の破線は USART の 3 つの主要部分、(上から) クロック生成部、送信部、受信部を分けます。制御レジスタは全部によって共用されます。**クロック生成論理部** はホーレー 発振器と同期従装置動作によって使用される外部 クロック入力に対する同期化論理回路から成ります。転送 クロック (XCKn) ピンは同期転送動作だけで使用されます。送信部は単一書き込みバッファ (UDRn) 直列シフトレジスタ パリティ発生器、異なる **直列 フレーム形式** を扱うための制御論理回路から成ります。書き込みバッファはどんなフレーム間の遅れもなしにデータの継続転送を許します。受信部はクロックとデータの補正部のため、USART 部の最も複雑な部分です。補正部は非同期データ受信で使用されます。補正部に加えて、受信部は 2 重の受信バッファ (UDRn) シフトレジスタ パリティ検査器、制御論理回路を含みます。受信部は送信部と同じフレーム形式を支援し、**フレーム異常**、**データオーバラン発生**、**パリティ誤り**を検知できます。

## 20.2.1. UARTとの互換性

USARTはAVRのUARTと次の項目に関して完全な互換性があります。

- 全てのUSART側レジスタでのビット位置
- ポーラリティ生成
- 送信操作
- 送信バッファの動作
- 受信操作

けれども受信バッファ動作にはいくつかの特別な場合で互換性に影響を及ぼす2つの改良点があります。

第2受信バッファが追加されました。2つのバッファレジスタは循環型FIFOバッファとして動作します。従ってUSARTデータレジスタ(UDRn)は到着データ毎に一度だけ読まれなければなりません。より重要なのは異常フラグ(FE<sub>n</sub>とDOR<sub>n</sub>)と第9データビット(RXB8<sub>n</sub>)が受信バッファ内のデータと共にバッファされることの実事です。従って状態ビットは常にUSARTデータレジスタ(UDRn)が読まれる前に読まれなければなりません。さもなければバッファの状態が失われるため、異常情報も失われます。

受信部シフトレジスタは第3バッファ段のように動きます。これはバッファレジスタ一杯の場合、新規開始ビットが検出されるまで直列シフトレジスタ(図20-1参照)内に留まるのを受信したデータに許すことによって行われます。従ってUSARTはデータオーバーラン(DOR<sub>n</sub>)異常条件により耐えます。

次の制御ビットは名称変更されましたが、機能とレジスタビット位置は同じです。

- 9ビット選択(CHR9)ビットはデータ長選択ビット2(UCSZ<sub>n2</sub>)へ変更
- オーバーラン発生(OR)フラグはオーバーラン発生(DOR<sub>n</sub>)フラグへ変更
- パリティ誤り(PE)フラグはパリティ誤り(UPE<sub>n</sub>)フラグへ変更 (訳注 原書で欠落のため追加)





### 20.3.2.倍速動作 (U2Xn)

転送速度はUSART制御/状態レジスタ(UCSRnA)で倍速許可(U2Xn)ビットを設定(1)することによって倍にできます。このビットの設定は非同期動作に対してだけ有効です。同期動作を使用するとき、このビットは0に設定してください。

このビットの設定(1)は事実上非同期通信に対する転送速度を倍にするホーレー分周器の分周数を16から8に減らします。けれども受信部がデータ採取とクロック補正に対して半分の(16から8に減じた)採取数を用いる場合だけ使用し、従ってこの動作種別が使用される時はシステムクロックとホーレー設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

### 20.3.3.外部クロック

外部クロックは同期従装置動作種別によって使用されます。本項の記述での詳細については図20-2を参照してください。

XCKn<sub>pin</sub>からの外部クロック入力是不確定レベル状態(メタステーブル)の機会を最少とするために同期化レジスタ外によって採取されます。同期化レジスタからの出力は送受信部で使用し得るのに先立ってエッジ検出器を通過しなければなりません。この処理手順が2CPUクロック周期の遅延を持ち込み、このため最大外部XCKnクロック周波数は次式によって制限されます。

$$f_{XCKn} < \frac{f_{OSC}}{4}$$

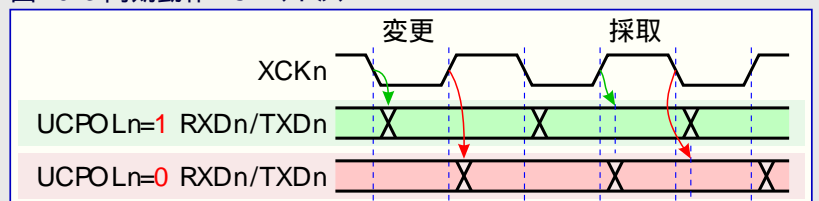
$f_{OSC}$ がシステムクロック元の安定度に依存することに注意してください。従って周波数変動によるデータ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

### 20.3.4.同期クロック動作

同期動作が使用される(UMSELn=1)とき、XCKn<sub>pin</sub>はクロック入力(従装置)またはクロック出力(主装置)のどちらかとして使用されます。データ採取またはデータ変更とクロック端間の依存性は同じです。基本原則はデータ出力(TXDn)が変更されるエッジと反対のXCKnクロック端でデータ入力(RXDn)が採取されることです。

USART制御/状態レジスタC(UCSRnC)のXCKn極性(UCPOLn)ビットはデータ採取とデータ変更に対してどちらのクロック端が使用されるのかを選びます。図20-3で示されるようにUCPOLnが0のとき、データはXCKnの上昇端で変更され、下降端で採取されます。UCPOLnが設定(1)の場合、データはXCKnの下降端で変更され、上昇端で採取されます。

図20-3.同期動作XCKnタイミング



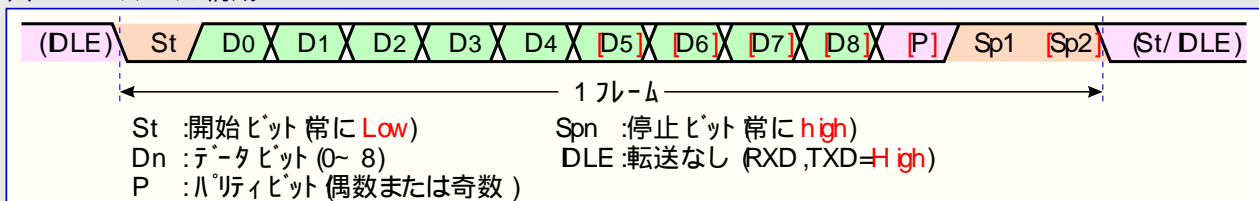
## 20.4.フレーム形式

1つの直列フレームは複数のデータビットと同期ビット(開始ビット、停止ビット)、任意の異常検査用パリティビットで定義されます。USARTは有効なフレーム形式として以下の組み合わせ36種全てを受け入れます。

- 1開始ビット
- 5, 6, 7, 8, 9ビットデータ
- 奇数または偶数パリティビット またはなし
- 1または2停止ビット

フレームは最下位データビット(LSB)が次に続く開始ビットで始まります。その後には次データビットが最後の最上位データビット(MSB)まで最大)合計9ビット続きます。許可したなら、パリティビットがデータビットの後、停止ビットの前に挿入されます。完全なフレームが送信されると、新規フレームによって直ちに後続されるか、または通信線をアイドル状態(high)に設定できます。図20-4は組み合わせ可能なフレーム形式を図解します。[ ] 付きビットは任意選択です。

図20-4.1フレームの構成



USARTによって使用されるフレーム形式はUSART制御/状態レジスタBとC(UCSRnB, UCSRnC)でデータ長選択(UCSZn2~0)ビット、パリティ選択(UPMn1,0)ビット、停止ビット選択(USBSn)ビットによって設定されます。受信部と送信部は同じ設定を使用します。これらのどのビットの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

データ長選択(UCSZn2~0)ビットはフレーム内のデータビット数を選びます。パリティ選択(UPMn1,0)ビットはパリティビットの許可と種別(奇/偶)を設定します。または2停止ビットのどちらかの選択は停止ビット選択(USBSn)ビットによって行います。受信部は第2停止ビットを無視します。従ってフレームシンク異常(FEn)は最初の停止ビットが0(Low)の場合にだけ検出されます。

### 20.4.1. パリティビットの計算

パリティビットは全データビットの排他的論理和 (Ex-OR)を行うことによって計算されます。奇数パリティが使用される場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次の通りです。

偶数パリティビット =  $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1}$   
 奇数パリティビット =  $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1} \text{ Ex-OR } 1$        $n$ : データビット長

使用した場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

### 20.5. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、**ステータスレジスタの全割り込み許可 (IFL)は解除 (0)される (そして全割り込みが禁止される) べきです。**

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。**USART制御/状態レジスタ (UCSRnA)の送信完了 (TXCn)フラグ**は送信部の全転送完了検査に使用でき、**受信完了 (RXCn)フラグ**は受信バッファ内の未読データ有無検査に使用できます。この目的 (次送信タイミング)にTXCフラグが使用される場合、各々の送信**(USARTデータレジスタUDRn)**が書かれる前にTXCnフラグが解除 (0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でボーリンクを使用する割り込み不許可 非同期動作と仮定します。ボーレート(UBRRn値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17/R16レジスタに格納されると仮定されます。

#### アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRnH,R17          ;ボーレート設定 (上位バイト)
             OUT    UBRRnL,R16          ;ボーレート設定 (下位バイト)
             LDI     R16,(1<<USBSn)|(3<<UCSZn0) ;フレーム形式値を取得
             OUT    UCSRnC,R16          ;フレーム形式設定 (8ビット,2停止ビット)
             LDI     R16,(1<<RXENn)|(1<<TXENn) ;送受信許可値を取得
             OUT    UCSRnB,R16          ;送受信許可
             RET                          ;呼び出し元へ復帰
```

#### C言語プログラム例

```
#define FOSC 1843200 /* MCUクロック周波数 */
#define BAUD 9600 /* 目的 USARTボーレート 速度 */
#define MUBRR FOSC/16/BAUD-1 /* 目的 UBRR値 */

void main(void)
{
    ~
    USART_Init(MUBRR); /* USART初期化 */
    ~
}

void USART_Init(unsigned int baud)
{
    UBRRnH = (unsigned char)(baud>>8); /* ボーレート設定 (上位バイト) */
    UBRRnL = (unsigned char)baud; /* ボーレート設定 (下位バイト) */
    UCSRnC = (1<<USBSn)|(3<<UCSZn0); /* フレーム形式設定 (8ビット,2停止ビット) */
    UCSRnB = (1<<RXENn)|(1<<TXENn); /* 送受信許可 */
}
```

注: 6頁の「コード例について」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使用され、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

## 20.6. USARTのデータ送信

USART送信部はUSART制御/状態レジスタB (UCSRnB)で送信許可 (TXENn)ビットを設定 (1)することによって許可されます。送信部が許可されると、TXDnビットの標準動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何かの送信を行う前に一度はホールートフレーム形式、動作種別が設定されなければなりません。同期動作が使用される場合、XCKnビットの受信クロックは無視され、送信クロックとして使用されます。

### 20.6.1. 5~ 8ビットデータフレーム送信

データ送信は送信されるべきデータを送信バッファに設定することによって開始されます。CPUはUSARTデータレジスタ(UDRn)I/O位置へ書くことによって送信バッファに設定できます。送信バッファ内のデータはシフトレジスタが新規フレームを送る準備が整った時にシフトレジスタへ移されます。シフトレジスタはアイドル状態 (送信進行中以外) または直前のフレームの最後の停止ビット送信後、直ちに新規データが設定されます。シフトレジスタが新規データを設定されると、ホールートレジスタ(UBRRnH、UBRRnL)と倍速許可 (U2Xn)ビット また動作種別によってはXCKnビットによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使用するとき、UDRnに書かれた上位ビットは無視されます。

次のコード例はUSART制御/状態レジスタA (UCSRnA)の送信データレジスタ空き (UDREN)フラグのホールックを基準とした簡単なUSART送信関数を示します。この関数が使用される前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例			
USART_Tx:	SBIS	UCSRnA, UDREN	送信バッファ空きでスキップ
	RJMP	USART_Tx	送信バッファ空き待機
;			
	OUT	UDRn, R16	;データ送信 (送信開始)
	RET		呼び出し元へ復帰
C言語プログラム例			
void USART_Transmit(unsigned char data)			
{			
	while ( !(UCSRnA & (1<<UDREN)) );		/*送信バッファ空き待機 */
	UDRn = data;		/*データ送信 (送信開始) */
}			

注: 6頁の「コード例について」をご覧ください。

この関数は送信されるべき新規データを設定する前に、UDRENの検査によって送信バッファが空になるのを単純に待ちます。送信バッファ空き割り込みが使用される場合、その割り込み処理ルーチンがデータをバッファ内に書きます。

### 20.6.2. 9ビットデータフレーム送信

9ビットデータが使用される場合 (UCSZn2 = 0=111) データの下位8ビットがUSARTデータレジスタ(UDRn)に書かれるのに先立って第9ビットがUSART制御/状態レジスタB (UCSRnB)の送信データビット8 (TXB8n)ビットに書かれなければなりません。次のコード例は9ビットデータを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17、R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例			
USART_Tx:	SBIS	UCSRnA, UDREN	送信バッファ空きでスキップ
	RJMP	USART_Tx	送信バッファ空き待機
;			
	OUT	UCSRnB, TXB8n	第9ビットを0に仮設定
	SBRC	R17, 0	送信すべき第9ビットが0でスキップ
	SBI	UCSRnB, TXB8n	第9ビットを1に設定
	OUT	UDRn, R16	;データ送信 (送信開始)
	RET		呼び出し元へ復帰
C言語プログラム例			
void USART_Transmit(unsigned int data)			
{			
	while ( !(UCSRnA & (1<<UDREN)) );		/*送信バッファ空き待機 */
	UCSRnB &= ~(1<<TXB8n);		/* TXB8nを0に仮設定 */
	if (data & 0x0100) UCSRnB  = (1<<TXB8n);		/*第9ビットをR17からTXB8nへ複写 */
	UDRn = data;		/*データ送信 (送信開始) */
}			

注: これらの送信関数は一般的な機能で書かれています。UCSRnBの内容が静的に換言するとUCSRnBのTXB8nビットが初期化後に使用されるだけならば最適化できます。

6頁の「コード例について」をご覧ください。

第9ビットは複数プロセッサ通信使用時のアドレスフレーム識別、また例えば同期として扱う他の規約で使用することができます。



### 206.3. 送信フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータレジスタ空き (UDREN)と送信完了 (TXCN)があります。両フラグは割り込みを発生するのに使用できます。

USARTデータレジスタ空き (UDREN)フラグは送信バッファが新規データを受け取る準備ができているかどうかを示します。このビットは送信バッファが空の時に設定 (1)され、送信バッファがシフトレジスタに未だ移動されてしまっていない送信されるべきデータを含む時に解除 (0)されます。将来のデバイスとの共通性のため、USART制御 状態レジスタA (UCSRnA)に書くとき、常にこのビットに0を書き込んでください。

USART制御 状態レジスタB (UCSRnB)でデータレジスタ空き割り込み許可 (UDREN)ビットが1を書かれると、全割り込みが許可されていればUDRENフラグが設定 (1)されている限り、USARTデータレジスタ空き割り込みが実行されます。UDRENはUSARTデータレジスタ (UDRn)書き込みによって解除 (0)されます。割り込み駆動データ送信が使用されるとき、データレジスタ空き割り込みルーチンはUDRENを解除 (0)するために新規データをUDRnに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起こります。

送信完了 (TXCN)フラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信バッファに新規データが現在存在しない時に設定 (1)されます。TXCNフラグは送信完了割り込みが実行されるとき、自動的に解除 (0)されるか、またはこのビット位置に1を書くことによって解除 (0)できます。TXCNフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならないRS485規格のような半二重 (ハーフデュプレックス)通信インターフェースで有効です。

UCSRnBで送信完了割り込み許可 (TXCEN)ビットが設定 (1)され、全割り込みが許可されていればTXCNフラグが設定 (1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込みが使用されるとき、割り込み処理ルーチンはTXCNフラグを解除 (0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

### 206.4. パリティ発生器

パリティ発生器は直列フレームデータに対するパリティビットを計算します。パリティビットが許可されると (UPMn1=1) 送信部制御論理回路は送られているフレームの最終データビットと最初の停止ビット間にパリティビットを挿入します。

### 206.5 送信の禁止

送信部の禁止 (UCSRnBのUSART送信許可 (TXEN)ビット=0)は進行中と保留中の送信が完了される換言すると、送信シフトレジスタと送信バッファレジスタが送信されるべきデータを含まない時まで有効になりません。禁止されると、送信部はもはやTXDnビットの標準ピン機能を無効にしません。

## 207. USARTのデータ受信

USART受信部はUSART制御 状態レジスタB (UCSRnB)で受信許可 (RXEN)ビットに1を書くことによって許可されます。受信部が許可されるとRXDnピンの標準ピン動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はホーレト フレーム形式、動作種別が設定されなければなりません。同期動作が使用される場合、XCKnピンのクロックは転送クロックとして使用されます。

### 207.1. 5~ 8ビットデータフレーム受信

受信部は有効な開始ビットを検出する時にデータ受信を開始します。開始ビットに続く各ビットはホーレーまたはXCKnクロックで採取され、フレームの最初の停止ビットが受信されるまで受信シフトレジスタ内へシフトされます。第2停止ビットは受信部によって無視されます。最初の停止ビットが受信されると換言すると、受信シフトレジスタに完全なフレームが存在すると、このシフトレジスタの内容は受信バッファ内へ移されます。受信バッファはUSARTデータレジスタ (UDRn) I/O位置を読むことによって読めます。8ビット未満のフレームを使用するとき、UDRnから読むデータの上位ビットは0で覆われます。

次のコード例はUSART制御 状態レジスタA (UCSRnA)の受信完了 (RXCN)フラグのホーリンクを基準とした簡単なUSART受信関数を示します。この関数が使用され得る前にUSARTが初期化されなければなりません。

アセンブリ言語プログラム例			
USART_Rx:	SBIS	UCSRnA, RXCN	受信完了でスキップ
	RJMP	USART_Rx	受信完了待機
;			
	IN	R16, UDRn	受信データ取得
	RET		呼び出し元へ復帰
C言語プログラム例			
unsigned char USART_Receive(void)			
{			
while ( !(UCSRnA & (1<<RXCN)) );			/* 受信完了待機 */
return UDRn;			/* 受信データ取得 */
}			

注: 6頁の「コード例について」をご覧ください。

この関数はバッファを読んで値を戻す前に、RXCNフラグの検査によって受信バッファにデータが存在するのを単純に待ちます。

## 207.2. 9ビットデータフレーム受信

9ビットデータが使用される場合 (UCSZn2 = 0=111) USARTデータレジスタ(UDRn)から下位8ビットを読み取るのに先立って第9ビットがUSART制御/状態レジスタB(UCSRnB)の受信データビット8(RXB8n)から読まなければなりません。この規則はフローリング異常(FEn) オーバーラン発生(DORn) パリティ誤り(UPEn)状態フラグにも適用されます。USART制御/状態レジスタA(UCSRnA)から状態情報を読み、その後にUDRnからデータを読み取ります。UDRn I/O位置を読むことが受信FIFOバッファの状態を切り替え、その結果、FIFO内に保管されるRXB8n,FEn,DORn,UPEnビット全てが切り替わります。

次のコード例は9ビットデータと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例		
USART_Rx:	SBIS UCSRA, RXCn	;受信完了でスキップ
	RJMP USART_Rx	;受信完了待機
;		
	IN R18, UCSRA	;状態フラグ取得
	IN R17, UCSRnB	;受信第9ビット取得
	IN R16, UDRn	;受信データ取得
	ANDI R18, (1<<FEn)   (1<<DORn)   (1<<UPEn)	;受信異常検査
	BREQ USART_Rx_V	;異常なしで分岐
;		
	LDI R17, -1	;異常で-1値設定
	LDI R16, -1	;
USART_Rx_V:	LSR R17	;RXB8nビットをビット0位置へ移動
	ANDI R17, \$01	;RXB8nビットのみ有効
	RET	;呼び出し元へ復帰
C言語プログラム例		
unsigned int USART_Receive(void)		
{		
unsigned char status, resh, resl;		/*一時変数定義 */
while ( !(UCSRA & (1<<RXCn)) );		/*受信完了待機 */
status = UCSRA;		/*状態フラグ取得 */
resh = UCSRnB;		/*受信第9ビット取得 */
resl = UDRn;		/*受信データ取得 */
if ( status & ((1<<FEn)   (1<<DORn)   (1<<UPEn)) ) return -1;		/*受信異常で-1値設定/復帰 */
resh = (resh>>1) & 0x01;		/* RXB8nビットのみ有効最下位へ */
return ((resh<<8)   resl);		/*結果9ビットデータ取得/復帰 */
}		

注: 6頁の「コード例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oレジスタをレジスタファイルに読みます。これは読まれたバッファ位置が可能な限り早く新規データを自由に受け入れられるため、最適な受信バッファ利用になります。

## 207.3. 受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

USART受信完了(RXCn)フラグは未読データが受信バッファに存在するかを示します。このフラグは受信バッファに未読データが存在する時に1で、受信バッファが空の換言すると、何も未読データを含まない時に0です。受信部が禁止される場合(RXENn=0) 受信バッファが破棄され、その結果としてRXCnフラグは0になります。

USART制御/状態レジスタB(UCSRnB)でUSART受信完了割り込み許可(RXCEn)ビットが設定(1)されると、全割り込みが許可されていればRXCnフラグが設定(1)されている限り USART受信完了割り込みが実行されます。割り込み駆動データ受信が使用されるとき、受信完了割り込みルーチンはRXCnフラグを解除(0)するためにUSARTデータレジスタ(UDRn)から受信したデータを読み取らなければならず、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起きます。

## 207.4. 受信異常フラグ

USART受信にはフレーシク異常 (FEn)、データオーバラン発生 (DORn)、パリティ誤り (UPEn) の3つの異常フラグがあります。これら全ては **USART制御 状態レジスタ (UCSRnA)** を読むことでアクセスできます。異常フラグに対する共通点は異常状態を示しているフレームと共に受信バッファに配置されることです。異常フラグがバッファされるため、**USARTデータレジスタ (UDRn)** I/O位置を読むことがバッファ読み出し位置を切り替えるので、UCSRnAは受信バッファ (UDRn) の前に読まれなければなりません。異常フラグに対するその他の共通点はソフトウェアがこのフラグ位置へ書き込みを行うことによって変更できないことです。しかし、将来のUSART機能実装の上位互換性のため、UCSRnAが書かれるとき、全てのフラグは0に設定されなければなりません。異常フラグはどれも割り込みを生成できません。

**フレーシク異常 (FEn) フラグ**は受信バッファに格納された、次に読み込み可能なフレームの第1停止ビットの状態を示します。FEnフラグは停止ビットが正しく (High) として読まれたときに0で、停止ビットが不正 (Low) だったときにFEnフラグは1です。このビットは同期外れ状態の検出、中断状態検出、規約での操作に使用できます。受信部が最初、第1以外の全停止ビットを無視するため、FEnフラグは **USART制御 状態レジスタC (UCSRnC) の停止ビット選択 (USBSn) ビット** 設定によって影響を及ぼされません。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットを0に設定してください。

**データオーバラン発生 (DORn) フラグ**は受信部バッファ一杯状態のためのデータ消失を示します。データオーバランは受信バッファ (2フレーム) が一杯で、次の新規フレームデータが受信シフトレジスタで待っており、更に次の新規岸ビットが検出される時に起きます。DORnフラグが設定 (1) なら、最後にUDRnから読んだフレームと次にUDRnから読むフレーム間で1つ以上の直列フレームが失われています。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットに0を書いてください。DORnフラグは受信されたデータがシフトレジスタから受信バッファへ正常に移動された時に解除 (0) されます。

**パリティ誤り (UPEn) フラグ**は受信バッファ内の次のフレームで受信時にパリティ異常があったことを示します。パリティ検査が許可されていない場合、UPEnフラグは常に0が読めます。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットを0に設定してください。より多くの詳細については119頁の「パリティビットの計算」と次の「パリティ検査器」をご覧ください。

## 207.5. パリティ検査器

パリティ検査器はパリティ種別上位ビット (UPMn1) が設定 (1) されると活性 (有効) になります。実行されるべきパリティ検査の形式 (偶数または奇数) はUPMn0ビットによって選択されます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果と受信直列フレーム内のパリティビットを比較します。検査の結果は受信データ停止ビットと共に受信バッファに格納されます。その後パリティ誤り (UPEn) フラグはフレームにパリティ異常があるかを検査するため、ソフトウェアによって読むことができます。

UPEnフラグは受信バッファから読まれ得る次のフレームで受信時にパリティ異常があり、その時点でパリティ検査が許可されていた (UPMn1=1) 場合に設定 (1) されます。このビットはUSARTデータレジスタ (UDRn) が読まれるまで有効です。

## 207.6. 受信の禁止

送信部と対照的に受信部の禁止は即時です。従って受信進行中のデータは失われます。禁止されると換言すると **USART制御 状態レジスタB (UCSRnB) のUSART受信許可 (RXENn) ビット** が0に設定 (受信部はもはやRXDnポートピンの標準機能を無効にしません。受信FIFOバッファは受信部が禁止されると破棄されます。バッファ内の残データは失われます。

## 207.7. 受信バッファの破棄

受信FIFOバッファは受信が禁止されると破棄 (換言すると、バッファは内容を空に) されます。未読データは失われます。例えば異常状態のため、通常動作中にバッファが破棄されなければならない場合、**USART制御 状態レジスタA (UCSRnA) の受信完了 (RXCn) フラグ** が解除 (0) されるまでUSARTデータレジスタ (UDRn) I/O位置を読んでください。次のコード例は受信バッファの破棄方法を示します。

### アセンブリ言語プログラム例

```
USART_Flush: SBIS    UCSRA, RXCn    ;未読データありでスキップ
              RET                    ;未読データなしで復帰
;
              IN      R16, UDRn     ;データ受信
              RJMP    USART_Flush   ;未読データなしまで継続
```

### C言語プログラム例

```
void USART_Flush(void)
{
    unsigned char dummy;           /*一時変数定義 */
    while ( !(UCSRA & (1<<RXCn)) ) dummy=UDRn; /*未読データ読み捨て */
}
```

注: 6頁の「コード例について」をご覧ください。



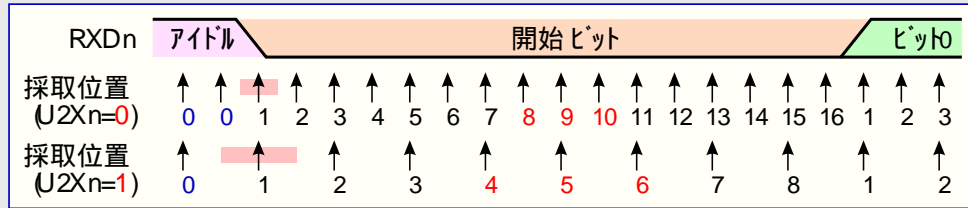
## 20.8 非同期受信

USARTは非同期データ受信を扱うためのクロック補正とデータ補正部を含みます。クロック補正論理回路は内部的に生成したホーレートクロックをRXDnピンに到着する非同期直列フレームに同期化するのに使用されます。データ補正論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ホーレートクロック精度、到着フレーム速度、フレーム長のビット数に依存します。

### 20.8.1 非同期クロック補正

クロック補正論理回路は内部クロックを到着直列フレームに同期化します。図 20-5は到着フレームの開始ビットの採取手順を図解します。採取速度は標準速動作でホーレートの1倍、倍速動作で8倍です。赤い帯 **訳注** 原文は水平矢印は採取処理のための同期変量を図示します。倍速動作 (U2Xn=1)を使用する時の広い変量時間に注意してください。採取番号0はRXDn信号がアイドル換言すると、通信の動きなしの時に実行される採取です。

図 20-5.開始ビットの採取

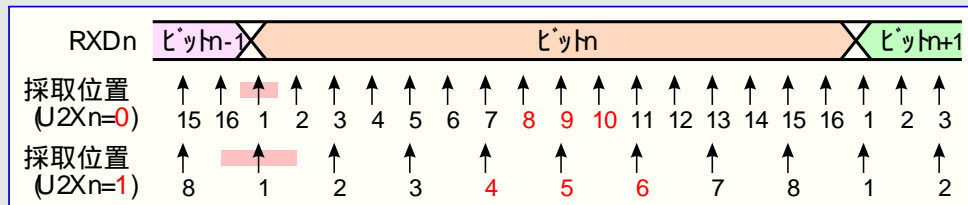


クロック補正論理回路がRXDn信号線でHigh(アイドル)からLow開始への遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後にクロック補正回路は有効な開始ビットが受信されるかを決定するために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6図の赤数字 **訳注** 原文は箱枠内Jで示された採取番号を使用します。これら3回で2回以上の採取が論理Highレベルの場合(多数決)、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ビットが検出されると、クロック補正論理回路は同期化され、データ補正が開始されます。この同期化手順は各開始ビット毎に繰り返されます。

### 20.8.2 非同期データ補正

受信部クロックが開始ビットに同期化されるとデータ補正が始まります。データ補正部は標準速動作で16段、倍速動作で8段の順列回路を使用します。図 20-6はデータビットとパリティビットの採取を示します。各採取は補正部の各段に等しい番号を与えられます。

図 20-6.データビットとパリティビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取ることで行われます。この中央の3採取は図上の赤文字 **訳注** 原文は箱枠内の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDnピンの到着信号に対して低域通過濾波器(ローパスフィルタ)のように働きます。この補正手順はその後完全なフレームが受信されるまで繰り返されます。これには最初の第1停止ビットを含みます。受信部がフレームの最初の停止ビットだけを使用することに注意してください。

図 20-7は停止ビットの採取と次のフレームの最も早い開始ビット開始の可能性を示します。

図 20-7.停止ビットの採取と次の開始ビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決が停止ビットにも行われます。停止ビットが論理0値と記録されると、**フレーム異常(FEn)フラグ**が設定(1)されます。

新規フレームの開始ビットを示すHighからLowへの遷移は多数決に使用した最後のビット後に実現できます。標準速動作での最初のLowレベル採取は図 20-7のA点で有り得ます。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さの停止ビットの終点を示します。この早い開始ビット検出は受信部の動作範囲に影響します。



### 20.8.3 非同期での動作範囲

受信部の動作範囲は受信したビット速度と内部的に生成したホーレー間の不一致に依存します。送信部が速すぎるまたは遅すぎるビット速度でフレームを送出したとき、内部的に発生した受信部のホーレーが類似した表 20-2 参照 基準周波数を持たない場合、受信部は開始ビットでフレームを同期できません。

次式は到着データ速度と内部受信部ホーレー間の比率計算に使用できます。

$$R_{slow} = \frac{(D+1)S}{S-1+D \times S+S_F} \quad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

D : データとパリティのビット数 (5~10)

S : ビットあたりの採取数 (標準速=16 倍速=8)

S<sub>F</sub> : 多数決に使用する最初の採取番号 (標準速=8 倍速=4)

S<sub>M</sub> : 多数決に使用する中心の採取番号 (標準速=9 倍速=5)

R<sub>slow</sub> : は受信側ホーレーに対して許容できる最低受信ビット速度の比率です。

R<sub>fast</sub> : は受信側ホーレーに対して許容できる最高受信ビット速度の比率です。

表 20-2 は許容できる最大受信部ホーレー誤差一覧です。標準速動作には、より高いホーレー変動許容能力があることに注目してください。

表 20-2. 標準速と倍速での受信部ホーレー推奨最大許容誤差

D	標準速動作 (U2Xn=0)				倍速動作 (U2Xn=1)			
	R <sub>slow</sub> (%)	R <sub>fast</sub> (%)	総合許容誤差 (%)	推奨許容誤差 (%)	R <sub>slow</sub> (%)	R <sub>fast</sub> (%)	総合許容誤差 (%)	推奨許容誤差 (%)
5	93.20	106.67	-6.80~ +6.67	± 3.0	94.12	105.66	-5.88~ +5.66	± 2.5
6	94.12	105.79	-5.88~ +5.79	± 2.5	94.92	104.92	-5.08~ +4.92	± 2.0
7	94.81	105.11	-5.19~ +5.11	± 2.0	95.52	104.35	-4.48~ +4.35	± 1.5
8	95.36	104.58	-4.54~ +4.58	± 2.0	96.00	103.90	-4.00~ +3.90	± 1.5
9	95.81	104.14	-4.19~ +4.14	± 1.5	96.39	103.53	-3.61~ +3.53	± 1.5
10	96.17	103.78	-3.83~ +3.78	± 1.5	96.70	103.23	-3.30~ +3.23	± 1.0

注 : D はデータビット数とパリティビットの合計ビット数です。

訳注 ) 原書は表 20-2 に標準速、表 20-3 に倍速を記載していますが、比較が容易なように表 20-2 として纏めました。

受信部ホーレーの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定のもとで作られました。

受信部ホーレー誤差に対して2つの起こり得る原因があります。受信部のシステムクロック(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。システムクロックを生成するのにクリスタル発振子を使用する時は殆ど問題ありませんが、セラミック振動子でのシステムクロックは振動子偏差に依存して2%を越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ホーレー発振器は欲したホーレーを得るためにシステム周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR1値が使用できます。

## 20.9.複数フロッグ通信動作

USART制御/状態レジスタ(UCSRnA)での複数フロッグ通信動作(MPCMnビット)の設定(1)はUSART受信部によって受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信バッファに格納されません。これは同一直列バス経由で通信する複数MCUのシステムで、CPUによって扱われなければならない到着フレーム数を効果的に減らします。送信部はMPCMnビット設定によって影響されませんが、複数フロッグ通信動作を利用するシステムの一部の時は違うように使用されなければなりません。

受信部が5~8ビットを含むフレームを受信するように設定されるなら、最初の停止ビットはデータまたはアドレス情報を含むフレームかどうかを示します。受信部が9ビットのフレームに設定されるなら、USART制御/状態レジスタB(UCSRnB)の受信第9(RXB8n)ビットがアドレスとデータのフレームを識別するのに使用されます。フレーム種別 最初の停止または第9ビットが1の時にフレームはアドレスを含みます。フレーム種別ビットが0の時にそのフレームはデータフレームです。

複数フロッグ通信動作は主MCUからのデータを多くの従MCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることによって行われます。特定の従MCUがアドレス指定されたなら、そのMCUは後続するデータフレームを通常のように受信し、一方その他の従MCUは他のアドレスフレームが受信されるまで受信したフレームを無視します。

### 20.9.1.複数フロッグ通信の使用法

主MCUとして動作するMCUは9ビットデータフレーム形式(UCSZn=7)を使用できます。UCSRnBの送信第9(TXB8n)ビットはアドレスフレーム時に設定(1)またはデータフレーム時に解除(0)されて送信されなければなりません。この場合、従MCUは9ビットデータフレーム形式の使用に設定されなければなりません。

複数フロッグ通信動作でデータを交換するのに次の手順が使用されるべきです。

全ての従MCUは複数フロッグ通信動作です(UCSRnAの複数フロッグ通信動作(MPCMn)ビットが設定(1))

主MCUはアドレスフレームを送り、全ての従装置がこのフレームを受信し、これを読みます。従CPUでは通常のようにUCSRnAで受信完了(RXCn)フラグが設定(1)されます。

各従MCUはUSARTデータレジスタ(UDRn)を読み、選択されたかを判定します。選択された場合はUCSRnAのMPCMnビットを解除(0)し、そうでなければ非選択の場合はMPCMnビット設定を保ち、次のアドレスフレームを待ちます。

アドレス指定されたMCUは新規アドレスフレームが受信されるまで全データフレームを受信します。MPCMnビットが未だ設定(1)されている他の従CPUはこのデータフレームを無視します。

最後のデータフレームがアドレス指定されたMCUによって受信されると、アドレス指定されたMCUはMPCMnビットを設定(1)し、主装置からの新規アドレスフレームを待ちます。以降、手順はここから繰り返します。

5~8ビットデータフレーム形式のどの使用も可能ですが、受信側が使用するnとn+1ビットデータフレーム形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じデータビット長設定を使用するため、全二重フルデュプレックス動作を困難にします。5~8ビットデータフレームが使用される場合、最初の停止ビットがフレーム種別を示すのに使用されるので、送信部は2停止ビット使用(USBSn=1)に設定されなければなりません。

MPCMnビットを設定(1)または解除(0)するのに読み・修正・書き(リド・モディファイライト命令(SBとCBI))を使用してはいけません。MPCMnビットは送信完了(TXCn)フラグと同じI/O位置を共用しており、SBまたはCB命令を使用すると偶然に解除(0)されるかもしれません。

## 20.10. ホール設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も共通して使用される非同期動作のホールは表 20-4 の UBRRn 設定を使用することによって生成できます。目的のホールに対して設定誤差 1.5% (標準速 U2Xn=0) 1.0% (倍速 U2Xn=1) 以上を赤字で示します。**訳注** 原書の本文は 0.5% (未満を太字) より高い誤差率でも受け入れ可能ですが、特に長い直列フレーム (125 頁の 非同期での動作範囲) 参照 で誤差率が高いと、受信部は雑音耐性が低下します。誤差率は次式を使用して計算されます。

$$\text{誤差率 } \% = \left( \frac{\text{UBRR 設定ホール最近似値}}{\text{目的のホール}} - 1 \right) \times 100\%$$

表 20-4. Xtal ホール 対 UBRRn UBRRn 設定 (UBRR=UBRRnH UBRRnL)

ホール (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ホール (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速は UBRR=0 誤差 =0.0% です。以降の周波数は次頁へ続く。

**訳注**) 原書では頁割された表毎に表番号 20-4 ~ 7 となっていますが、共通性から纏めて表 20-4 としました。原書に対して数種の発振周波数を追加しました。

表 20-4 続き).Xtal ホール対 UBRRnH/UBRRnL設定 (UBRR=UBRRnH/UBRRnL)

ホールレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ホールレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ホールレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注:最高速はUBRR=0 誤差 =0.0%です。



## 20.11. USART用レジスタ

### 20.11.1. USARTnデータレジスタ (USARTn I/O Data Register) UDRn

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C) : (\$9C)	R/TXn7	R/TXn6	R/TXn5	R/TXn4	R/TXn3	R/TXn2	R/TXn1	R/TXn0	UDRn
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

同じI/Oアドレスを共用するUSART受信データハフファレジスタとUSART送信データハフファレジスタはUSARTデータレジスタまたはUDRnとして引用しました。送信データハフファレジスタ(TXB)はUDRnレジスタ位置に書かれるデータの転送先です。UDRnレジスタ位置読み込みは受信データハフファレジスタ(RXB)の内容を返します。

5~ 7ビットデータでの上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。

送信ハフファはUCSRnAで送信データレジスタ空き(UDREN)フラグが設定(1)される時にだけ書けます。UDRENフラグが設定(1)されない時にUDRnへ書かれたデータはUSART送信部によって無視されます。送信部が許可されて送信ハフファにデータが書かれると、送信部は送信シフトレジスタが空きの時にそのデータを送信シフトレジスタへ設定・移動します。その後データはTXDnピンで直列送信されます。

受信ハフファは2段のFIFOから成ります。このFIFOは受信ハフファがアクセスされる毎にその状態を切り替えます。この受信ハフファの動きのため、この位置に読み・修正・書き(リード・モディファイライト命令(SB)とCBI)を使用できません。ビット検査(SBCとSBS)命令もFIFOの状態を換えるので、これらの命令を使用する時は注意してください。

### 20.11.2. USART制御/状態レジスタA (USARTn Control and Status Register A) UCSRnA

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B) : (\$9B)	RXCn	TXCn	UDREN	FEn	DORn	UPEn	U2Xn	MPCMN	UCSRnA
Read/W rite	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

#### ビット7 - RXCn : USART受信完了フラグ (USARTn Receive Complete)

このフラグは受信ハフファに未読データがある時に設定(1)され、受信ハフファが空の換言すると、どんな未読データ含まない時に解除(0)されます。受信部が禁止されると、受信ハフファが破棄され、その結果RXCnフラグは0になります。RXCnフラグは受信完了割り込みを発生するのに使用できます(USART制御/状態レジスタB(UCSRnB)の受信完了割り込み許可(RXCEN)ビットをご覧ください)。

#### ビット6 - TXCn : USART送信完了フラグ (USARTn Transmit Complete)

このフラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信ハフファ(UDRn)に新規データが現存しない時に設定(1)されます。TXCnフラグは送信完了割り込みが実行されると、自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)できます。TXCnフラグは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCEN)ビットをご覧ください)。

#### ビット5 - UDREN : USART送信データレジスタ空きフラグ (USARTn Data Register Empty)

UDRENフラグは送信ハフファ(UDRn)が新規データを受け取る準備ができていどうかを示します。UDRENが1ならばハフファは空で、従って書かれる準備ができています。UDRENフラグは送信ハフファ空き割り込みを発生できます(UCSRnBの送信データレジスタ空き割り込み許可(UDREN)ビットをご覧ください) 送信部が準備できているを示すため、次のUDRENは設定(1)です。

#### ビット4 - FEn : フレーミング異常フラグ (Framing Error)

受信ハフファの次データが受信した時にフレーミング異常 換言すると、受信ハフファで次データの最初の第1停止ビットがLowだった場合、このビットが設定(1)されます。このフラグは受信ハフファ(UDRn)が読まれるまで有効です。受信したデータの停止ビットがHighの時にFEnフラグは0です。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット3 - DORn : データオーバラン発生フラグ (Data OverRun)

このビットはオーバラン状態が検出されると設定(1)されます。受信ハフファ(2フレーム分)一杯で、新規フレームが受信シフトレジスタ内で待機中に新規開始ビットが検出されるとデータオーバランが起こります。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット2 - UPEn : パリティ誤りフラグ (USART Parity Error)

受信ハフファの次データが受信した時にパリティ誤りがあり、その時点でパリティ検査が許可されていれば(UPMn1=1) このビットが設定(1)されます。このフラグは受信ハフファ(UDRn)が読まれるまで有効です。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット1 - U2Xn : 倍速許可 (Double the USART Transmission Speed)

このビットは非同期動作でだけ有効です。同期動作を使用するとき、このビットに0を書いてください。

このビットに1を書くことはホーレ分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

#### ビット0 - MPCMN : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)

このビットは複数プロセッサ通信動作を許可します。MPCMNビットが1を書かれると、USART受信部によって受信したアドレス情報を含まない全到着フレームは無視されます。送信部はMPCMN設定に影響されません。より多くの詳細情報については126頁の「複数プロセッサ通信動作」をご覧ください。

### 20.11.3. USART制御 状態レジスタB (USARTn Control and Status Register B) UCSRnB

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A) : (\$9A)	RXC En	TXC En	UDR En	RXENn	TXENn	UCSZn2	RXB8n	TXB8n	UCSRnB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - RXC En :受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の受信完了 (RXCn) フラグでの割り込みを許可します。USART受信完了割り込みはRXC Enビットが1を書かれ、ステータスレジスタ (SREG) で全割り込み許可 (I) ビットが1を書かれ、UCSRnAでRXCnフラグが設定 (1) される場合にだけ生成されます。

ビット6 - TXC En :送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の送信完了 (TXCn) フラグでの割り込みを許可します。USART送信完了割り込みはTXC Enビットが1を書かれ、SREGで全割り込み許可 (I) ビットが1を書かれ、UCSRnAでTXCnフラグが設定 (1) される場合にだけ生成されます。

ビット5 - UDR En :送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の送信データレジスタ空き (UDR En) フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みはUDR Enビットが1を書かれ、SREGで全割り込み許可 (I) ビットが1を書かれ、UCSRnAでUDR Enフラグが設定 (1) される場合にだけ生成されます。

ビット4 - RXENn :受信許可 (Receiver Enable)

このビットへの書き込みはUSART受信部を許可します。受信部は許可されるとRXDnポートの標準ホップ動作を無効にします。受信の禁止は受信バッファを破棄し、フレーミング異常 (FEn)、オーバーラン (DORn)、パリティ誤り (UPEn) のフラグを無効にします。

ビット3 - TXENn :送信許可 (Transmitter Enable)

このビットへの書き込みはUSART送信部を許可します。送信部は許可されるとTXDnポートの標準ホップ動作を無効にします。送信の禁止 (TXENn=0書き込み) は進行中と保留中の送信が完了される換言すると、送信シフトレジスタと送信バッファレジスタが送信されるべきデータを含まないまで有効になりません。禁止したとき、送信部はもはやTXDnポートの標準I/O機能を無効にしません。

ビット2 - UCSZn2 :データビット長選択2 (Character Size)

USART制御 状態レジスタC (UCSRnC) のUCSZn1, 0ビットと組み合わせたUCSZn2ビットは送受信部で使用するフレームのデータビット数 (Character size) を設定します。

ビット1 - RXB8n :受信データビット8 (Receive Data Bit 8)

RXB8nは9ビットデータでの直列フレーム操作時に受信したフレームの第9データビット(ビット8)です。UDRnから下位ビットを読む前に読んでください。

ビット0 - TXB8n :送信データビット8 (Transmit Data Bit 8)

TXB8nは9ビットデータでの直列フレーム操作時に送信されるべきデータの第9データビット(ビット8)です。UDRnへ下位ビットを書く前に書いてください。

### 20.11.4. USART制御 状態レジスタC (USARTn Control and Status Register C) UCSRnC

ビット	7	6	5	4	3	2	1	0	
(\$95) : (\$9D)	-	UMSELn	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

注 : このレジスタはATmega103互換動作で利用できません。

ビット7 - Res :予約 (Reserved)

このビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、UCSRnCが書かれるとき、このビットは0が書かれなければなりません。

ビット6 - UMSELn :USART動作選択 (USARTn Mode Select)

このビットは非同期と同期の動作種別のどちらかを選びます。

表 20-8. USART動作選択

UMSELn	動作種別
0	非同期動作
1	同期動作

## ビット54 - UPMn10 : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内での送信したデータビットのパリティを自動的に生成して送出します。受信部は到着データからパリティ値を生成し、UPMn0設定と比較します。不一致が検出されると、USART制御/状態レジスタ(UCSRnA)でパリティ誤り(UPEN)フラグが設定(1)されます。

表 20-9. パリティ選択

UPMn1	UPMn0	パリティ動作
0	0	禁止
0	1	予約)
1	0	偶数パリティ許可
1	1	奇数パリティ許可

## ビット3 - USBSn : 停止ビット選択 (Stop Bit Select)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します(誤補常に第1停止ビットだけが有効)。

表 20-10. 停止ビット選択

USBSn	停止ビット数
0	1ビット
1	2ビット

## ビット2,1 - UCSZn10 : データビット長選択 (Character Size)

USART制御/状態レジスタB(UCSRnB)のUCSZn2ビットと組み合わせたUCSZn1,0ビットは送受信部で使用するフレームのデータビット数(Character size)を設定します。

表 20-11. データビット長選択

UCSZn2,1,0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
データビット数	5ビット	6ビット	7ビット	8ビット	予約)	予約)	予約)	9ビット

## ビット0 - UCPOLn : クロック極性選択 (Clock Polarity)

このビットは同期動作に対してだけ使用されます。非同期動作が使用されるとき、このビットに0を書き込んでください。UCPOLnビットは同期クロック(XCKn)データ出力変更、データ入力採取間の関係を設定します。

表 20-12. XCKクロック極性選択

UCPOLn	送信データ変更 (TXDn <sup>レ</sup> 出力)	受信データ採取 (RXDn <sup>レ</sup> 入力)
0	XCKnの上昇端	XCKnの下降端
1	XCKnの下降端	XCKnの上昇端

## 20.11.5. USARTnボーレートレジスタ (USARTn Baud Rate Register) UBRRnH, UBRRnL (UBRRn)

ビット	15	14	13	12	11	10	9	8	
(\$90) : (\$98)	-	-	-	-	UBRRn11	UBRRn10	UBRRn9	UBRRn8	UBRRnH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$09) : (\$29)	UBRRn7	UBRRn6	UBRRn5	UBRRn4	UBRRn3	UBRRn2	UBRRn1	UBRRn0	UBRRnL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 : UBRRnHレジスタはATmega103互換動作で利用できません。

## ビット15- 12 - Res : 予約 (Reserved Bits)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、UBRRnHが書かれるとき、これらのビットは0が書かれなければなりません。

## ビット11- 0 - UBRRn11~ 0 : ボーレート分周値 (USARTn Baud Rate Register)

これはUSARTnのボーレートを含む12ビットレジスタです。UBRRnHがUSARTnのボーレートの上位4ビットを含み、UBRRnLが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBRRnL書き込みはボーレート前置分周器の更新を直ちに始めます。

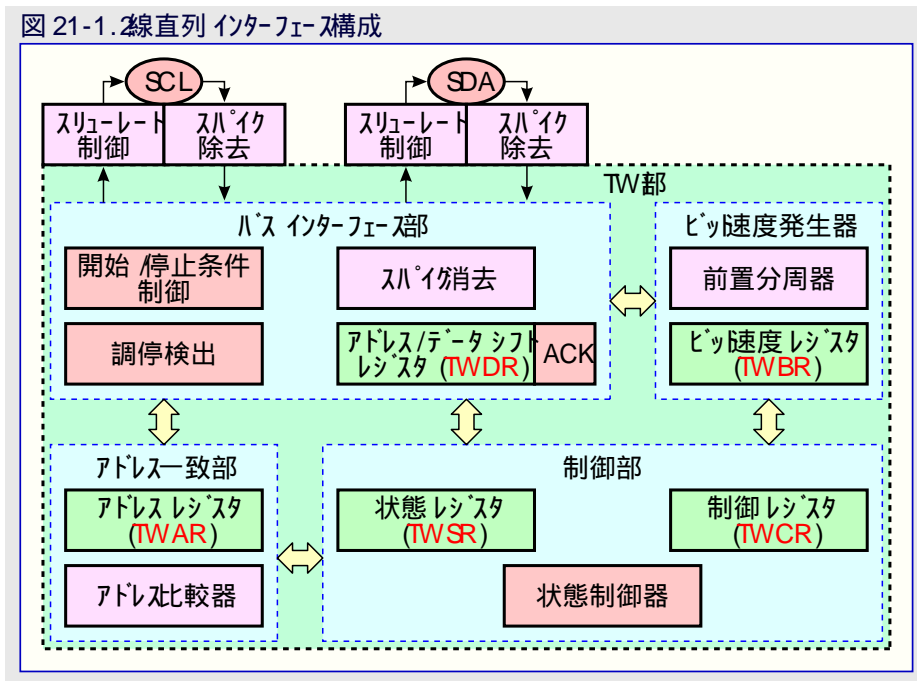
## 21. 2線直列 インターフェイス (TWI: Two-wire Serial Interface, PC)

### 21.1 特徴

2本のバス信号線のみ必要な、単純ながら強力な柔軟な通信 インターフェイス  
 主装置動作と従装置動作の両方を支援  
 送信装置または受信装置として動作可能  
 7ビットのアドレス空間が 128までの異なる従装置アドレスを許容  
 複数主装置の調停支援  
 400kHzまでのデータ転送速度  
 上昇 / 下降 (スリューレート制限された出力駆動回路)  
 バス信号線のスパイクを排除する雑音消去回路  
 一斉呼び出しを含む完全に設定変更可能な従装置アドレスの支援  
 AVRが休止形態の時のアドレス認証 (一致 起動)

### 21.2 概要

図 21-1で示されるように TWI 部は様々な部分から成ります。赤文字で示された **訳注** 原文は太線で描かれた 全てのレジスタは AVR データバスを通してアクセス可能です。



#### 21.2.1. SCLとSDAピン

これらのピンは AVR TWI を MCU システムのその他とインターフェイスします。出力駆動部は TWI 仕様に適合させるためのスリューレート上昇 / 下降 制限器を含みます。入力段は 50nsより短いスパイクを除去するスパイク除去部を含みます。入出力ポート項で説明したように AVR ハットの内部プルアップは SCLとSDAピンに対応するポートのビットを設定 (=1) することによって許可できることに注目してください。内部プルアップはいくつかのシステムで外部抵抗の必要をなくせます。

#### 21.2.2. ビット速度発生器

この部分は主装置動作で動く時の SCL 周期を制御します。SCL 周期は TWI ビット速度レジスタ (TWBR) と TWI 状態レジスタ (TWSR) の前置分周器ビットの設定によって制御されます。従装置動作はビット速度や前置分周器設定と関係ありませんが、従装置での CPU クロック周波数は SCL 周波数より最低 10 倍高くなければなりません。従装置が SCL の Low 期間を延長するかもしれず、これによって平均 TWI バス クロック周波数が減少することに注意してください。SCL 周波数は次式に従って生成されます。

$$\text{SCL 周波数} = \frac{\text{CPU クロック周波数}}{16 + 2 \times (\text{TWBR} \times \text{前置分周値})}$$

TWBR : TWI ビット速度レジスタ値  
前置分周値 : TWI 状態レジスタ内 TWPS 指定 (15 頁の表 21-7 参照)

**注:** プルアップ抵抗値は SCL 周波数とバス信号線の容量性負荷に応じて選択されるべきです。プルアップ抵抗の値については 208 頁の表 28-4 をご覧ください。



### 21.2.3. ハス インターフェース部

この部分はデータとアドレスのシフトレジスタ(TWDR) 開始条件/停止条件制御器、調停検出回路を含みます。TWDRは送信されるべきアドレスまたはデータバイト 若しくは受信したアドレスまたはデータバイトを含みます。8ビットのTWDRに加えてハス インターフェース部は送信されるべきまたは受信した(NACK)ビットを含むレジスタを含みます。この(NACK)レジスタは応用ソフトウェアによって直接的にアクセスできません。けれどもTW 制御レジスタ(TWCR)を操作することにより 受信時に設定(1)または解除(0)できます。送信装置動作時、受信した(NACK)ビットの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は開始条件、再送開始条件、停止条件の生成と検出に対して責任があります。開始条件/停止条件制御器はAVR MCUが主装置によってアドレス指定された場合にMCUを起動できる休止形態の1つの時でも 開始条件または停止条件を検出できます。

TW が主装置として送信を始めると 調停検出ハードウェアは調停が進行中かを決定するために送信の試行を継続的に監視します。TW が調停に敗れた場合、制御部に通知されます。その後正しい処置が行われ、適切な状態符号が生成されます。

### 21.2.4. アドレス一致部

アドレス一致部は受信したアドレスバイトがTWアドレスレジスタ(TWAR)の7ビットアドレスと一致するかを検査します。TWARで一斉呼び出し検出許可(TWGCE)ビットが1を書かれると 全ての到着アドレスバイトは一斉呼び出しアドレスに対しても比較されます。アドレス一致で制御部は通知され、正しい処置を行うことを許します。TW はTW 制御レジスタ(TWCR)の設定によって、そのアドレスへの応答をするかもしれないし、しないかもしれません。アドレス一致部はAVR MCUが主装置によってアドレス指定された場合にMCUを起動できる休止形態の1つの時でも アドレスを比較できます。訳注 次の2行を共通性から追加 TW がパワーダウン動作でのアドレス一致でCPUを起動中に他の割り込み 例えば NTOが起ると、TW は動作を停止し、アイドル状態で復帰します。これが何らかの問題の原因なら、パワーダウン動作へ移行する時にTW アドレス一致だけが割り込みを許可されることを保証してください。

### 21.2.5. 制御部

制御部はTWバスを監視し、TW 制御レジスタ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWバスで起こると TW 割り込み要求フラグ(TWNT)が有効にされます。次のクック周期で、TW 状態レジスタ(TWSR)は事象を示す状態符号で更新されます。TW 割り込み要求フラグが有効にされる時にだけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態符号を含みます。TWNTフラグが設定(1)されている限り SCL信号線はLowに保たれます。これは続くTW送信を許す前の現状 処理完了を応用ソフトウェアに許します。

TW 割り込み要求フラグ(TWNT)は次の場合に設定(1)されます。

開始条件または再送開始条件送信後

SLA+R/W送信後

アドレスハイ送信後

調停に敗れた後

自身の従装置アドレスまたは一斉呼び出しによってアドレス指定された後

データハイ受信後

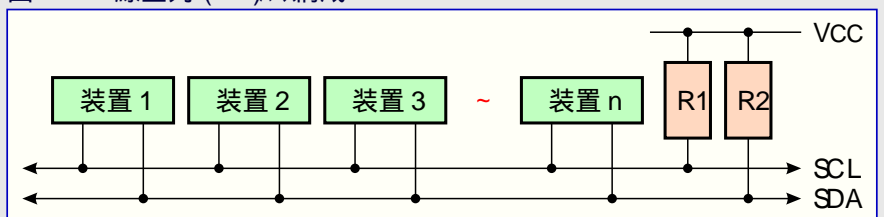
従装置として未だアドレス指定されている間の停止条件または再送開始条件受信後

不正な開始条件または停止条件のためバス異常が起きた時

### 21.3. 2線直列 インターフェースバスの定義

2線直列 インターフェース(TWI)は代表的なマイクロコントローラに対して理想的に適応されています。TW 通信規約は2本の双方向バス信号線、データ用1本(SDA)とクロック用1本(SCL)だけを使用して128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するのに必要とされる外部ハードウェアはTWバス信号線各々に1つのプルアップ抵抗だけです。バスに接続した全ての装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的にTW 通信規約で行います。

図 21-2. 2線直列 (TWI)バス構成



#### 21.3.1. TW用語定義

次の定義は本項で度々使用されます。

表 21-1. TW用語定義

用語	意味
主装置	送信の開始と終了を行う装置。主装置はSCLクロックを生成します。
従装置	主装置によって指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

## 21.3.2.電気的な相互接続

図 21-2で描かれたように両方のバス信号線はプルアップ抵抗を通して正供給電圧に接続されます。全てのTW 準拠装置のバス駆動部はオープンドレインかオープンコレクタです。これはインターフェースの動作のために重要なワイアードAND機能を実現します。TW バス信号線のLowレベルは1つまたはより多くのTW 装置の出力時に生成されます。Highレベルは全TW 装置がHigh出力時の出力で、プルアップ抵抗に信号線をHighへ引き上げさせます。どんなバス動作を許すのにも、TW バスに接続した全てのAVRデバイスが電力供給されなければならないことに注意してください。

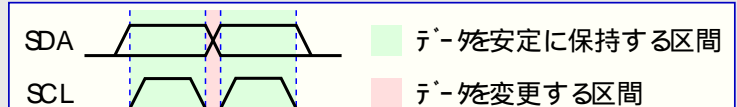
このバスに接続できる装置数は7ビットの重オシアドレス空間と400pFのバス容量制限によってのみ制限されます。TW の電気的特性の詳細仕様は208頁の「線直列インターフェース特性」で与えられます。そこで与えられる2組の異なる仕様は、1つがバス速度100kHz以下に関するもので、もう1つはバス速度400kHzまでに関して有効です。

## 21.4.データ転送とフレーム形式

### 21.4.1.ビット転送

TW バスに転送される各データビットはクロック信号線のバースを伴います。データ信号線のレベルはクロック信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

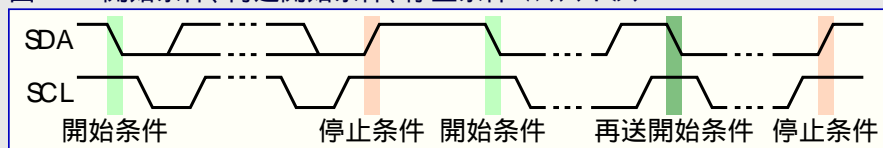
図 21-3.データの有効性



### 21.4.2.開始条件と停止条件

主装置がデータ転送の開始と終了を行います。転送は主装置がバスに開始条件を起こすと開始され、主装置が停止条件を起こすと終了されます。開始条件と停止条件間はバスが使用中と考えられ、他の主装置はバスの制御獲得を試みるべきではありません。開始条件と停止条件間で新規開始条件が起こされると特別な状態が起きます。これは再送開始条件として引用され、主装置がバスの制御を手放さずに新規転送を始めたい時に使用されます。再送開始条件後、バスは次の停止条件まで使用中と考えられます。これは開始動作についてと全く同じで、従って特記事項を除いて本データシートの残りに対して開始条件と再送開始条件の両方の記述に開始条件が使用されます。下で描かれるように、開始条件と停止条件はSCL信号線がHighの時のSDA信号線のレベル変更によって指示されます。

図 21-4.開始条件、再送開始条件、停止条件 バス タイミング



### 21.4.3.アドレス パケット形式

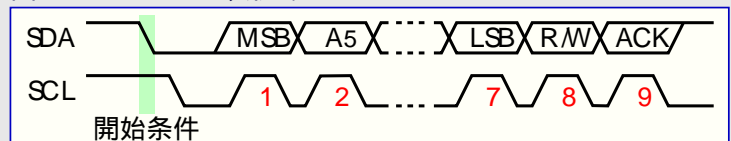
TW バスに送信した全てのアドレスパケットは7ビットのアドレスビット、1ビットの方向 (Read/Write) 制御ビット、1ビットの応答ビットから成る9ビットです。方向 (R/W) ビットが設定 (1) されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がアドレス指定されたことを認証すると、9番目のSCL (ACK) 周期でSDAをLowへ引くことによって確認応答すべきです。アドレス指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、確認応答 (ACK) のクロック周期でSDA信号線をHighのままにすべきです。主装置はその後に停止条件または新規転送を始めるために再送開始条件を送出できます。従装置アドレスと方向 (R/W) ビットから成るアドレスパケットは各々、SLA+RまたはSLA+Wと呼ばれます。

アドレスビットの最上位ビット(MSB)が最初に送信されます。従装置アドレスは設計者によって自由に割り当てられますが、アドレス0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は確認応答 (ACK) 周期でSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がシステム内のそれぞれの従装置に同じ通信内容を送信したい時に使用されます。一斉呼び出しアドレスに続きR (読み出し) 方向が書き込みビットがバスに送信されると、一斉呼び出しに応答する設定の全ての従装置は、ACK周期でSDA信号線をLowに引き込みます。そして後続のデータパケットは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しアドレスに続くR (読み出し) 方向の送信は、従装置それぞれが異なるデータの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全アドレスは将来の目的のために予約されるべきです (冗補: PC規格のアドレス拡張他)。

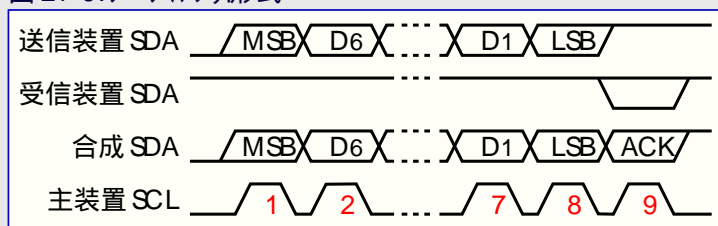
図 21-5.アドレス パケット形式



#### 21.4.4. データパケット形式

TWバスに送信した全てのデータパケットは1バイトのデータと1ビットの応答ビットから成る9ビットです。データ転送中、主装置はクロックと開始条件、停止条件を生成し、一方受信装置は受信に応答する責任があります。確認応答 (ACK) は受信装置が9番目のSCL周期中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにするとNACKを示します。受信装置が最終ハイを受信したとき、または何らかの理由でこれ以上のハイを受信できないとき、最終ハイ後にNACKを送ることによって送信装置へ通知すべきです。データハイの最上位 (MSB) ビットが最初に送信されます。

図 21-6. データパケット形式

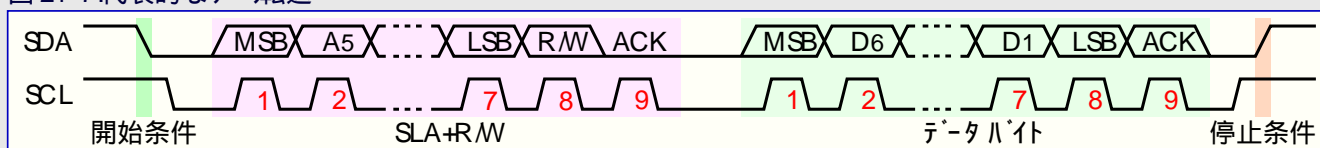


#### 21.4.5. 転送内でのアドレスパケットとデータパケットの組み合わせ

転送は基本的に開始条件、SLA+R/W、1つ以上のデータパケット、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のワイアードANDが主装置と従装置間のハンドシェイクに使用できることに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばします。これは主装置が従装置に対して速すぎるクロック速度設定、または従装置がデータ転送間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは、主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのデューティ比 (Low期間) を延長することによってTW転送速度を落とします。

図 21-7は代表的なデータ転送を示します。応用ソフトウェアによって実装されたソフトウェア規約に依存して、様々なデータパケットがSLA+R/Wと停止条件間に送信できることに注意してください。

図 21-7. 代表的なデータ転送



## 21.5. 複数主装置バスシステムの調停と同期

TW 規約は多数主装置のバスシステムを許します。例えば2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のシステムでは2つの問題が起こります。

送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は自身が行っている従装置選択手順を失った失敗したことに気付く時に送信を止めるべきです。この選択手順は調停 (Arbitration) と呼ばれます。競合する主装置は調停 (従装置選択) 手順を失ったことに気付くと、勝ち残った主装置によってアドレス指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、バスに転送されているデータが不正にされではありません。

違う主装置が異なるSCL周波数を使用するかもしれません。同期確定手順で送信が続行するために、全主装置からの直列クロックを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

バス信号線のワイアードANDはこれらの問題の両方の解決に使用されます。全ての主装置からの直列クロックはワイアードANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成クロックを生成します。合成クロックのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになる時に各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がデータ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってアドレス指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のデータ若しくはアドレスパケットの最後までクロック信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのビットを必要とするかもしれません。多くの主装置が同じ従装置をアドレス指定しようとすると、調停はデータパケットに続くでしょう。

図 21-8. 複数主装置間でのSCL同期化

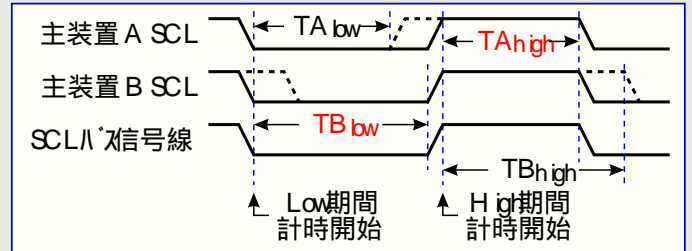
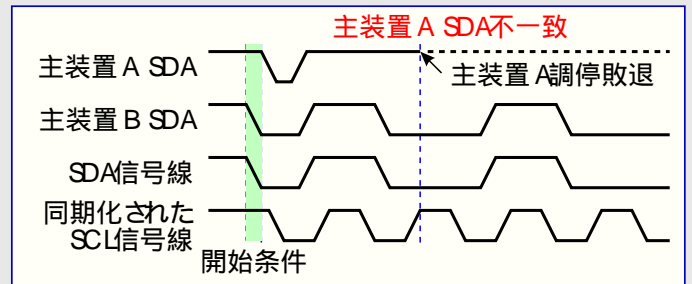


図 21-9. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とデータビット間
- 停止条件とデータビット間
- 再送開始条件と停止条件間

これらの違法な調停状態を決して起こさないように保証するのは使用者ソフトウェアの責任です。これは複数主装置システムでの全てのデータ転送は同じ構成、SLA+R/Wとデータパケットを使用しなければならないことを意味します。言葉を変えると、全ての送信は同じデータパケット数を含まなければならない、さもなければ調停の結果は不定にされます。

**訳補** )同じデータパケット数とは、或る主装置が最後まで調停を継続し、他の主装置がパケットを残している場合を想定しています。



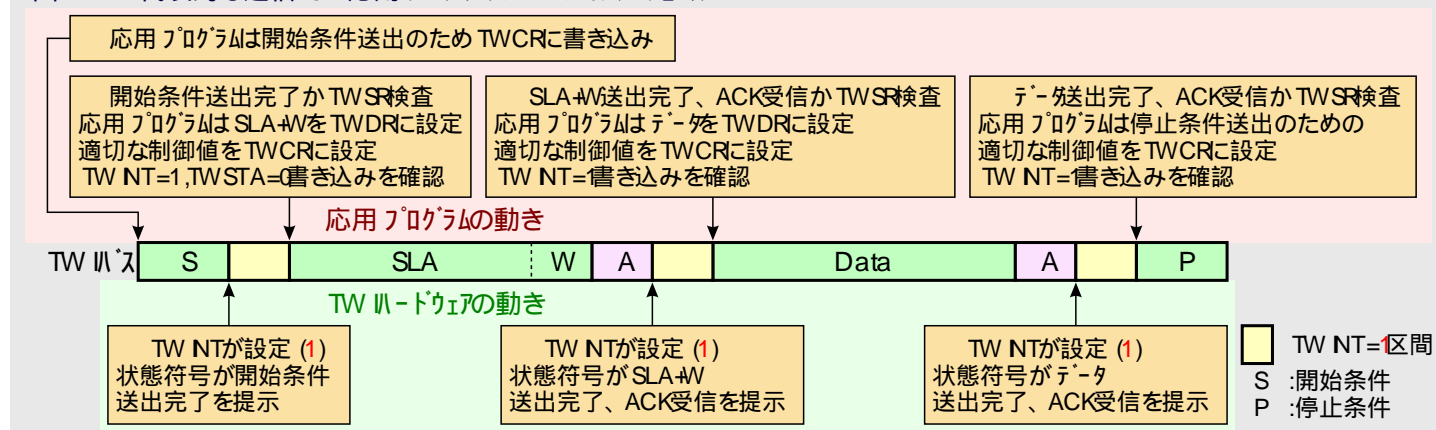
## 21.6. TWの使用法

AVR TW はハイ志向で割り込みが基本です。割り込みはハイの受信や**開始条件**の送出のような全てのバスの事象後に起こります。TW は割り込みが基本のため、応用ソフトウェアは TW バス転送中に他の操作を続行するために開放されます。**ステータスレジスタ (SREG) の全割り込み許可 (ISET)**と共に **TW 制御レジスタ (TWCR) の TW 割り込み許可 (TWIE)**は、TWCR の **TW 割り込み要求フラグ (TWNT)** の設定 (1) が割り込み要求を発生すべきかどうかを決めることを応用 (ソフトウェア) に許します。TW Eビットが解除 (0) されると、応用 (ソフトウェア) は TW バスの動きを検知するために TW NTフラグをポーリングしなければなりません。

TW NTフラグが設定 (1) されると、TW は動作を終え、応用 (ソフトウェア) の応答を待ちます。この場合、TW 状態レジスタ (TWSR) は TW バスの現在の状態を示す値を含みます。そして応用ソフトウェアは TWCR と TWDR の操作により、TW が次の TW バス周期で何を行うべきかを決定できます。

図 21-10 は応用 (ソフトウェア) が TW ハードウェアにどうインターフェースできるかの簡単な例です。この例では主装置が単一データハイを従装置に送信しようします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なコード例も示されます。

図 21-10. 代表的な送信での応用プログラムと TW のインターフェース



TW 送信の最初の段階は**開始条件**を送出することです。これは TW ハードウェアに**開始条件**送出を命じる特別な値を TWCR 内に書くことによって行います。どんな値を書くかは後で記述されます。けれども、書かれる値で TW NTビットが設定 (1) されることが重要です。TW NTへの書き込みは、このフラグを解除 (0) します。TWCR で TW NTビットが設定 (1) されている限り、TW はどんな動作も始めません。応用 (ソフトウェア) が TW NTを解除 (0) した後、TW は直ちに**開始条件**の送出を始めます。

開始条件が送出されてしまうと、TWCR で TW NTフラグが設定 (1) され、TWSR は**開始条件**が正常に送出されてしまったことを示す状態符号に更新されます。

応用ソフトウェアは**開始条件**が正常に送信されたのを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア) は TWDR に **SLA+W** を設定しなければなりません。TWDR がアドレスとデータの両方に使用されることを思い出してください。TWDR が希望した **SLA+W** に設定されてしまった後、TWDR にある **SLA+W** の送信を TW ハードウェアへ命じる特別な値が TWCR に書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値で TW NTビットが設定 (1) されることが重要です。TW NTへの書き込みがこのフラグを解除 (0) します。TWCR で TW NTビットが設定 (1) されている限り、TW はどんな動作も始めません。応用 (ソフトウェア) が TW NTを解除 (0) した後、TW は直ちにアドレスパケットの送信を始めます。

アドレスパケットが送信されてしまうと、TWCR で TW NTフラグが設定 (1) され、TWSR はアドレスパケットが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がパケットに回答したかどうかも反映します。

応用ソフトウェアはアドレスパケットが正常に送信され、期待された **ACK** ビット値であることを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア) は TWDR に **データ** を設定しなければなりません。その後、TWDR にある **データ** の送信を TW ハードウェアへ命じる特別な値が TWCR に書かれなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値で TW NTビットが設定 (1) されることが重要です。TW NTへの書き込みがこのフラグを解除 (0) します。TWCR で TW NTビットが設定 (1) されている限り、TW はどんな動作も始めません。応用 (ソフトウェア) が TW NTを解除 (0) した後、TW は直ちに **データ** パケットの送信を始めます。

データパケットが送信されてしまうと、TWCR 内の TW NTフラグが設定 (1) され、TWSR はデータパケットが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がパケットに回答したかどうかも反映します。

応用ソフトウェアはデータパケットが正常に送信され、期待された **ACK** ビット値であることを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア) は **停止条件**の送出を TW ハードウェアへ命じる特別な値を TWCR に書かなければなりません。どんな値を書くかは後で記述されます。けれども書かれる値で TW NTビットが設定 (1) されることが重要です。TW NTへの書き込みがこのフラグを解除 (0) します。TWCR で TW NTビットが設定 (1) されている限り、TW はどんな動作も始めません。応用 (ソフトウェア) が TW NTを解除 (0) した後、TW は直ちに**停止条件**の送出を始めます。**停止条件**が送出されてしまった後に TW NTが設定 (1) されないことに注意してください。

この例は簡単とはいえ、全ての TW 送信に関係した原理を示しています。これらは次のように要約できます。

TW が動作を終了して応用ソフトウェアの反応を予想する時に TW NTフラグが設定 (1) されます。SCL信号線は TW NTが解除 (0) されるまで Lowに引き込まれます。

TW NTフラグが設定 (1) されると、使用者は次の TW 周期に関連した値で、必要な全ての TW レジスタを更新しなければなりません。例で示されるように TWDRは次の TW 周期で送信されるべき値を設定されなければなりません。

必要な全ての TW レジスタを更新し、その他保留中の応用ソフトウェアの処理が完了してしまった後に TWCRが書かれます。TWCR書き込み時、TW NTビットが設定 (1) されるべきです。TW NTへの書き込みはこのフラグを解除 (0) します。TWCR設定によってどの動作が指定されても、TW はその (TW NT=0) 後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは例えば インクルードファイルの使用により、様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語 プログラム例	C言語 プログラム例	注釈
	LDI R16, (1<<TWINT)   (1<<TWSTA)   (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)   (1<<TWSTA)   (1<<TWEN);	開始条件送出
	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	; TW NT=1 まで待機 ; 開始条件送出完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットの遮蔽 ; STARTと異なる状態符号で ; 異常処理へ
	LDI R16, SLA_W OUT TWDR, R16 LDI R16, (1<<TWINT)   (1<<TWEN) OUT TWCR, R16	TWDR = SLA_W; TWCR = (1<<TWINT)   (1<<TWEN);	; TWDRに SLA+W 設定 ; アドレス送信開始のため ; TWCRの TW NTを解除 (0)
	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	; TW NT=1 まで待機 ; SLA+W 送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットの遮蔽 ; MT_SLA_ACKと違う状態符号で ; 異常処理へ
	LDI R16, DATA OUT TWDR, R16 LDI R16, (1<<TWINT)   (1<<TWEN) OUT TWCR, R16	TWDR = DATA; TWCR = (1<<TWINT)   (1<<TWEN);	; TWDRにデータ設定 ; データ送信開始のため ; TWCRの TW NTを解除 (0)
	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	; TW NT=1 まで待機 ; データ送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットの遮蔽 ; MT_DATA_ACKと違う状態符号で ; 異常処理へ
	LDI R16, (1<<TWINT)   (1<<TWSTO)   (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)   (1<<TWSTO)   (1<<TWEN);	停止条件送出

注：6頁の「コード例について」をご覧ください。

## 21.7 転送種別

TW は 4 つの主な動作種別の 1 つで動けます。これらは送信主装置 (MT)、受信主装置 (MR)、送信従装置 (ST)、受信従装置 (SR) と名付けられます。これら種別の多くは同じ応用に使用できます。例えば、TW 方式の EEPROM 内にデータを書くのに TW は MT 動作を、EEPROM からデータを読み戻すのに MR 動作を使用できます。システム内に他の主装置が存在する場合、それらのいくつかは TW にデータを送信するかもしれず、すると ST 動作が使用されるでしょう。どの動作種別が適正かを決めるのは応用ソフトウェアです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のデータ転送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始 (START 条件)
Rs	再送開始 (REPEATED START 条件)
R	読み出し指定ビット (SDA=High)
W	書き込み指定ビット (SDA=Low)
A	確認応答 (ACK) ビット (SDA=Low)
Ā	非確認応答 (NACK) ビット (SDA=High)
Data	8 ビットデータバイト
P	停止 (STOP 条件)
SLA	従装置アドレス

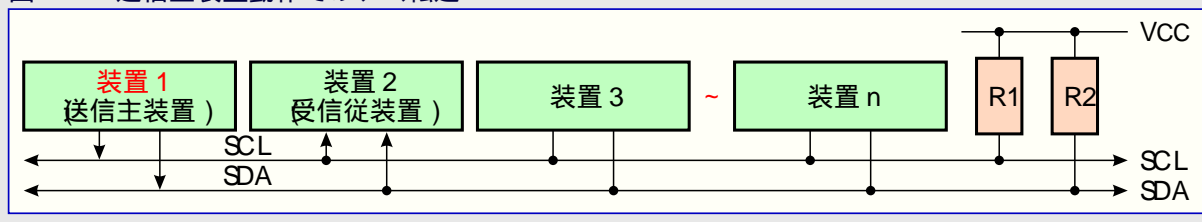
図 21-12 ~ 18 内の楕円 **訳注** 原文は円 は TW 制御レジスタ (TWCR) の TW 割り込み要求フラグ (TW NT) が設定 (1) されたことを示すのに使用されます。この楕円内の番号は前置分周選択ビットが 0 で遮蔽された TW 状態レジスタ (TWSR) に保持した状態符号を表します。これら位置での動きは TW 転送の継続または完了が応用 (ソフトウェア) によって行われなければなりません。TW 転送はソフトウェアによって TW NT フラグが解除 (0) されるまで一時停止されます。

TW 割り込み要求フラグ (TW NT) が設定 (1) される時の TW 状態レジスタ (TWSR) の状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対する必要なソフトウェア動作や後続の直列転送の詳細は表 21-2 ~ 5 で与えられます。これらの表に於いて前置分周選択ビットが 0 で遮蔽されていることに注意してください。

## 21.7.1 送信主装置動作

送信主装置動作では何バイトかのデータが受信従装置へ送信されます (図 21-11 参照)。主装置動作へ移行するには**開始条件**が送出されなければなりません。それに続くアドレスバケットの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されると送信主装置 (**MT**)へ移行し、**SLA+R**が送信されると受信主装置 (**MR**)へ移行します。本項で言及する全ての状態符号は**前置分周選択ビット**が**0**、または**0**で遮蔽されることが前提です。

図 21-11 送信主装置動作でのデータ転送



**開始条件**は **TWCR** に次の値を書くことによって送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**TWEN**は2線直列インターフェース(TWI)を許可するために設定 (**1**) されなければなりません。**TWSTA**は**開始条件**を送出するために **1** を書かれねばならず、**TWNT**は **TWNT**フラグを解除 (**0**) するために **1** を書かれなければなりません。そして **TW** は2線直列バスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、**TWNT**フラグがハードウェアによって設定 (**1**) され、**TWSR**の状態符号が \$08 (表 21-2 参照) になります。送信主装置へ移行するには **SLA+W** が送信されなければなりません。これは **TWDR** に **SLA+W** を書くことによって行います。その後、転送を継続するために **TWNT**ビットは (**1**) の書き込みによって解除 (**0**) されるべきです。これは **TWCR** に次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

**SLA+W** が送信されて応答ビットが受信されてしまうと、**TWNT**が再び設定 (**1**) され、**TWSR**の状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は \$18, \$20, \$38 です。これら状態符号の各々に対する適切な動作は表 21-2 で詳述されます。

**SLA+W** が正常に送信されてしまうと、データバケットが送信されるべきです。これは **TWDR** にデータバイトを書くことによって行われます。**TWDR**は **TWNT**が **1** の時にだけ書かれなければなりません。さもなければ、そのアドレスは破棄され、**TWCR**で**上書き発生 (TWWC) フラグ**が設定 (**1**) されます。**TWDR**更新後、転送を継続するために **TWNT**ビットは (**1**) の書き込みによって解除 (**0**) されるべきです。これは **TWCR** に次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

最後のバイトが送られてしまうまでこの手順が繰り返され、この転送は**停止条件**または**再送開始条件**を生成することによって終了されます。**停止条件**は **TWCR** に次の値を書くことによって生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

**再送開始条件**は **TWCR** に次の値を書くことによって生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

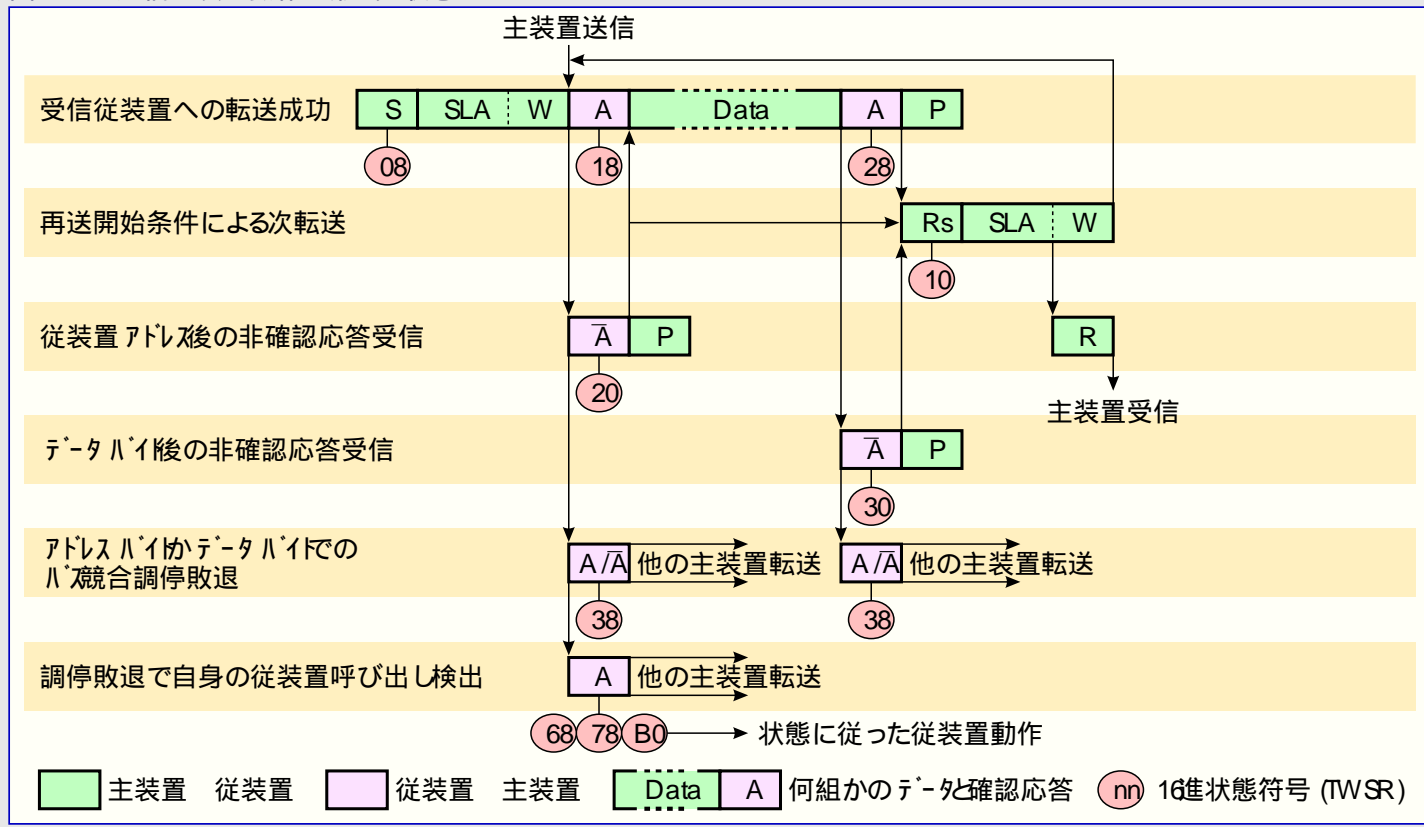
**再送開始条件** 状態符号 \$10 後、2線直列インターフェースは**停止条件**を送出せずに再び同じ従装置または新しい従装置にアクセスできます。**再送開始条件**は主装置がバスの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします (訳注 原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。



表 21-2 送信主装置動作の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
\$18	SLA+W送信 ACK受信	データ送信	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$20	SLA+W送信 NACK受信	データ送信	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$28	データハイ送信 ACK受信	データ送信	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$30	データハイ送信 NACK受信	データ送信	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$38	SLA+W, データハイで バス競合調停敗退	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信

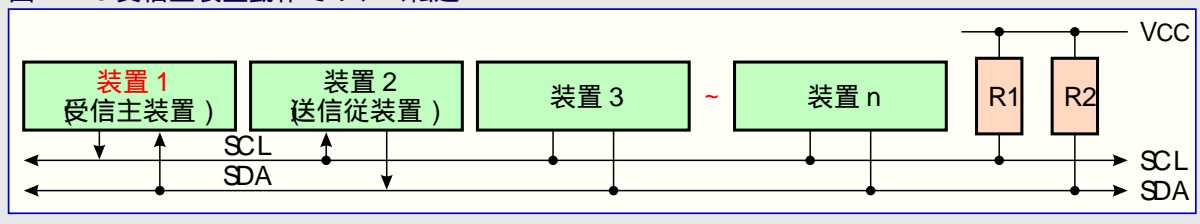
図 21-12 送信主装置動作の形式と状態



## 21.7.2.受信主装置動作

受信主装置動作では何バイトのデータが送信装置から受信されます (図 21-13 参照)。主装置動作へ移行するには**開始条件**が送出されなければなりません。それに続くアドレスバックの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されると送信主装置 (**MT**)へ移行し、**SLA+R**が送信されると受信主装置 (**MR**)へ移行します。本項で言及する全ての状態符号は**前置分周選択ビット**が **0**、または **0**で遮蔽されることが前提です。

図 21-13 受信主装置動作でのデータ転送



**開始条件**は **TWCR**に次の値を書くことによって送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**TWEN**は2線直列インターフェース(TWI)を許可するために設定 (**1**)されなければなりません。**TWSTA**は**開始条件**を送出するために **1**を書かれねばならず、**TWNT**はTWNTフラグを解除 (**0**)するために **1**を書かれなければなりません。そしてTWは2線直列バスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、TWNTフラグがハードウェアによって設定 (**1**)され、**TWSR**の状態符号が\$08 (表 21-3 参照) になります。受信主装置へ移行するには**SLA+R**が送信されなければなりません。これは**TWDR**に**SLA+R**を書くことによって行います。その後、転送を継続するためにTWNTビットは (**1**)の書き込みによって解除 (**0**)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

**SLA+R**が送信されて応答ビットが受信されてしまうと、TWNTが再び設定 (**1**)され、**TWSR**の状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は\$38,\$40,\$48です。これら状態符号の各々に対する適切な動作は表 21-3で詳述されます。

ハードウェアによってTWNTフラグが設定 (**1**)されると、受信したデータがTWDRから読めます。この手順は最後のバイトが受信されてしまうと繰り返されます。最後のバイトが受信されてしまった後、受信主装置は最後に受信したデータバイト後の**NACK**送信によって送信装置へ通知すべきです。この転送は**停止条件**または**再送開始条件**を生成することによって終了されます。**停止条件**はTWCRに次の値を書くことによって生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

**再送開始条件**はTWCRに次の値を書くことによって生成されます。

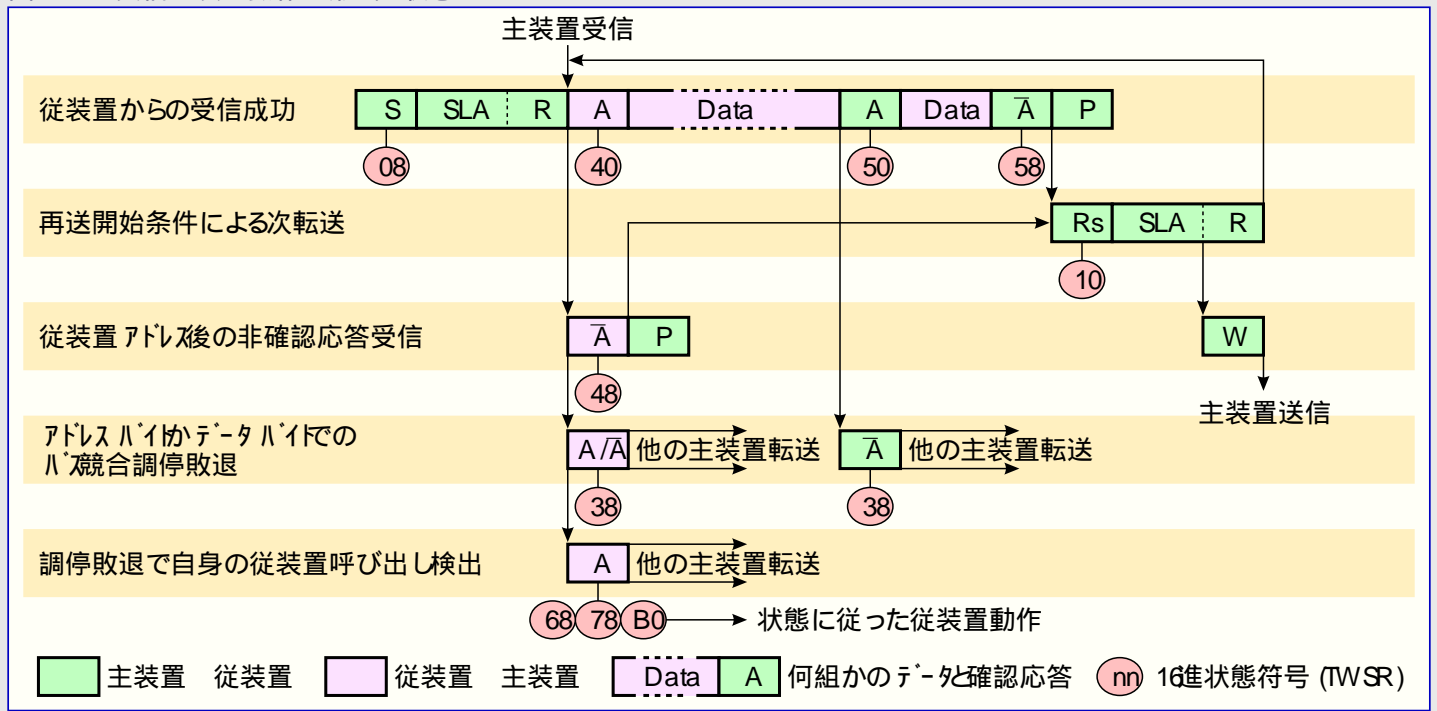
ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**再送開始条件** 状態符号 \$10 後、2線直列インターフェースは**停止条件**を送出せずに再び同じ従装置または新しい従装置にアクセスできます。**再送開始条件**は主装置がバスの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします (訳注 原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表 21-3. 受信主装置動作の状態符号 (注: TWSRの前置分周選択ビットは00の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
\$38	SLA+Rで調停敗退 またはNACK受信	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信
\$40	SLA+R送信 ACK受信	なし	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$50	データハイ受信 ACK応答	データ取得	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$58	データハイ受信 NACK応答	データ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0

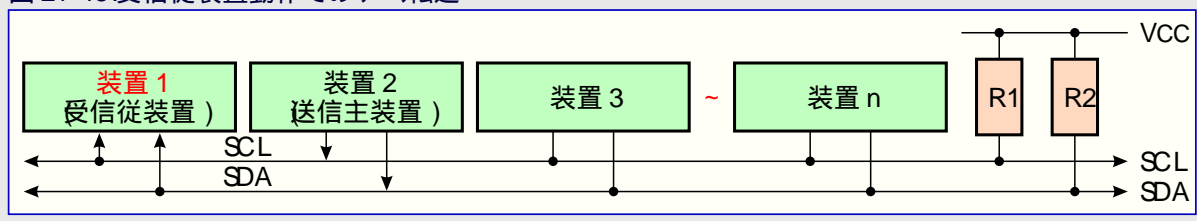
図 21-14. 受信主装置動作の形式と状態



### 21.7.3. 受信従装置動作

受信従装置動作では何バイトのデータも送信主装置から受信されます (図 21-15 参照)。本項で言及する全ての状態符号は**前置分周選択ビットが 0**、または **0** で遮蔽されることが前提です。

図 21-15. 受信従装置動作でのデータ転送



受信従装置動作を始めるには **TWAR** と **TWCR** が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位 7 ビットは主装置によってアドレス指定される時に 2 線直列インターフェースが応答するアドレスです。最下位 (**TWGCE**) ビットが設定 (1) されるなら、TW は一斉呼び出し (00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	0	1	0	0	0	1	0	X

**TWEN** は 2 線直列インターフェース (TWI) を許可するために 1 を書かれなければなりません。**TWEA** は装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。**TWSTA** と **TWSTO** は 0 を書かれなければなりません。

**TWAR** と **TWCR** が初期化されてしまうと、TW は自身の従装置アドレスまたは許可なら、一斉呼び出しアドレスとそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが **0** なら TW は受信従装置で動作し、さもなければ送信従装置へ移行されます。自身の従装置アドレスと **0** が受信されてしまった後に **TWNT** フラグが設定 (1) され、**TWSR** から有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対して行うべき適切な動作は表 21-4 で詳述されます。受信従装置動作は TW が主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号 \$68, \$78 参照)

転送中に **TWEA** ビットがリセット (0) されると、TW は次に受信したデータバイト後の SDA に非確認応答 (NACK) (SDA = High) を返します。これは従装置がこれ以上受信できないことを示すのに使用できます。**TWEA** が 0 の間中、TW は自身の従装置アドレスに回答しませんが、2 線直列バスは未だ監視され、アドレス認証は **TWEA** の設定 (1) によって何時でも再開できます。これは **TWEA** ビットが TW を 2 線直列バスから一時的に隔離するのに使用できることを意味します。

**アイドル動作** を除く **休止形態** では TW のクロック係が OFF にされます。**TWEA** ビットが設定 (1) されていると、このインターフェースはクロックとして 2 線直列バスクロック (SCL) を使用することにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後データバスが休止形態から起動し、TW は起動中から **TWNT** フラグが (書き込みによって解除 (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

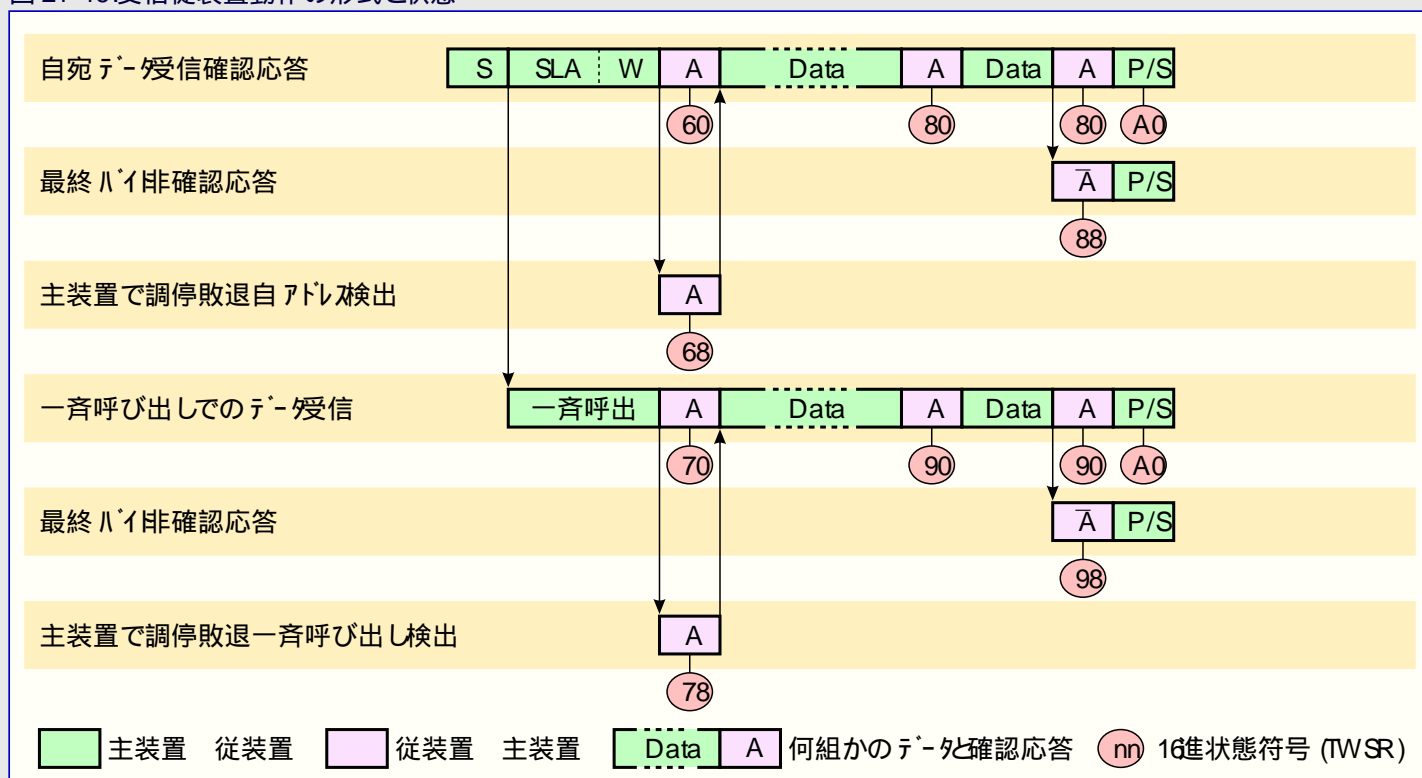
これらのアイドル動作を除く休止形態から起動すると、2 線直列インターフェースデータレジスタ (**TWDR**) がバスで渡す最後のバイトを反映しないことに注意してください。



表 21-4. 受信従装置動作の状態符号 (注: TWSRの前置分周選択ビットは00の前提)

状態符号 (TWSR)	直前の動作と ハイスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$60	自宛 SLA+W受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$68	主装置の SLA+R/Wで 調停敗退 / 自宛 SLA+ W受信 /ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$78	主装置の SLA+R/Wで 調停敗退 /一斉呼び 出し受信 /ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$80	自宛 データハイ受信 ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$88	自宛 データハイ受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信
\$90	一斉呼び出しのデータ ハイ受信 /ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$98	一斉呼び出しのデータ ハイ受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信
\$A0	自指定中の 停止条件または 再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信

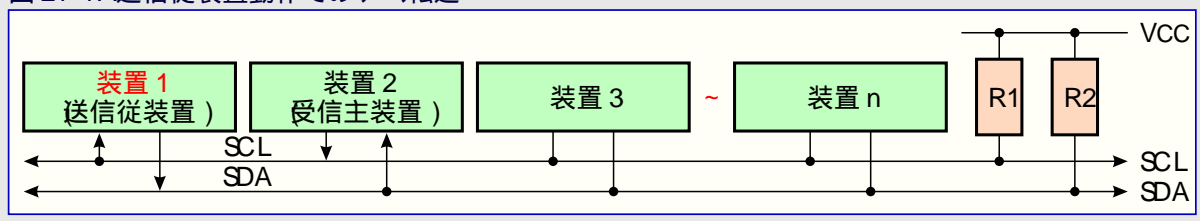
図 21-16. 受信従装置動作の形式と状態



## 21.7.4. 送信従装置動作

送信従装置動作では何ハイレベルのデータも送信主装置へ送信されず（図 21-17 参照）、本項で言及する全ての状態符号は前置分周選択ビットが 0 か、または 0 で遮蔽されることが前提です。

図 21-17 送信従装置動作でのデータ転送



送信従装置動作を始めるには **TWAR** と **TWCR** が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位 7 ビットは主装置によってアドレス指定される時に 2 線直列インターフェースが応答するアドレスです。最下位 (**TWGCE**) ビットが設定 (1) されるなら、TW は一斉呼び出し (\$00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

**TWEN** は 2 線直列インターフェース (TWI) を許可するために 1 を書かれなければなりません。**TWEA** は装置自身の従装置アドレスまたは一斉呼び出しアドレスの**確認応答 (ACK)** を許可するために 1 を書かれなければなりません。**TWSTA** と **TWSTO** は 0 を書かれなければなりません。

**TWAR** と **TWCR** が初期化されてしまうと、TW は自身の従装置アドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが 1 (R) ならば TW は送信従装置で動作し、さもなくば (0 (W) ならば 受信従装置へ移行されます。自身の従装置アドレスと R ビットが受信されてしまった後、**TWNTフラグ** が設定 (1) され、**TWSCR** から有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対して行うべき適切な動作は表 21-5 で詳述されます。送信従装置動作は TW が主装置動作の間で調停に敗れた場合にも移行されるかもしれません。（状態符号 \$B0 参照）

転送中に **TWEA** ビットが 0 を書かれると、TW は転送の最後のハイレベルを送信します。受信主装置が最終ハイレベル後に **ACK** または **NACK** のどちらを送信するかによって状態 \$C0 か \$C8 へ移行します。TW はアドレス指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列データとして全て 1 を受信します。従装置が最後のハイレベルを送信 (**TWEA** が 0 で主装置からの **NACK** を予測したとしても、主装置が **ACK** 送信によって追加データハイレベルを要求すると状態 \$C8 へ移行します。

**TWEA** が 0 の間中、TW は自身の従装置アドレスに応答しませんが、2 線直列バスは未だ監視され、アドレス認証は **TWEA** の設定 (1) によって何時でも再開できます。これは **TWEA** ビットが TW を 2 線直列バスから一時的に隔離するのに使用できることを意味します。

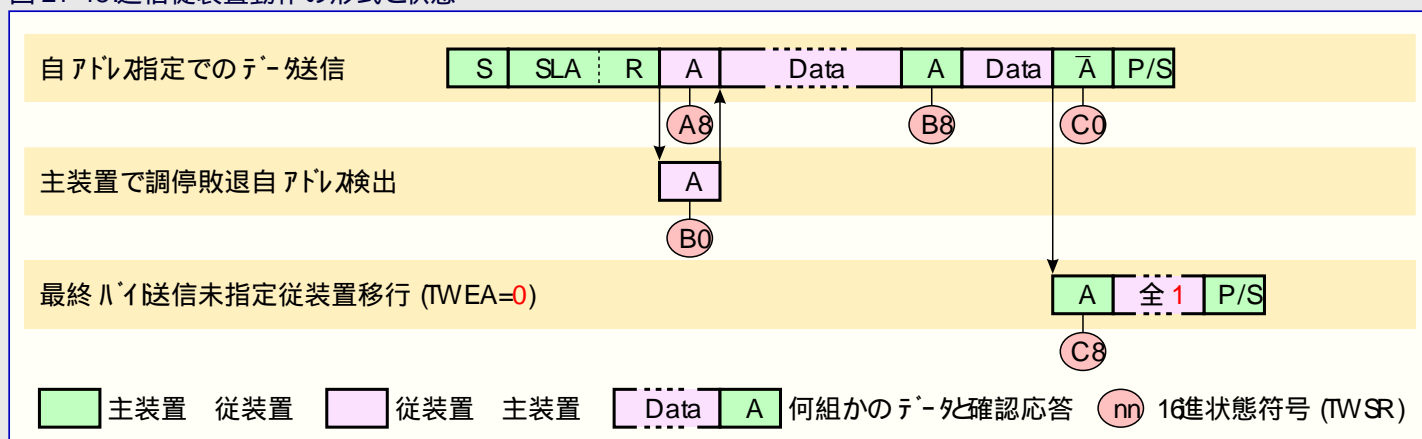
**アイドル動作** を除く**休止形態** では TW のクロック係が OFF にされます。**TWEA** ビットが設定 (1) されていると、このインターフェースはクロック元として 2 線直列バスクロック (SCL) を使用することにより、自身の従装置アドレスと一斉呼び出しに未だ**確認応答** できます。その後データハイレベルが休止形態から起動し、TW は起動中から **TWNTフラグ** が (1 書き込みによって解除 (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらのアイドル動作を除く休止形態から起動すると、2 線直列インターフェースデータレジスタ (**TWDR**) がバスで渡す最後のハイレベルを反映しないことに注意してください。

表 21-5 送信従装置動作の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$A8	自宛 SLA+R受信 ACK応答	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B0	主装置の SLA+R/Wで 調停敗退 / 自宛 SLA+ R受信 / ACK応答	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B8	データハイ送信 ACK受信	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$C0	データハイ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信
\$C8	最終データハイ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信

図 21-18 送信従装置動作の形式と状態



## 21.7.5. その他の状態

定義した TW 状態に従わない2つの状態符号があります。表 21-6をご覧ください。

状態 \$F8はTW割り込み要求フラグ(TWNT)が設定(1)されないで適切な情報が利用できないことを示します。これは他の状態間でTWが直列転送に関係しない時に起きます。

状態 \$00は2線直列バス転送中にバス異常が起きたことを示します。バス異常はフレーム形式の不正な位置で開始(START条件または停止(STOP)条件)が起きる時に発生します。このような不正位置の例はアドレスバイトデータバイト確認応答(ACK)ビットの直列転送中です。バス異常が起きるとTWNTが設定(1)されます。バス異常から回復するには、停止(STOP)条件生成許可(TWSTO)ビットが設定(1)され、TWNTが論理書き込みによって解除(0)されなければなりません。これはTWをアドレス指定されていない従装置動作にさせ、TWSTOビットを解除(0)させます(TWCRの他のビットは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表 21-6 その他の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$F8	適切な状態情報なし TWNT=0	なし	-	-	-	-	待機または現在の転送続行
\$00	不正な開始条件 / 停止条件でのバス異常	なし	0	1	1	X	停止条件を送出せずにバスを開放 TWSTO=0

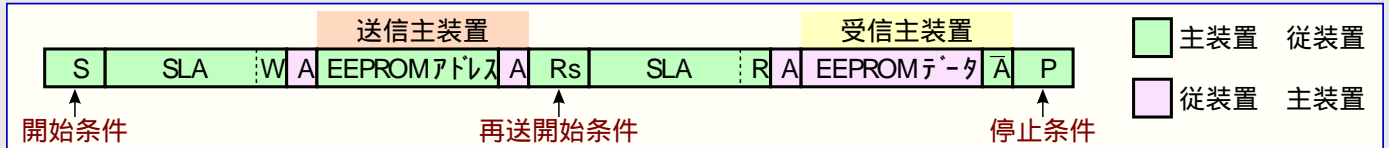
## 21.7.6.各種 TW動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々の TW 動作種別は組み合わせられなければなりません。例えば直列 EEPROMからのデータ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

- 転送が開始されなければなりません。
- EEPROMは読み出すべき場所を指示されなければなりません。
- 読み出しが実行されなければなりません。
- 転送が終了されなければなりません。

データが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にデータを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にバスの制御を保持しなければならず、この手順は排他的 非分断 操作として行われるべきです。複数主装置システムでこの原則に違反すると、他の主装置が 1 段階間で EEPROM内のデータポイントを変更するかもしれず、元の主装置は不正なデータ位置を読むでしょう。このような転送方向の切り替えはアドレスバスの送信とデータの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はバスの占有権を保持します。次の図はこの転送の流れを示します。

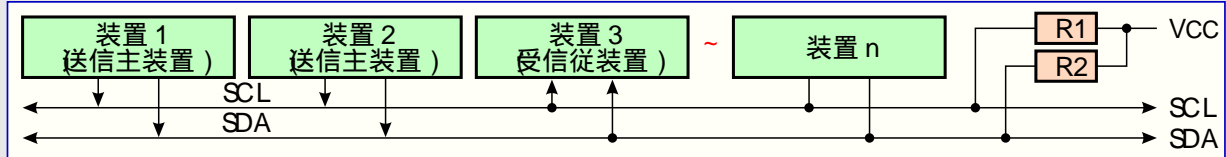
図 21-19.直列 EEPROMアクセスでの各種 TW動作種別の組み合わせ



## 21.8.複数主装置システムでのバス競合と調停

複数の主装置が同じバスに接続されると、それらの一つまたはそれ以上によって同時に送信が開始されるかもしれません。TW は主装置の一つが転送を続けることを許され、手順内でデータが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へデータを送信することを試みる場合の調停状況の例は以下で図示されます。

図 21-20.バスの競合調停例



以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

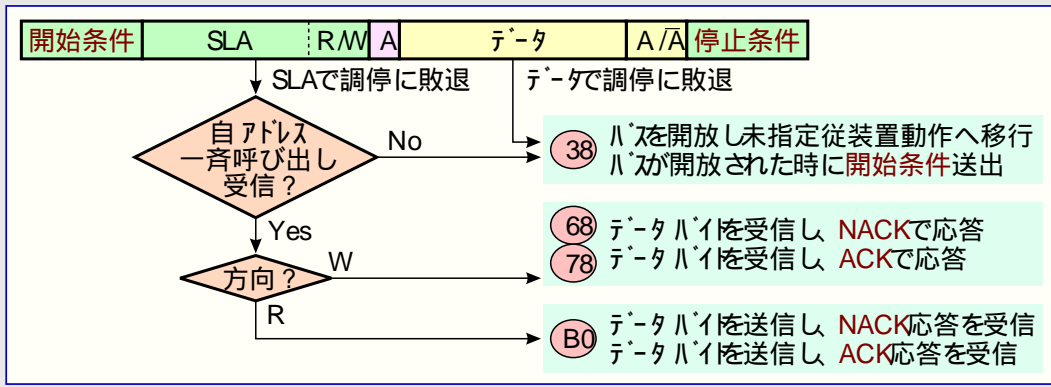
複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがバスの衝突について知りません。

複数の主装置が異なるデータまたは方向ビット(RW)で同じ従装置をアドレスする場合。この場合、RWビットまたはデータビットのどちらかで調停が起きます。他の主装置が SDAに 0 を出力する間に 1 を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待つて新規開始条件を送出します。

複数の主装置が異なる従装置をアドレスする場合。この場合、SLAビット内で調停が起きます。他の主装置が SDAに 0 を出力する間に 1 を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってアドレス指定されるかを確認するために従装置動作へ切り替えます。アドレス指定されると、RWビットの値によって受信従装置 (SR 動作または送信従装置 (ST) 動作へ切り替えます。アドレス指定されないなら、応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待つて新規開始条件を送出します。

これは図 21-21 で要約されます。利用可能な状態符号は楕円 記号 原文は円 で与えられます。

図 21-21.バスの競合調停によって発生する利用可能な状態符号





## 21.9. TW用レジスタ

### 21.9.1. TWビット速度レジスタ (TW Bit Rate Register) TWBR

ビット (\$70)	7	6	5	4	3	2	1	0	
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 0 - TWBR7 - 0 : TWビット速度選択 (TW Bit Rate Register)

TWBRはビット速度発生器用の分周値を選びます。ビット速度発生器は主装置動作でのSCLクロック周波数を生成する周波数分周器です。ビット速度の計算については132頁の「ビット速度発生器」をご覧ください。

### 21.9.2. TW制御レジスタ (TW Control Register) TWCR

ビット (\$74)	7	6	5	4	3	2	1	0	
	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE	TWCR
Read/W rite	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTW動作の制御に使用されます。TWの許可、バス上に開始条件を印加することによる主装置のアクティバ開始、受信装置の応答生成、停止条件の生成、バスにデータを送出するためのTWデータレジスタ(TWDR)への書き込み中のバスの一時停止制御に使用されます。TWDRがアクティブ不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

ビット7 - TWNT : TW割り込み要求フラグ (TW Interrupt Flag)

このビットはTWが現在の作業を終了し、応用ソフトウェアの応答が予測されるとき、ハードウェアによって設定(1)されます。TW制御レジスタ(TWCR)のTW割り込み許可(TWE)ビットとステータスレジスタ(SREG)の全割り込み許可(IF)ビットが設定(1)されているとMCUはTW割り込みベクタへ飛びます。TWNTフラグが設定(1)の間中、SCLのLow期間は引き伸ばされます。TWNTフラグは論理1書き込みによってソフトウェアで解除(0)されなければなりません。このフラグが割り込みルーチンを実行する時に自動的に解除(0)されないことに注意してください。このフラグの解除(0)がTW動作を始めるので、このフラグを解除(0)する前にTWアドレスレジスタ(TWAR)、TWデータレジスタ(TWDR)、TW状態レジスタ(TWSR)への全てのアクティバが完了していなければならないことに注意してください。

ビット6 - TWEA : 確認応答 (ACK許可) (TW Enable Acknowledge Bit)

TWEAビットは確認応答(ACK)パルスの生成を制御します。TWEAビットが1を書かれ、次の条件に合致すると、TWバスにACKパルスが生成されます。

- 装置が自分用の従装置アドレスを受信した場合。
- TWアドレスレジスタ(TWAR)の一斉呼び出し検出許可(TWGCE)ビットが設定(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でデータハイを受信した場合。

TWEAビットに0を書くことによって一時的かつ仮想的に装置を線直列バスから切り離すことができます。アドレス認証はその後によりTWEAビットに1を書くことによって再開できます。

ビット5 - TWSTA : 開始 (START条件生成許可) (TW I START Condition Bit)

線直列バスの主装置になることを欲する時に応用はTWSTAビットに1を書きます。TWハードウェアはバスが利用可能かを検査し、開放ならばバスに開始条件を生成します。しかし、バスが未開放の場合、TWは停止条件が検出されるまで待ち、その後にバス主権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にソフトウェアで解除(0)されなければなりません。

ビット4 - TWSTO : 停止 (STOP条件生成許可) (TW I STOP Condition Bit)

主装置動作でTWSTOビットに1を書くことが線直列バスに停止条件を生成します。停止条件がバスで実行されると、TWSTOビットは自動的に解除(0)されます。従装置動作でのTWSTOビットの設定(1)は異常状態からの回復に使用できます。これは停止条件を生成しませんが、TWは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をハイZ状態に開放します。

ビット3 - TWWC : TW止書き発生フラグ (TW I W rite Collision Flag)

TW割り込み要求フラグ(TWNT)が0の時にTWデータレジスタ(TWDR)への書き込みを試みると、このTWWCフラグが設定(1)されます。このフラグはTWNTが1の時のTWDR書き込みによって解除(0)されます。

ビット2 - TWEN : TW動作許可 (TW Enable Bit)

TWENビットはTW動作を許可し、TWインターフェースを活性(有効)にします。TWENが1を書かれると、TWはSCL、SDAピンに接続したI/Oピンを制御できるようになり、スライダ波器とスリューレー制限器を許可します。このビットが0を書かれると、TWがOFFにされ、どんな進行中の動作にも関係なく、全てのTW送信が終了されます。

ビット1 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

## ビット0 - TWE : TW割り込み許可 (TW Interrupt Enable)

このビットが1を書かれ、**ステータスレジスタ(SREG)の全割り込み許可 (I)ビット**が設定(1)されていると、**TW割り込み要求フラグ(TWNT)**が1である限り、TW割り込み要求が活性に発生されます。

### 21.9.3. TW状態レジスタ (TW I Status Register) TWSR

ビット (\$71)	7	6	5	4	3	2	1	0	
	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

## ビット7~3 - TWS7~3 : TW状態 (TW I Status)

これら5ビットはTW論理回路と2線直列バスの状態を反映します。各種状態符号は139頁からの「**転送種別**」で記述されます。TWSRから読む値が5ビットの状態符号と2ビットの前置分周値の両方を含むことに注意してください。応用設計者は状態ビットを検査する時に前置分周器ビットを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのデータシート内で使用されます。

## ビット2 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読めます。

## ビット1:0 - TWPS1:0 : TW前置分周器選択 (TW I Prescaler Bits)

これらのビットは読み書きでき、ビット速度の前置分周器を制御します。

ビット速度を計算するには132頁の「**ビット速度発生器**」をご覧ください。TWPS1~0の値はこの式で使用されます。

表 21-7. TWビット速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

### 21.9.4. TWデータレジスタ (TW I Data Register) TWDR

ビット (\$73)	7	6	5	4	3	2	1	0	
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次のバイトを含みます。受信動作でのTWDRは最後に受信したバイトを含みます。TWDRはTWがバイトをシフトする手順でない間に書き込み可能です。これは**TW制御レジスタ(TWCR)のTW割り込み要求フラグ(TWNT)**がハードウェアによって設定(1)されると起きます。最初のTW割り込みが起こる前にデータレジスタ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのデータはTWNTが安定して設定(1)されている限り持続します。データがシフト出力される間、バスのデータが同時にシフト入力されます。TW割り込みによる休止形態からの起動後を除いて、TWDRは常にバスに現れる最後のバイトを含みます。この例外の場合のTWDRの内容は不定です。バス調停に敗れた場合の主装置から従装置への移行でもデータは失われません。**確認応答(ACK)**ビットの扱いはTW論理回路によって自動的に制御され、CPUはACKビットを直接的にアクセスできません。

## ビット7~0 - TWD7~0 : TWデータ (TW I Data)

これら8ビットは送信されるべき次のデータバイトまたは2線直列バスで最後に受信したデータバイトを構成します。

### 21.9.5. TWI(従装置)アドレスレジスタ (TW I (Slave) Address Register) TWAR

ビット (\$72)	7	6	5	4	3	2	1	0	
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

TWARは従装置の送受信装置として設定した時にTWが応答する7ビット従装置アドレスを(TWAR上位7ビットに)設定されるべきで、主装置動作では必要とされません。複数主装置のシステムでは、他の主装置によって従装置としてアドレス指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ビット(TWGCE)は一斉呼び出しアドレス(\$00)認証の許可に使用されます。これらは受信した直列アドレスで従装置アドレス(と許可ならば一斉呼び出しアドレス)を捜す関連アドレス比較器です。一致が見つかったら割り込み要求が生成されます。

## ビット7~1 - TWA6~0 : TW従装置アドレス (TW I (Slave) Address)

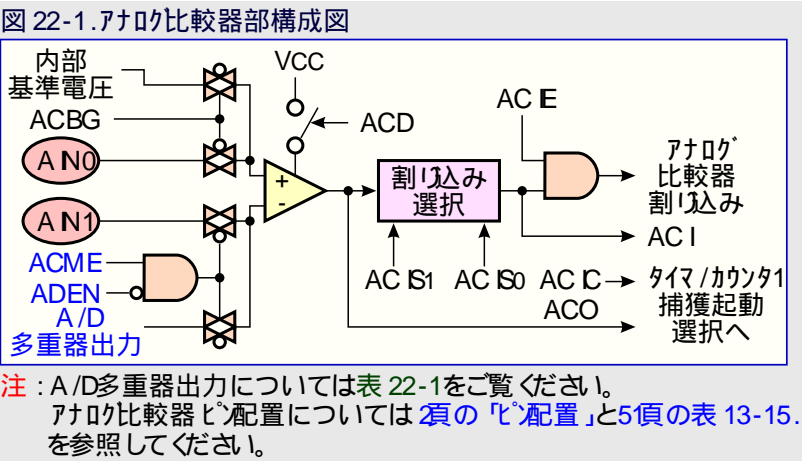
これら7ビットはTW部の従装置アドレスを構成します。

## ビット0 - TWGCE : 一斉呼び出し検出許可 (TW I General Call Recognition Enable Bit)

設定(1)なら、このビットは2線直列バスを伝って与えられる一斉呼び出しの認証検出を許可します。

22. アナログ比較器

アナログ比較器は非反転入力 A N0ピンと反転入力 A N1ピンの入力値を比較します。非反転 A N0ピンの電圧が反転 A N1ピンの電圧より高い時に ACSRの **アナログ比較器出力 (ACO)** ビットが設定 (1) されます。この比較器出力はタイマ/カウンタの捕獲機能を起動するように設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図 22-1で示されます。



22.1. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのに ADC7~ のどれかを選択することができます。A/D変換の多重器がこの入力選択に使用され、従ってこの機能を利用するために A/D変換部がOFF (動作禁止) にされなければなりません。SFDRの **アナログ比較器多重器許可 (ACME)** ビットが設定 (1) され、A/D変換部がOFF (ADCSRAの ADENビットが 0) にされていれば、表 22-1で示されるように **ADMUXのチャネル選択 (MUX2~ 0)** ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEが解除 (0) またはADENが設定 (1) されると、A Nがアナログ比較器への反転入力に印加されます。

表 22-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2~ 0	アナログ比較器反転入力	備考
0	x	x x x	A N1	
1	1	x x x		
	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	
		1 1 1	ADC7	

22.2. アナログ比較器用レジスタ

22.2.1. 特殊 I/O機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット3 - ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)  
このビットが論理 1を書かれ、A/D変換部がOFF (ADCSRAの ADENビットが 0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理 0を書かれると、A Nがアナログ比較器の反転入力に印加されます。このビットの詳細な記述については上の「アナログ比較器入力選択」をご覧ください。

## 22.2.2. アナログ比較器 制御 / 状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACE	ACC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

### ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理 1 を書かれると、アナログ比較器への電力が OFF にされます。このビットはアナログ比較器を OFF にするために何時でも設定 (1) できます。これは通常動作や **アイドル動作** で電力消費を削減します。ACD ビットを変更する時に ACSR の **アナログ比較器割り込み許可 (ACE) ビット** を解除 (0) することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こります。

### ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定 (1) されると、内部基準電圧 (公称 1.23V) がアナログ比較器への非反転入力に取って代わります。このビットが解除 (0) されると、AN0 がアナログ比較器の非反転入力に印加されます。3 頁の **内部基準電圧** をご覧ください。

### ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接 ACO へ接続されます。この同期化は 1~2 クロック周期の遅延をもたらします。

### ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事が ACSR の **アナログ比較器割り込み条件 (ACIS1) ビット** によって定義した割り込み方法で起動する時に設定 (1) されます。ACSR のアナログ比較器割り込み許可 (ACE) ビットが設定 (1) され、**ステータスレジスタ (SREG) の全割り込み許可 (IF) ビット** が設定 (1) されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、AC はハードウェアによって解除 (0) されます。代わりにこのフラグへ論理 1 を書くことによっても AC は解除 (0) されます。

### ビット3 - ACE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACE ビットが論理 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IF) ビットが設定 (1) されていると、アナログ比較器割り込みが有効にされます。論理 0 を書かれると、この割り込みは禁止されます。

### ビット2 - ACC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理 1 を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタの捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ捕獲割り込みの**雑音消去機能**と**エッジ選択機能**を利用させる**捕獲入力前置論理回路**へ直接的に接続されます。論理 0 を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ捕獲割り込みを起動するには、**タイマ/カウンタ割り込みマスクレジスタ (TMSK) の捕獲割り込み許可 (TCE1) ビット** が設定 (1) されなければなりません。

### ビット1:0 - ACIS1:0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表 22-2 で示されます。

ACIS1 ACIS0 ビットを変更する時に ACSR のアナログ比較器割り込み許可 (ACE) ビットを解除 (0) することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表 22-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (ゲル)
0	1	予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端



## 23.A/D変換器

### 23.1.特徴

10ビット分解能  
 積分性非直線誤差 0.75LSB  
 絶対精度  $\pm 1.5$ LSB  
 変換時間 13~ 260 $\mu$ s  
 76.9kSPS採取 /sまで (最大分解能で15kSPSまで)  
 8チャンネルのシングルエンド入力多重器内蔵  
 7チャンネルの差動入力チャンネル  
 $\times 10, \times 200$ の任意利得付き2つの差動入力チャンネル  
 A/D変換結果読み出しに対する任意の左揃え  
 0~ VCC A/D変換入力電圧範囲  
 2.7~ VCC 差動A/D変換電圧範囲  
 選択可能な2.56V A/D変換基準電圧  
 連続と単独の変換動作  
 割り込み元の自動起動によるA/D変換開始  
 A/D変換完了割り込み  
 休止形態雑音低減機能

### 23.2.概要

ATmega64Aは10ビット逐次比較A/D変換器が特徴です。このA/D変換器はポートFのピンから構成された8つのシングルエンド電圧入力を許す8チャンネルアナログ多重器に接続されます。このシングルエンド電圧入力には0V (GND)が基準です。

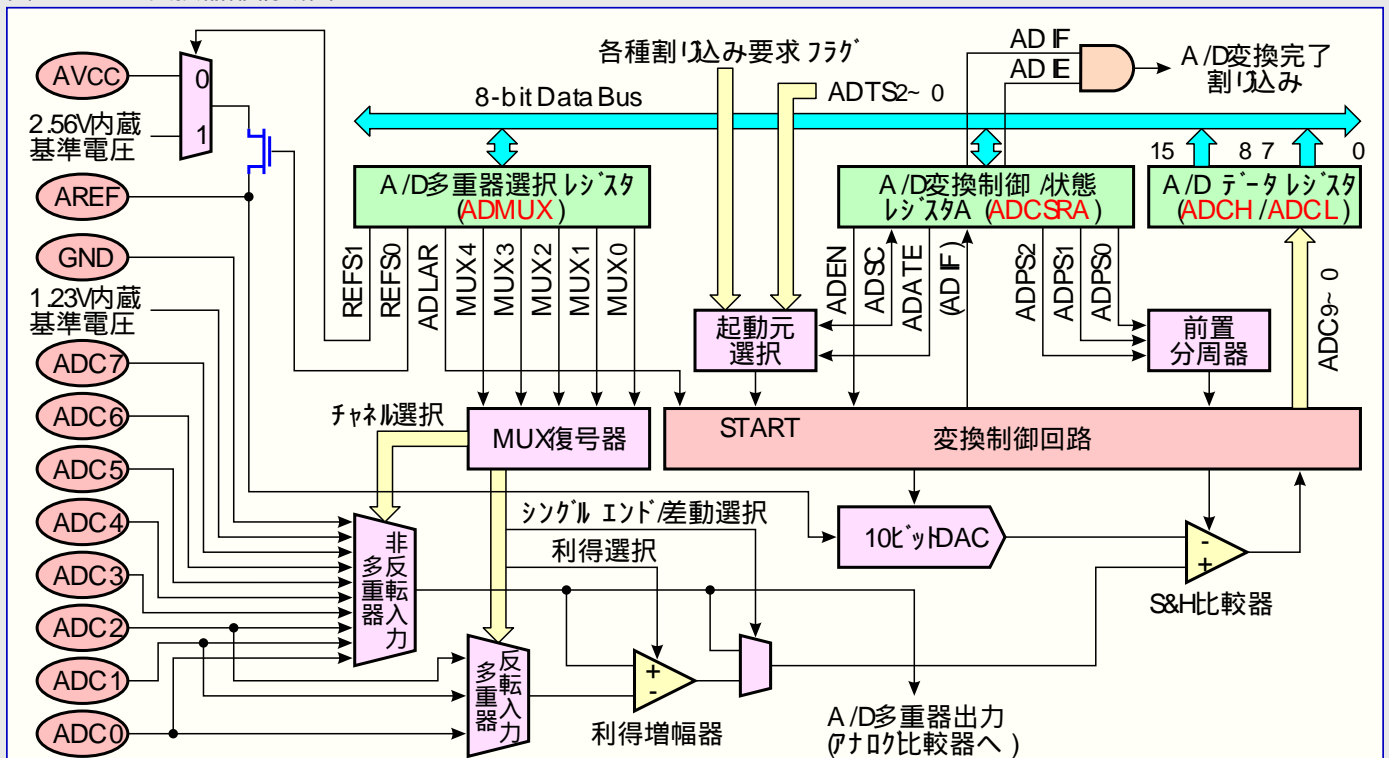
テーブルは16通りの差動電圧入力も支援します。差動入力の2つ (ADC1/ADC0とADC3/ADC2)は、A/D変換前の差動入力電圧で0dB ( $\times 1$ )、20dB ( $\times 10$ )、46dB ( $\times 200$ )の増幅段を提供する設定変更可能な利得段が装備されます。7つの差動アナログ入力は共通反転端子 (ADC1を共用し、一方他のADC入力是非反転入力端子として選択できます。利得 $\times 1$ または $\times 10$ が使用される場合は8ビット分解能が期待でき、利得 $\times 200$ が使用される場合は7ビット分解能が期待できます。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持 (S/H)回路を含みます。A/D変換部の構成図は図23-1で示されます。

A/D変換部には分離されたアナログ電源供給ピン (AVCC)があります。AVCCはVCCから $\pm 0.3$ Vより多く違ってはなりません。このピンの接続方法は155頁の「雑音低減技術」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがチップ上で提供されます。この基準電圧は雑音特性向上のため、コンデンサによってAREFピンで外部的にテカッ雑音分離できます。

図 23-1.A/D変換器部構成図



### 23.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンの電圧 - 1LSBを表します。A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1:0)ビットへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFピンに接続できます。この内部基準電圧は雑音耐性を改善するためにAREFピンで外部コンデンサによってテックアップ雑音結合減少のようになります。

アナログ入力チャネルと差動利得はADMUXのチャネル選択(MUX4~0)ビットへの書き込みによって選択されます。GNDと固定基準電圧(1.23V内蔵基準電圧(VBG))だけでなく、どのADC入力ピン(ADC7~0)がA/D変換器のシングルエンド入力として選択できます。ADC入力ピンの選択は差動利得増幅器への反転と非反転入力として選択できます。

差動チャネルが選択されると、差動利得段は選択した入力チャネル間の差電圧を選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャネルが使用されると、利得増幅器全体が迂回無視されます。

A/D変換部はA/D変換制御/状態レジスタ(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって動作が許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH、ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で示されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で示せます。

この結果が左揃え補正され、8ビットを超える精度が必要とされない場合はADCHを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まなければならないかもしれません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH、ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH、ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH、ADCLへのA/D変換器アクセスが再び許可されます。

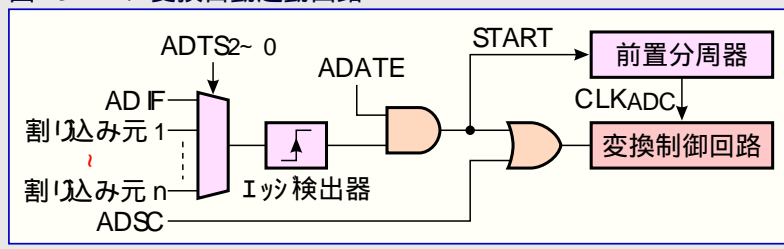
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

### 23.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D制御/状態レジスタ(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセット、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中に、この起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(IF)ビットが解除(0)であっても、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければならないかもしれません。

図 23-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使用することは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取変換とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければならないかもしれません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、継続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使用できます。ADSCビットは変換がどう開始されたかにかかわらず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については158頁の「雑音低減機能」をご覧ください。(訳注 共通性から2行追加)

### 23.5.前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに 50~ 200kHz の入力 クロック周波数を必要とします。10ビットは低い分解能が必要とされるなら、A/D変換器への入力 クロック周波数はより高い採取速度を得るために 200kHz より高くできます。

A/D変換部は 100kHz 以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2~ 0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を保ち、ADENが0の時は継続的にリセットされます。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。差動入力変換タイミングの詳細については156頁の「差動増幅チャネル」を参照してください。

通常の変換は1変換クロック周期で行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH/ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

自動起動が使用されると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して、追加の3CPUクロック周期が費やされます。

A/D変換完了以外の要因からの自動起動を伴う差動動作を使用するとき、各変換は25変換クロックを必要とします。これはA/D変換器が毎変換後、禁止そして再許可されなければならないからです。

連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については表23-1をご覧ください。

図 23-3. A/D変換前置分周器部構成

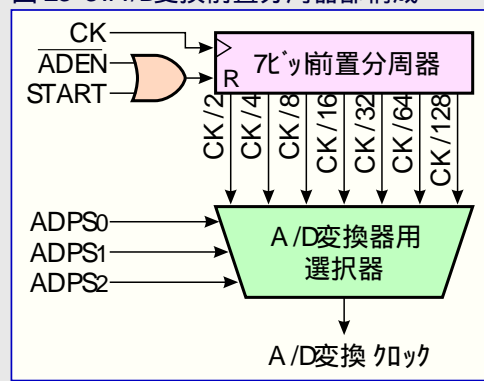


図 23-4. 初回変換タイミング(単独変換動作)

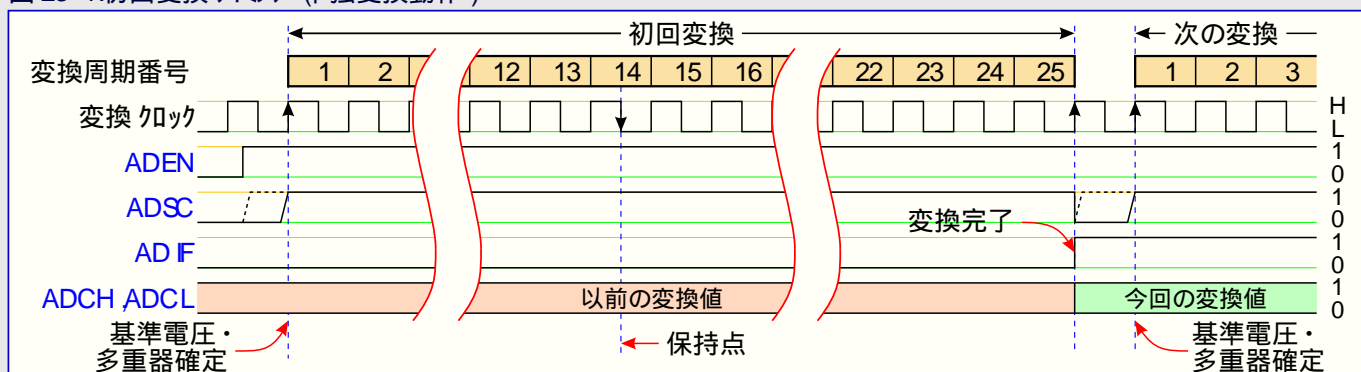


図 23-5. 通常変換タイミング(単独変換動作)

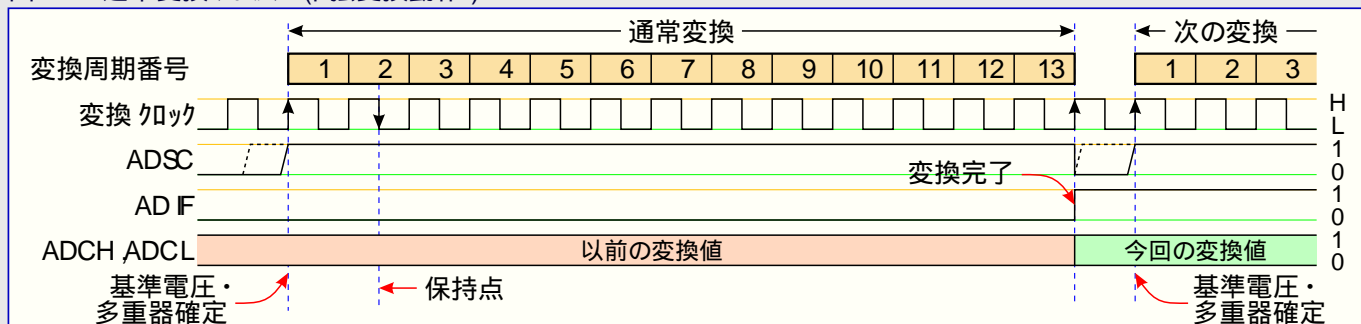


図 23-6 通常変換 タイミング (自動起動変換動作)

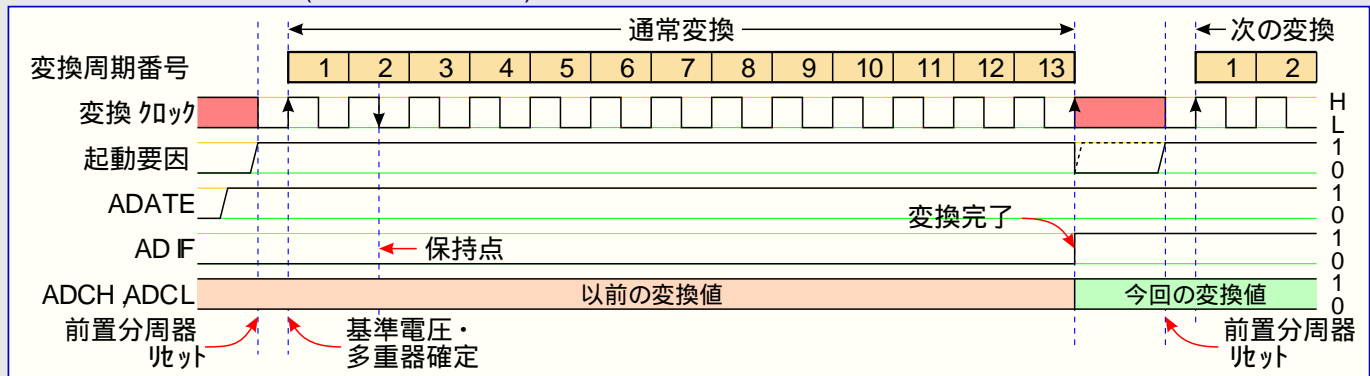


図 23-7 連続変換動作 タイミング

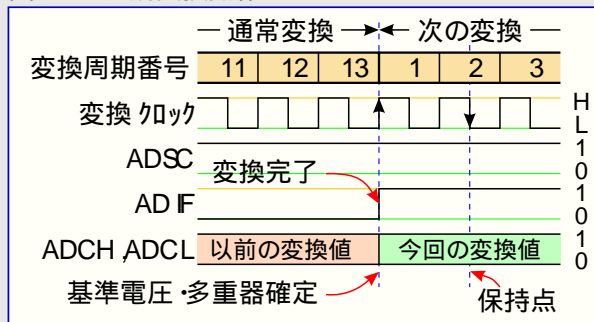


表 23-1 A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5
差動入力通常変換	1.5/2.5 (注 1)	13/14 (注 1)

注：変換時間を除く各値は変換開始からの変換 クロック数です。

注 1: CKADC の状態に依存 (訳注 共通性から追加)

### 23.5.1 差動増幅 チャネル

差動増幅 チャネルを使用するとき、変換の±方向を考慮に入れる必要があります。

差動変換は変換 クロックの半分に等しい内部 クロックCKADCに同期化されます。この同期化は採取 & 保持がCKADCの特定位相で起きるといような方法で A/D変換器 インターフェイスによって自動的に行われます。CKADCが Low の時に使用者によって変換が開始されると即ち全ての単独変換と連続変換の最初、シングル エンド入力変換 次の前置分周した クロック周期から13変換 クロック周期と同じ変換時間になります。CKADCが High の時に使用者によって変換が開始されると、同期化機構のために1変換 クロック周期になります。連続変換動作では直前の変換完了後、直ちに次の変換が開始され、この時にCKADCが High のため、自動的に開始される全ての連続変換 即ち、初回を除く全ては1変換 クロック周期になります。

利得段は全利得設定に於いて帯域幅 4kHzで最適化されています。より高い周波数は非直線増幅に陥るかもしれません。利得段帯域幅より高い周波数成分を含む入力信号の場合、外部低域通過濾波器 (ローパス フィルタ) が使用されるべきです。A/D変換 クロック周波数が利得段帯域幅制限と無関係なことに注意してください。例えば A/D変換 クロック周期が 6μsでは、このチャネルの帯域幅とは無関係に 12k採取 /sでの採取をチャネルに許せます。

差増増幅 チャネルが使用され、自動起動によって変換が開始される場合、A/D変換部は変換の間、OFFに切り替えられなければならない。自動起動が使用されるとき、A/D用前置分周器は変換が開始される前に リセットされます。利得段は変換以前の安定した A/D変換 クロックに関係するため、この変換は有効ではありません。各変換間の A/D変換部の動作禁止とその後の許可 (ADCSRAの ADEN の書き込み後の 書き込み) では、延長した変換 初回変換 だけが実行されます。この延長した変換からの結果は有効です。詳細 タイミングについては 155頁の 前置分周と変換 タイミング をご覧ください。



## 23.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX4~0ビット)と基準電圧選択(REFS1~0ビット)はCPUがランダムにアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSCビット)が書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、変換クロック周期経過まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことを推奨されます。

自動起動が使用される場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

ADENまたはADATEが解除(0)されているとき。

変換開始後、最低変換クロック周期経過後の変換中。

変換後から、変換起動元として使用した割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

差動入力チャネルを変更する時に特別な注意が払われるべきです。一旦差動入力チャネルが選択されてしまうと、利得段は新しい値に安定するのに125μs程度かかるかもしれません。従って変換は新規差動入力チャネル選択後の最初の125μs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。

(ADMUXのREFS1~0ビットの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定安定時間が厳守されるべきです。

JTAGインターフェースが許可されると、PORTF7~4のADC入力チャネル機能が無効にされます。53頁の表13-18を参照してください。

### 23.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

差動増幅チャネルへ切り替える時に自動オフセット消去回路用の設定時間が必要なので、最初の変換結果は貧弱な正確さとなってしまいます。使用者は最初の変換結果をなるべくなら無視すべきです。

### 23.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングルエンド入力チャネルは\$3FFで打ち切るコードに帰着します。VREFはAVCC、内部2.56V基準電圧、外部AREFピンのどれかとして選択できます。

AVCCは受動型スイッチを通してA/D変換部に接続されます。内部2.56V基準電圧は内蔵基準(バンドギャップ)電圧(VBG)から内部増幅器を通して生成されます。どちらの場合でも外部AREFピンは直接的にA/D変換部へ接続され、AREFピンとGND間にコンデンサを接続することにより、基準電圧は雑音耐性をより高められます。VREF電圧は高入力インピーダンス電圧計とAREFピンで測定することもできます。VREFは高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピンに接続された固定電圧源にするなら、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使用してはなりません。外部電圧がAREFピンに印加されないなら、使用者は基準電圧選択としてAVCCと内部2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

差動入力チャネルが使用される場合、選択した基準電圧は21頁の表28-6で示されるようにAVCCに近くすべきではありません。

## 23.7 雑音低減機能

このA/D変換部はCPUコアと他の周辺 I/Oが誘導した雑音を削減するために**休止形態**中の変換を可能にする雑音低減機能が特徴です。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使用できます。この機能を使用するには次の手順が使用されるべきです。

A/D変換部が許可 (**ADEN=1**)され、変換中でない (**ADSC=0**)ことを確認してください。単独変換動作が選択 (**ADATE=0**)され、且つ A/D変換完了割り込みが許可 (**ADIF=1**)されていなければなりません。

A/D変換雑音低減 またはアイドル動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。

A/D変換完了前に他の割り込みが起これなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ**0**を書くことが推奨されます。このような休止形態でA/D変換が許可され、使用者が差動変換の実行を欲する場合、使用者は有効な結果を得るための延長した 初回変換を指示するために、休止形態から起動後にA/D変換部をOFF ON (**ADEN=0 1**)に切り替えることが推奨されます。

### 23.7.1. アナログ入力回路

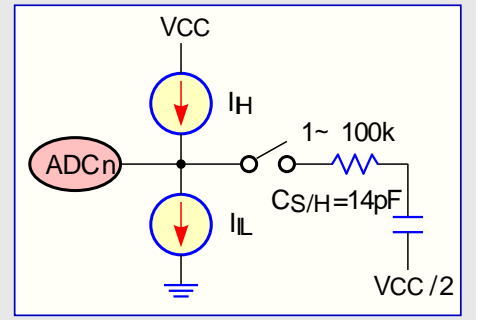
シングルエンド入力チャネルのアナログ回路は図 23-8で図示されます。ADCnに印加したアナログ信号源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、アナログ信号源は直列抵抗 (入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね 10kΩ 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このようなアナログ信号源が使用されるなら、採取時間は無視してもよいでしょう。より高いインピーダンスのアナログ信号源が使用される場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するためにアナログ信号源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンスアナログ信号源だけを使用することが推奨されます。

差動増幅チャネルが使用される場合、この入力回路は多少違って見えるので、数 100kΩ またはそれ以下の供給元インピーダンスが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数 ( $f_{ADC}/2$ )より高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器 (ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図 23-8. アナログ入力回路



### 23.7.2. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定に影響を及ぼすかもしれないEMを発生します。精密な変換精度が必要な場合、次の技法を適用することによって雑音レベルを低減できます。

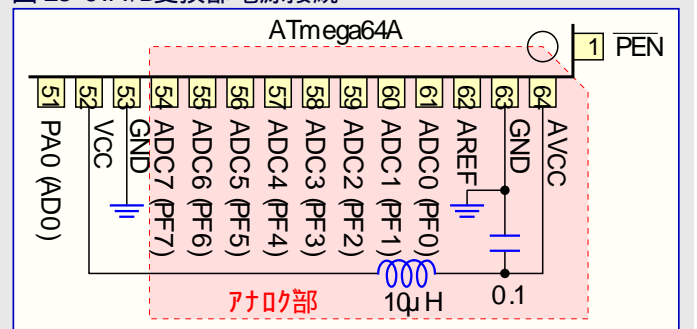
アナログ信号経路を可能な限り最短にしてください。アナログ信号線がGND面上を走ることに注意し、高速切り替えデジタル信号線から充分離すことを守ってください。

デバイスのAVCCピンは図 23-9で示されるようにLC濾波器を経由してデジタル供給電圧 (VCC)に接続されるべきです。

CPUからの誘導雑音を低減するために**A/D変換の雑音低減機能**を使用してください。

どれかのADCポートピンがデジタル出力として使用される場合、これらが変換進行中に切り替わらないことが重要です。

図 23-9. A/D変換部電源接続



### 23.7.3. オフセット補償の仕組み

利得段には差動測定のアナログをできるだけ無効にする組み込みオフセット補正回路があります。アナログ経路内の残留オフセットは両差動入力に対して同じチャネルを選択することによって直接的に計測できます。その後この残留オフセットは計測結果からソフトウェアで減算できます。このオフセット補正に基いたソフトウェア手法の使用はどのチャネルのオフセットも1LSB以下に減少できます。

## 23.7.4. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を $2^n$ で直線的に変換します。最低値コードは0として読み、最高値コードは $2^n-1$ として読みます。以下の各種パラメータは理想状態からの偏差を表します。

オフセット誤差 - 図 23-10.

最初の遷移点 (\$000から\$001)に於いて理想遷移点 差 0.5 LSBと比較した偏差です。理想値は0LSBです。

利得誤差 - 図 23-11.

オフセット誤差補正後の最後の遷移点 (\$3FEから\$3FF)に於いて理想遷移点 最大差 1.5LSB以下と比較した偏差です。理想値は0LSBです。

積分性非直線誤差 (NL) - 図 23-12.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

差動非直線誤差 (DNL) - 図 23-13.

実際のコードの幅 (隣接する2つの遷移点間)に於いて理想コード幅 (1LSB)と比較した最大偏差です。理想値は0LSBです。

量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5$ LSBです。

絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5$ LSBです。

図 23-10. オフセット誤差

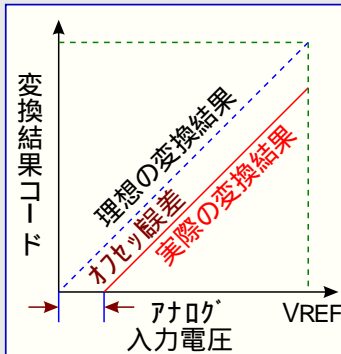


図 23-11. 利得誤差

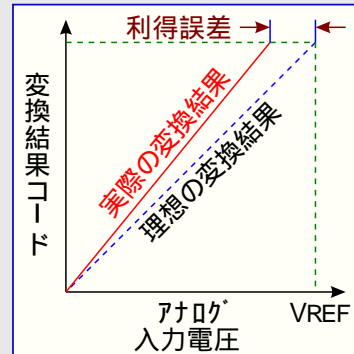


図 23-12. 積分性非直線誤差

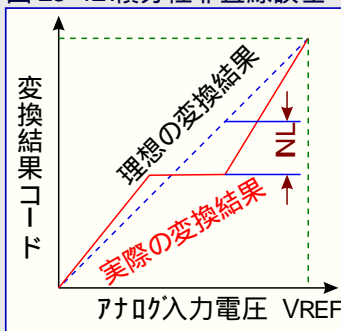
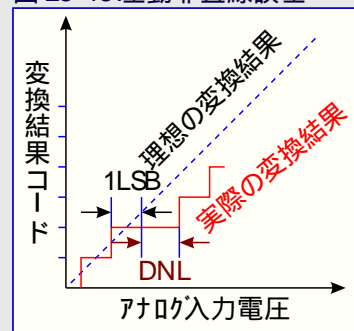


図 23-13. 差動非直線誤差



## 23.8. A/D変換の結果

変換完了 (ADIF=1後、変換結果はA/Dコンバータレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換の結果は右式で示されます。VINは選択した入力ピンの電圧で、VREFは選択した基準電圧です (160頁の表 23-3と表 23-4をご覧ください)。\$000はGNDを表し、\$3FFは選択した基準電圧 - 1LSBを表します。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

差動チャネルが使用されると、その結果は右式で示されます。VPOSは非反転入力ピンの電圧、VNEGは反転入力ピンの電圧、GAINは選択した倍率、VREFは選択した基準電圧です。この結果は -512 (\$200) ~ +511 (\$1FF) の2の補数形式で示されます。使用者が結果の符号を素早く検査したいなら、結果のMSB (ADCHのADC9)を読むことで充分なことに注目してください。このビットが1ならばその結果は -、0ならばその結果は + です。図 23-14は差動入力範囲のコード化を示します。

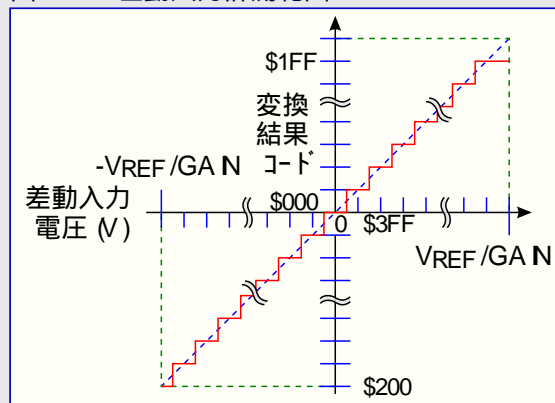
$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

表 23-2は差動入力チャネルの組 (ADCn-ADCm)が基準電圧 (VREF)で選択された場合の出力コードの結果を示します。

表 23-2. 入力電圧と出力コードの関係

VADCn	読み出しコード	対応する10進値
VADCm + VREF / GAIN	\$1FF	511
VADCm + (511/512)VREF / GAIN	\$1FF	511
VADCm + (510/512)VREF / GAIN	\$1FE	510
⋮	⋮	⋮
VADCm + (1/512)VREF / GAIN	\$001	1
VADCm	\$000	0
VADCm - (1/512)VREF / GAIN	\$3FF	-1
⋮	⋮	⋮
VADCm - (511/512)VREF / GAIN	\$201	-511
VADCm - VREF / GAIN	\$200	-512

図 23-14. 差動入力計測範囲



例 : ADMUX=\$ED (ADC3とADC2差動10倍入力、VREF=2.56V、左揃えで、ADC3が300mV、ADC2が500mVの場合、A/D変換値=512×10×(300-500)÷2560=-400=\$270  
従って、ADCH=\$9C、ADCL=\$00、ADLAR=0なら、ADCH=\$02、ADCL=\$70



## 23.9.A/D変換用レジスタ

### 23.9.1.A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7:6 - REFS1:0 :基準電圧選択 (Reference Select Bits 1, 0)

これらのビットは表 23-3で示されるように A/D変換器の基準電圧を選びます。これらのビットが変換中に変更されると、その変更は変換が完了する (ADCSRAの ADIF=1 まで実施しません。AREFピンに外部基準電圧が印加される場合、内部の基準電圧が使用されてはなりません。

表 23-3.A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFピンの外部基準電圧 (AVCCと内部 2.56V基準電圧は切り離されます。)
0	1	AVCC 内部 2.56V基準電圧は切り離されますが、AREFにデカップ用コンデンサが接続できます。)
1	0	(予約)
1	1	内部 2.56V基準電圧 (AVCCは切り離されますが、AREFにデカップ用コンデンサが接続できます。)

ビット5 - ADLAR :左揃え選択 (ADC Left Adjust Result)

ADLARビットは A/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするには ADLARに 1 を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちに A/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については 162頁の「A/Dデータレジスタ」をご覧ください。

ビット4~ 0 - MUX4~ 0 :A/Dチャネル選択 (Analog Channel Select Bits 4~ 0)

これらのビットの値は A/D変換器にどのアナログ入力との組み合わせが接続されるかを選びます。これらのビットは差動チャネルに対する利得も選びます。詳細については表 23-4をご覧ください。これらのビットが変換中に変更される場合、その変更は変換完了 (ADCSRAの ADIF=1 まで実施しません。

表 23-4.アナログ入力チャネル選択

MUX4~ 0	シングル インプット 入力	差動入力			MUX4~ 0	シングル インプット 入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
00000	ADC0				10000		ADC0	ADC1	× 1
00001	ADC1				10001 (注 1)		ADC1	ADC1	× 1
00010	ADC2				10010		ADC2	ADC1	× 1
00011	ADC3				10011		ADC3	ADC1	× 1
00100	ADC4				10100		ADC4	ADC1	× 1
00101	ADC5				10101		ADC5	ADC1	× 1
00110	ADC6				10110		ADC6	ADC1	× 1
00111	ADC7				10111		ADC7	ADC1	× 1
01000 (注 1)		ADC0	ADC0	× 10	11000		ADC0	ADC2	× 1
01001		ADC1	ADC0	× 10	11001		ADC1	ADC2	× 1
01010 (注 1)		ADC0	ADC0	× 200	11010 (注 1)		ADC2	ADC2	× 1
01011		ADC1	ADC0	× 200	11011		ADC3	ADC2	× 1
01100 (注 1)		ADC2	ADC2	× 10	11100		ADC4	ADC2	× 1
01101		ADC3	ADC2	× 10	11101		ADC5	ADC2	× 1
01110 (注 1)		ADC2	ADC2	× 200	11110	1.23V (VBG)			
01111		ADC3	ADC2	× 200	11111	0V (GND)			

注 1: オフセット校正に使用できます。



## 23.9.2. A/D変換 制御 / 状態 レジスタ (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ADEN : A/D許可 (ADC Enable)

このビットに **1** を書くことが A/D変換部 動作 を許可します。 **0** を書くことによって A/D変換部は 電源が OFF されます。変換が進行中に A/D変換部を OFF にすることはその変換を 途中 終了します。

ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ **1** を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ **1** を書いてください。A/D変換部が許可される (ADEN=1) と同時に ADSC が書かれるか、または A/D変換部が許可されてしまった後に ADSC が書かれた後の **初回変換** は、通常の 13 に代わって 25 変換 クロック周期で行います。この初回変換は A/D変換部の初期化を実行します。

ADSC は変換が進行中である限り **1** として読めます。変換が完了すると **0** に戻ります。このビットへの **0** 書き込みは無効です。

ビット5 - ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが **1** が書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を始めます。この起動元は A/D変換制御 / 状態 レジスタ (ADCSRB) の A/D変換起動要因選択 (ADTS2~ 0) ビット設定によって選択されます。

ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dステータスレジスタが更新されると、このフラグが設定 (**1**) されます。ステータスレジスタ (SREG) の全割り込み許可 (IF) ビットと A/D変換完了割り込み許可 (ADIF) ビットが設定 (**1**) されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ルーチンを実行する時に ADIF はハードウェアによって解除 (**0**) されます。代わりにこのフラグに論理 **1** を書くことによっても ADIF は解除 (**0**) されます。ADCSRA で読み 変更 書き (リード モディファイライト) を行うと、保留中の割り込みが禁止され得ることに注意してください。これは **SBI**、**CBI** 命令が使用される場合にも適用されます。

ビット3 - ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが **1** が書かれ、SREG の全割り込み許可 (IF) ビットが設定 (**1**) されていると、A/D変換完了割り込みが活性に 許可 されます。このビットが解除 (**0**) されると、この割り込みは禁止されます **訳注** 共通性のため本行追加 )

ビット2~ 0 - ADPS2~ 0 : A/D変換 クロック選択 (ADC Prescaler Select Bits)

これらのビットは XTAL システム 周波数と A/D変換部への入力 クロック間の分周値を決めます。

表 23-5. A/D変換 クロック選択 (CK=システム クロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換 クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

### 23.9.3. A/D変換 制御 状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット (\$8E)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 3 - Res :予約 (Reserved)

これらのビットは予約されており 常に0として読めます。

ビット2- 0 - ADTS2- 0 :A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御 状態レジスタA (ADCSRA) のA/D変換自動起動許可 (ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのを選択します。ADATEが解除 (0)されると、ADTS2- 0の設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除 (0)されている起動元から設定 (1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可 (ADEN)ビットが設定 (1)されているなら、これが変換を開始させます。連続変換動作 (ADTS2- 0=0)への切り替えはA/D変換完了割り込み要求フラグが設定 (1)されていても、起動事象を引き起こしません。

表 23-6. A/D変換自動起動元選択

ADTS2- 0	起動元
0 0 0	連続変換動作
0 0 1	アナログ比較器
0 1 0	外部割り込み要求 0
0 1 1	タイマ/カウンタ比較一致
1 0 0	タイマ/カウンタ溢れ
1 0 1	タイマ/カウンタ比較B一致
1 1 0	タイマ/カウンタ溢れ
1 1 1	タイマ/カウンタ捕獲要求

### 23.9.4. A/Dデータレジスタ (ADC Data Register) ADCH ADCL (ADCD)

<b>ADLAR=0時</b>									
ビット \$05 (\$25)	15	14	13	12	11	10	9	8	
	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/W rite	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット \$04 (\$24)	7	6	5	4	3	2	1	0	
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/W rite	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
<b>ADLAR=1時</b>									
	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
	7	6	5	4	3	2	1	0	
	ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこの2つのレジスタで得られます。差動チャネルが使用されると、結果は2の補数形式で表されます。ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先で、その後にADCHが読まれなければなりません。A/D多重器選択レジスタ (ADMUX) の左揃え選択 (ADLAR)ビットとA/Dチャネル選択 (MUX4- 0)ビットは本レジスタから結果を読む方法に影響を及ぼします。ADLARが設定 (1)ならば結果は左揃えにされます。ADLARが解除 (0)既定 ならば結果は右揃えにされます。

ADC9- 0 :A/D変換結果 (ADC Conversion result)

これらのビットは 15頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

## 24. JTAGインターフェースと内蔵デバッグ機能

### 24.1 特徴

- JTAGインターフェース (IEEE標準 1149.1準拠)
- JTAG規格に従った境界走査 (Boundary-Scan)能力
- デバッグは各部のアクセスが可能
- 全ての内蔵周辺機能
- 内部及び外部 RAM
- 内蔵レジスタファイル
- プログラムカウンタ
- EEPROM及びフラッシュメモリ
- 中断 (BREAK)によって支援される広範囲な内蔵デバッグ機能
- AVRの **BREAK**命令
- プログラムの流れ変更での停止
- 命令実行 (シングルステップ)停止
- プログラムメモリ上の単一アドレスまたはアドレス範囲による中断点 (ブレークポイント)
- データメモリ上の単一アドレスまたはアドレス範囲による中断点
- JTAGインターフェースを介してのフラッシュメモリ、EEPROM、ヒューズビットの読み書き (プログラミング)
- AVR Studioによる内蔵デバッグ機能の支援

### 24.2 概要

AVRの IEEE標準 1149.1準拠 JTAGインターフェースは以下について使用できます。

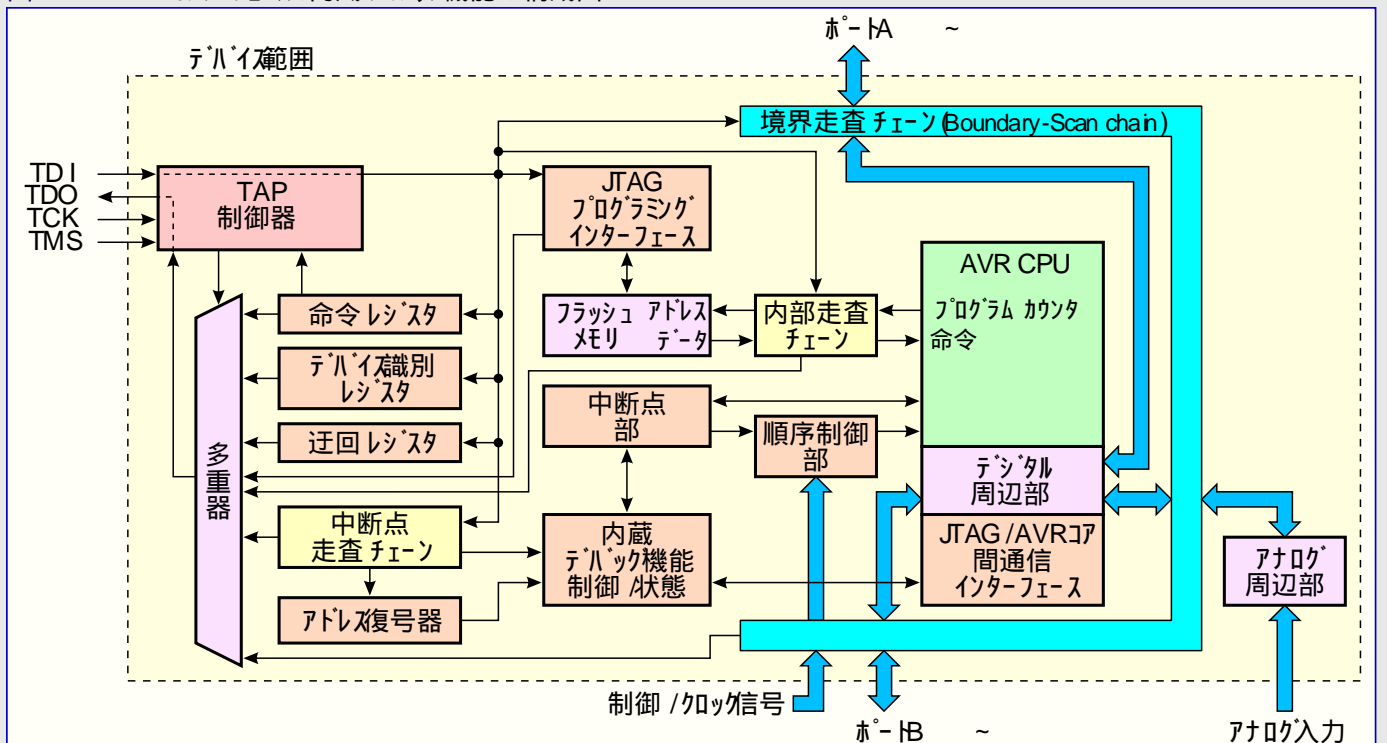
- JTAG境界走査 (Boundary-Scan)能力による基板などの試験
- 不揮発性メモリ、ヒューズビットの読み書き (プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査 (Boundary-Scan)チェーンに関する詳細な記述は、各々 198頁の「JTAGインターフェース経由のプログラミング」と167頁の「IEEE 1149.1 (JTAG境界走査 (Boundary-Scan))」で得られます。内蔵デバッグ機能の支援は独自 JTAG命令で考慮されており、ATMELと選ばれた業者のみに配布されます。

図 24-1は JTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP検査入出力ポート制御器はTMSとTCKによって制御される順次回路です。TAP制御器はTD入力とTDO出力間の走査チェーン (ソフトウェア接続)として、JTAG命令レジスタまたは各種データレジスタの1つのどれかを選びます。JTAG命令レジスタはデータレジスタの動きを制御するJTAG命令を保持します。

デバイス識別 (Device Identification)レジスタ、迂回 (Bypass)レジスタ、境界走査チェーン (Boundary-Scan chain)の各データレジスタは基板段階の試験に使用されます。実際には現実と仮想の各種データレジスタで構成するJTAGプログラミングインターフェースはJTAGインターフェース経由での直列プログラミングに使用されます。内部走査チェーン (Scan chain)と中断点 (ブレークポイント)走査チェーンは内部デバッグ機能だけで使用されます。

図 24-1. JTAGインターフェースと内蔵デバッグ機能の構成図



### 24.3. 検査入出力ポート (TAP: Test Access Port)

JTAGインターフェースはAVRの4つのピンを通してアクセスされます。JTAG用語ではこれらのピンが検査入出力ポート(TAP)を構成します。

TMS : 検査種別選択。このピンはTAP制御器順次回路を通しての指示に使用されます。

TCK : 検査クロック。JTAG操作はTCKに同期します。

TDI : 検査データ入力。命令レジスタまたはデータレジスタ走査チェーン内にシフトされるべき直列入力データです。

TDO : 検査データ出力。命令レジスタまたはデータレジスタからの直列出力データです。

IEEE標準 1149.1では任意 TAP信号の検査レジスト(RST)に記載されていますが、この信号は提供されません。

JTAGエンピュスが非プログラム(1)の時にこれら4つのTAPピンは標準ポートピンで、TAP制御器はリットです。プログラム(0)され、MCU制御 / 状態レジスタMCUCSRのJTAGインターフェース禁止(JTDビット)が解除(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とプログラミクに関して許可されます。この場合、TAP出力(TDO)はJTAG TAP制御器がデータをシフトしていない状態で浮き状態(フローティング)のままにされ、従ってプルアップ抵抗が接続されるか、または他のハードウェア例えば走査チェーン内の次のデバイスにTD入力(プルアップ)を持たなければなりません。このデバイスはこのエンピュスがプログラム(0)されて出荷されます。

内蔵デバツク機能ではJTAGインターフェースピンに加え、外部レジスタが検知できるため、RESETピンがデバツクによって監視されます。応用でレジスタ信号線にオープンコレクタ(ドレイン)だけが使用されるとすれば、デバツクは全システムをリットするためにRESETピンをLowにすることもできます。

### 24.4. TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGプログラミク回路、内蔵デバツク機能の働きを制御する16段の無限順次回路です。図24-2に描かれた状態遷移はTCKクロックの上昇時の各状態遷移付近で示されるJTAG TMS上に存在する信号に依存します。電源投入レジスタ後の初期状態は検査回路レジスタです。

この資料内の定義として、全てのシフトレジスタ外に関して入出力ともLSBが最初にシフトされます。

検査実行/アイドル状態が現在の状態と仮定した、JTAGインターフェースを使用するための典型的な手順を次に示します。

命令レジスタシフト(Rシフト状態へ移行するためにTCKの上昇でTMSへ順次1,1,0を与えます。この状態中、TCKの上昇端でTD入力からJTAG命令レジスタ内に4ビットのJTAG命令をシフトします。TMS入力はRシフト状態に留まるために3LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時にシフト入力されます。命令がTDピンからシフトされている間、捕獲されたRの状態(\$01)がTDOピンへシフト出力されます。

JTAG命令はTDとTDO間に通ず接続する特定のデータレジスタを選択し、選択したデータレジスタ周辺回路を制御します。

検査実行/アイドル状態へ再度移行するためにTMSへ順次1,1,0を与えます。この(JTAG)命令はR更新状態通過でシフトレジスタから並列出力にラツチされます。R終了1、R一時停止、R終了2の各状態は順次回路の誘導操作のためだけに使用されます。

データレジスタシフト(DRシフト状態へ移行するためにTCKの上昇端でTMSへ順次1,0,0を与えます。この状態中、TCKの上昇端でTD入力から(JTAG命令レジスタ内の現在のJTAG命令で選択したデータレジスタに値をシフト入力します。DRシフト状態に留まるためにMSBを除く全ビットの入力中、TMS入力はLowに保持されなければなりません。データのMSBはTMS入力のHigh設定によってこの状態を抜ける時にシフト入力されます。データレジスタがTDピンからシフト入力される間、DR捕獲状態(1,0)でデータレジスタに捕獲した並列入力がTDOピンへシフト出力されます。

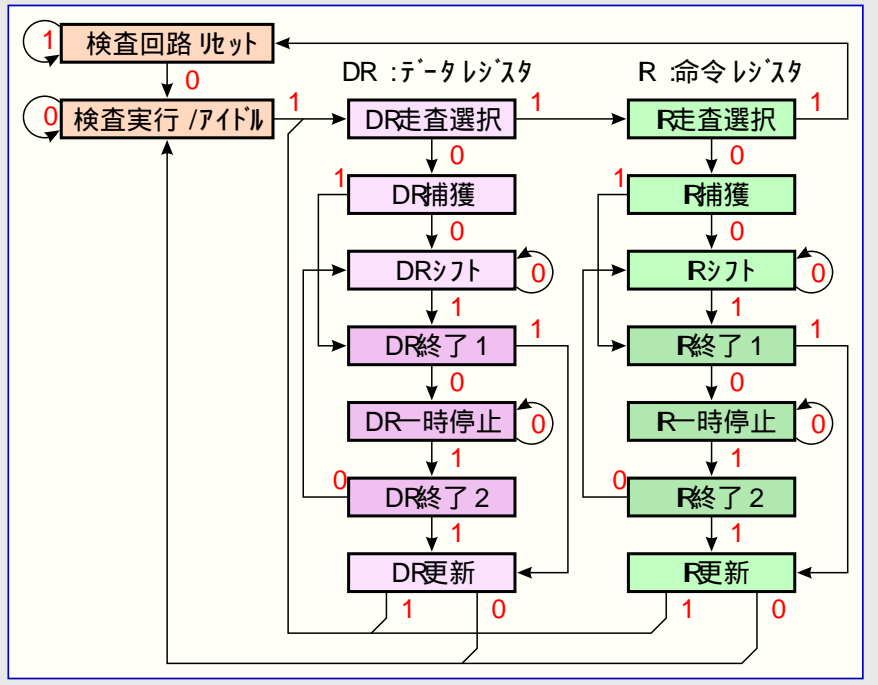
検査実行/アイドル状態へ再移行するためにTMSへ順次1,1,0を与えます。選択したデータレジスタがラツチした並列出力を持つ場合、DR更新状態でラツチを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導操作のためだけに使用されます。

状態遷移図で示されるように検査実行/アイドル状態はJTAG命令の選択とデータレジスタの使用間で移行される必要はなく、また、いくつかのJTAG命令は検査実行/アイドル状態で実行されるべき必然的な機能を選択するかもしれず、それはアイドル状態として不適当になります。

注：TAP制御器の初期状態に関係なく、5TCKクロック周期に対してTMSをHighに保持することにより、常に検査回路レジスタ状態へ移行することができます。

JTAG仕様の詳細情報については166頁の参考文献に記載された文献を参照してください。

図 24-2. TAP制御器状態遷移図





## 24.5.境界走査チェーン(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は 167 頁の「EEE 1149.1(JTAG 境界走査 (Boundary-Scan))」項目で与えられます。

## 24.6.内蔵デバッグ機能の使用

図 24-1 で示されるように内蔵デバッグに関するハードウェア支援は主に次の部分から成ります。

- 内部 AVR CPU コア と内部周辺機能部間 インターフェースの走査チェーン (Scan chain)
- 中断点 (ブレークポイント) 部
- CPU と JTAG システム間の通信 インターフェース

デバッグの実行で必要とされる全ての読み込みまたは変更 / 書き込みは内部 AVR CPU 走査チェーン (Scan chain) 経由の AVR 命令によって行われます。CPU は CPU と JTAG システム間の通信 インターフェース部分が配置される I/O メモリ位置に結果を送ります。

中断点部はプログラムの流れ変更での一時停止 (Break) 命令実行 (Single Step Break) 2 つのプログラムメモリ用中断点、2 つの複合中断点を実行します。合わせて 4 つ中断点は次のどれかとして設定ができます。

- 4 つのプログラムメモリ単一中断点
- 3 つのプログラムメモリ単一中断点 + 1 つのデータメモリ単一中断点
- 2 つのプログラムメモリ単一中断点 + 2 つのデータメモリ単一中断点
- 2 つのプログラムメモリ単一中断点 + 1 つのプログラムメモリ範囲中断点 (中断点と遮蔽)
- 2 つのプログラムメモリ単一中断点 + 1 つのデータメモリ範囲中断点 (中断点と遮蔽)

けれども AVR Studio のようなデバッグは最終使用者への柔軟性をより少なくする内部目的にこれら資源の 1 つまたはそれ以上を使用するかもしれません。

内蔵デバッグ特殊 JTAG 命令の一覧は「内蔵デバッグ特殊 JTAG 命令」で与えられます。

JTAG 検査入出力ポート (TAP) を許可するには JTAGEN ビットがプログラム (0) されなければなりません。加えて内蔵デバッグ機能で作業するには更に OCDEN ビットがプログラム (0) され、**施錠ビット**が施錠なしに設定されなければなりません。何れかの施錠ビットが設定 (0) されると保護機能で内蔵デバッグ機能が禁止されます。そうでなければ内蔵デバッグ機能が保護されたデバイスへの裏口を提供することになっていでしょう。**訳補** 保護の意味がなくなるの意)

AVR Studio は使用者にチップ内蔵デバッグ能力 (機能) AVR インサーキットエミュレータ または (AVR Studio 組み込み AVR 命令セットシミュレータで AVR デバイスのプログラム実行を完全に制御することを可能にします。AVR Studio は ATMEL AVR アセンブラでアセンブルしたアセンブリ言語プログラムと他業者製コンパイラでコンパイルした C 言語プログラムのソースレベル実行を支援します。

AVR Studio は Microsoft Windows® 98/2000 Windows NT®, Windows XP®, Windows Vista® 下で走行します。

AVR Studio の完全な記述については AVR Studio 使用者の手引きを参照してください。要点だけが本資料で示されます。

全ての必要な実行指令は AVR Studio 内のソースレベルと逆アセンブリレベルの両方で利用できます。使用者はプログラムの実行、命令実行 (Single Step) 内側関数内実行、外側関数外実行、命令行へのカーソル配置と命令行が (カーソル行へ到達されるまでの実行、一時停止、実行対象のロック)ができます。加えて使用者は無制限数のコードの中断点 (BREAK 命令使用) と 2 つまでのデータメモリの中断点か、代わりに遮蔽による範囲指定 複合中断点を持てます。

## 24.7.内蔵デバッグ特殊 JTAG 命令

内蔵デバッグの支援は独自 JTAG 命令で考慮され、ATMEL と選ばれた業者だけに配布されます。参考のため、命令コードの一覧が示されます。

- |  |  |
|--|--|
| 独自命令 0 : \$8 (内蔵デバッグ機能アクセス用独自 JTAG 命令) | 独自命令 2 : \$A (内蔵デバッグ機能アクセス用独自 JTAG 命令) |
| 独自命令 1 : \$9 (内蔵デバッグ機能アクセス用独自 JTAG 命令) | 独自命令 3 : \$B (内蔵デバッグ機能アクセス用独自 JTAG 命令) |

## 24.8. JTAG プログラミング能力の使用

JTAG 経由 AVR デバイスプログラミングは 4 本の JTAG ポート TCK, TMS, TDI, TDO 経由で実行されます。これらは JTAG プログラミング実行のために電源ピンに加えて制御 / 監視される必要があるピンだけです。外部的な 12V 印加は必要とされません。JTAG 検査入出力ポート (TAP) を許可するには JTAGEN ビットがプログラム (0) され、MCU 制御状態レジスタ (MCUCSR) の JTAG インターフェース禁止 (JTD) ビットが解除 (0) されなければなりません。

JTAG プログラミング能力は以下を支援します。

- フラッシュメモリのプログラミングと照合
- EEPROM のプログラミングと照合
- ヒューズビットのプログラミングと照合
- 施錠ビットのプログラミングと照合

**施錠ビット保護**は丁度並列プログラミング動作でのようです。**施錠ビット LB または LB2**がプログラム (0) されると、先にチップ消去を行わない限り OCDEN ビットはプログラム (0) できません。これは保護されたデバイスの内容を読み出す裏口が存在しないことを保証する保護機能です。

プログラミング特殊 JTAG 命令の記述は 198 頁の「プログラミング特殊 JTAG 命令」で与えられます。JTAG インターフェースを通すプログラミングの詳細は 198 頁の「JTAG インターフェース経由のプログラミング」項目で与えられます。

## 24.9.内蔵デバッグに関連する I/Oメモリ内のレジスタ

### 24.9.1.内蔵デバッグ レジスタ (On-chip Debug Register) OCDR

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	DRD/MSB						LSB		OCDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

OCDRはマイクロコントローラ内の実行プログラムからデバッグへの通信チャネルを提供します。CPUはこの位置へ書くことによってデバッグへバイト転送できます。このレジスタが書かれてしまっているのをデバッグに示すため、同時に内部フラグ DRD (I/Oデバッグレジスタ更新) が設定 (1) されます。CPUがOCDRを読むとき、LSB 7ビットがOCDRからで、一方MSBは DRDビットです。デバッグはこの情報を読む時に DRDビットを解除 (0) します。

いくつかのAVRデバイスに於いてこのレジスタは標準 I/O位置で共用されます。この場合、OCDRは内蔵デバッグ許可 (OCDEN) ユースがプログラム (0) された場合にだけアクセスでき、デバッグがOCDRへアクセスできます。他の全ての場合、標準 I/O位置がアクセスされます。

このレジスタの使用法のより多くの情報はデバッグの資料を参照してください。

### 24.10.参考文献

一般的な境界走査 (Boundary-Scan) についての詳細は次の文献を参照してください。

IEEE : IEEE Std 1149.1-1990. IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE, 1993

Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

## 25. EEE 1149.1 (JTAG)境界走査 (Boundary-Scan)

### 25.1 特徴

JTAGインターフェース (IEEE標準 1149.1準拠)  
JTAG規格に従った境界走査 (Boundary-Scan)能力  
チップ外接線を持つアナログ回路は勿論、全てのポート機能の完全な走査 (Scan)  
任意 DCODE命令の支援  
AVRリセット公開 AVR\_RESET命令の追加

### 25.2 概要

境界走査チェーン (Boundary-Scan chain)にはデジタル I/Oピンは勿論、チップ外接線を持つアナログ回路のアナログとデジタル間境界の論理値を駆動、監視する能力があります。システム上では JTAG能力を持つ全ての ICがTDとTDOの接続により長いシフトレジスタの形態で接続されます。外部制御器がこれらの出力ピンで値を駆動するようにデバイスを設定し、他のデバイスから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で境界走査 (Boundary-Scan)は4つのTAP信号だけを使用することにより、基板上の部品全般と内部結線の検査機構を提供します。

IEEE 1149.1で定義された4つの必須 JTAG命令、**DCODE**、**BYPASS**、**SAMPLE/PRELOAD**、**EXTEST**だけでなく、AVR特殊公開 JTAG命令の**AVR\_RESET**も基板検査に使用できます。既定 JTAG命令が DCODEなので、データレジスタ経路の初期走査はデバイスの識別コード (D-code)を示します。検査動作中にリセット状態のAVRデバイスがあることは好都合かもしれませんが、リセットでない場合、デバイスの入力は走査動作によって決定されるかもしれず、検査動作を終了する時に内部ソフトウェアが未確定状態になってしまうかもしれません。リセットへの移行で、どのポートピンの出力も直ちにHi-Z状態に移行し、**HIGHZ**命令が不要になります。必要とされるなら、デバイスを通る走査チェーンを可能な限り最短とするのに**BYPASS**命令が発行できます。外部RESETピンをLowに引き込むか、またはリセットデータレジスタの適切な設定による**AVR\_RESET**命令の発行でデバイスをリセット状態に設定できます。

**EXTEST**命令は外部ピンの採取と出力ピンの値設定に使用されます。**EXTEST**命令が JTAG命令レジスタ (R)に設定されると、直ちに出力ラッチからの値がピンで出力駆動されます。このため、最初に**EXTEST**命令を発行する時に基板の損傷を避けるため、走査チェーン内に初期値を設定するのに**SAMPLE/PRELOAD**命令も使用されるべきです。**SAMPLE/PRELOAD**命令は通常動作中デバイスの外部ピンの高速監視にも使用できます。

JTAG検査入出力ポート (TAP)を許可するには**JTAGEN**ヒューズがプログラム (0)され、MCU制御/状態レジスタ (MCUCSR)の**JTAGインターフェース禁止 (JTD)**ビットが解除 (0)されなければなりません。

境界走査 (Boundary-Scan)に JTAGインターフェースを使用する場合、内部チップ周波数より高い JTAG TCKクロック周波数の使用が可能です。チップのクロックは走行に必要とされません。

### 25.3. データレジスタ

境界走査 (Boundary-Scan)に関連するデータレジスタDRを次に示します。

迂回 (Bypass)レジスタ      デバイス識別 (Device Identification)レジスタ  
リセット (Reset)レジスタ      境界走査チェーン (Boundary-Scan chain)

#### 25.3.1 迂回 (Bypass)レジスタ

迂回レジスタは1段のシフトレジスタから成ります。TDとTDO間の経路として迂回レジスタが選択されると、このレジスタはTAP制御器がデータレジスタDR捕獲状態を抜ける時に0へリセットされます。迂回レジスタは他のデバイスが検査される時にシステム上の走査チェーン (Scan chain)を短くするのに使用できます。

#### 25.3.2 デバイス識別 (Device Identification)レジスタ

図 25-1はデバイス識別レジスタの構造を示します。

図 25-1. デバイス識別レジスタの形式

ビット	31	28	27	12	11	1	0
デバイス識別	版番号				部品番号		製造者識別
ビット数	4				16		11

**版番号**      版番号は部品 (デバイス)の改訂を示す4ビットです。JTAG版番号はデバイスの改訂版に従います。改訂 Aは\$00,改訂 Bは\$01,以下同様です。

**部品番号**      部品番号は部品名を示す16ビットです。ATmega64AのJTAG部品番号は表 25-1で一覧されます。

表 25-1. AVR JTAG 部品番号

部品番号	JTAG部品番号 (Hex)
ATmega64A	\$9602

**製造者識別**      製造者識別は製造業者を示す11ビットです。ATMELのJTAG製造者識別は表 25-2で示されます。

表 25-2 製造者 D

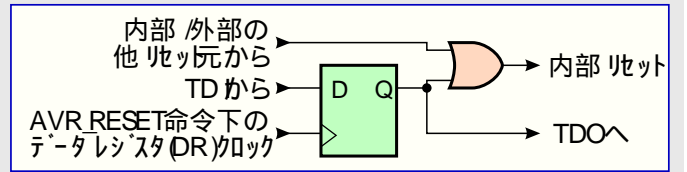
製造業者	JTAG製造者 D番号 (Hex)
ATMEL	\$01F

### 25.3.3. リセット (Reset) レジスタ

リセットレジスタはデバイスのリセットに使用される検査データレジスタです。リセットによってAVRのポートピンがHi-Z状態となるので、未実装の任意 JTAG命令 **HIGHZ** 機能の代わりにできます。

リセットレジスタ内の値 **1** は外部 RESET ピンを **Low** に引っ張るのと同じです。デバイスはリセットレジスタ内の値が **1** である限り リセットです。リセットレジスタの開放後、デバイスは **クロック選択用ヒューズビット** の設定に従ってリセット起動遅延時間 (22 頁の「クロック」参照) リセットに留まります。図 25-2 で示されるようにこのデータレジスタからの出力はラッチされず、直ちにリセットが行われます。

図 25-2. リセットレジスタ



### 25.3.4. 境界走査チェーン (Boundary-Scan Chain)

境界走査チェーンにはデジタル I/O ピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については 168 頁の「境界走査チェーン (Boundary-Scan chain)」をご覧ください。

### 25.4. 境界走査 (Boundary-Scan) 用 JTAG 命令

命令レジスタ (R) は 16 種までの命令を支援する 4 ビット幅です。以下に示した一覧は境界走査 (Boundary-Scan) 操作に有用な JTAG 命令です。全ポートピンを Hi-Z 状態にするための任意 **HIGHZ** 命令は実装されませんが、**AVR\_RESET** 命令を使用することによって全出力が Hi-Z 状態に設定できることに注目してください。

このデータシート内の定義として、全てのシフトレジスタに関して入出力とも LSB が最初にシフトされます。

各命令の命令コードは命令名下の 16 進形式で示されます。本文は各命令について TD と TDO 間の経路として選択されるデータレジスタを記述します。【訳注】配置構成変更により 内容を一部変更 )

#### 25.4.1. EXTEST (\$0)

AVR デバイスに外部回路的検査を行うためにデータレジスタ DR として境界走査チェーン (Boundary-Scan chain) を選択するための必須 JTAG 命令です。ポートピンは方向、プルアップ、出力値、入力値は走査チェーン (Scan chain) 内で全てアクセス可能です。チップ外接接続を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値は JTAG 命令レジスタ (R) に **EXTEST** 命令が設定されると直ちに駆動されます。本命令が有効な状態を次に示します。

- DR 補獲 : 外部ピン上の値が境界走査チェーン内に採取されます。
- DR シフト : 内部走査チェーンが TCK クロック入力によってシフトされます。
- DR 更新 : 走査チェーンからの値が出力ピンに印加 出力 されます。

#### 25.4.2. DCODE (\$1)

データレジスタ DR として 32 ビットのデバイス識別 (ID) レジスタを選択する任意 JTAG 命令です。デバイス識別レジスタは版番号、デバイス番号と JEDEC によって決められた製造者符号から成ります。これは電源投入後の既定命令です。本命令が有効な状態を次に示します。

- DR 補獲 : デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- DR シフト : 内部走査チェーン (デバイス識別レジスタ) が TCK クロック入力によってシフトされます。

#### 25.4.3. SAMPLE\_PRELOAD (\$2)

システム動作に影響を与えずに入出力ピンの状態採取、出力ラッチの事前設定を行うための必須 JTAG 命令です。けれども出力ラッチはピンに接続されません。データレジスタ DR として境界走査チェーン (Boundary-Scan chain) が選択されます。本命令が有効な状態を次に示します。

- DR 補獲 : 外部ピン上の値が境界走査チェーン内に採取されます。
- DR シフト : 境界走査チェーンが TCK クロック入力によってシフトされます。
- DR 更新 : 境界走査チェーンからの値が出力ラッチに印加 設定 されます。けれども出力ラッチはピンに接続されません。

#### 25.4.4. AVR\_RESET (\$C)

AVR デバイスを強制的にリセット状態、または JTAG リセット元から開放するための AVR 特殊公開 JTAG 命令です。この命令によって検査入出力ポート (TAP 制御器) はリセットされません。データレジスタ DR として 1 ビットのリセットレジスタが選択されます。リセットチェーン (レジスタ) が論理 **1** である限り リセットが活性 (有効) なことに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- DR シフト : 走査チェーン (リセットレジスタ) が TCK クロック入力によってシフトされます。

#### 25.4.5. BYPASS (\$F)

データレジスタ DR に迂回 (Bypass) レジスタを選択する必須 JTAG 命令です。本命令が有効な状態を次に示します。

- DR 補獲 : 迂回レジスタに論理 **0** を設定します。
- DR シフト : TD と TDO 間の迂回レジスタ (セル) がシフトされます。



## 25.5 境界走査 チェーン (Boundary-Scan Chain)

境界走査 チェーンにはデジタル I/O ピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値の設定と監視の能力があります。

### 25.5.1 デジタル ポートピンの走査

図 25-3 はフルアップ機能付き双方向ポートピン用境界走査 (Boundary-Scan) セルを示します。このセルはフルアップ許可 (PUE<sub>xn</sub>) 用標準境界走査 (Boundary-Scan) セルと3つの信号、出力方向制御 (OC<sub>xn</sub>)、出力データ (OD<sub>xn</sub>)、入力データ (D<sub>xn</sub>) の組み合わせの双方向ピン用セルの2段のシフトレジスタだけで成ります。ポートとピンの添え字は続く記述で使用されません。

境界走査 (Boundary-Scan) 論理回路はデータシート内の図に含まれません。図 25-4 は4頁の「出力ポート項」で記載される単純なデジタルポートピンを示します。図 25-3 からの境界走査セルの詳細が図 25-4 上の破線内に置き換わります。

兼用ポート機能が存在しない場合、入力データ (D) は P<sub>Nxn</sub> レジスタ値 (けれども D は同期化回路を持たない) 出力データ (OD) は PORT<sub>xn</sub> レジスタ、出力制御 (OC) は DD<sub>xn</sub> 方向レジスタ、フルアップ許可 (PUE) は論理合成値 (PUD AND DD<sub>xn</sub> AND PORT<sub>xn</sub>) に各々対応します。

デジタル兼用ポートピン機能は走査チェーン (Scan chain) が実際のピン値を読むために図 25-4 内の破線外側に接続されます。アナログ機能について、それらは外部ピンからアナログ回路へ直結で、走査チェーンはアナログ回路とデジタル論理回路間のインターフェースに挿入されます。

図 25-3. フルアップ機能付き双方向ポートピン用境界走査 (Boundary-Scan) セル構成図

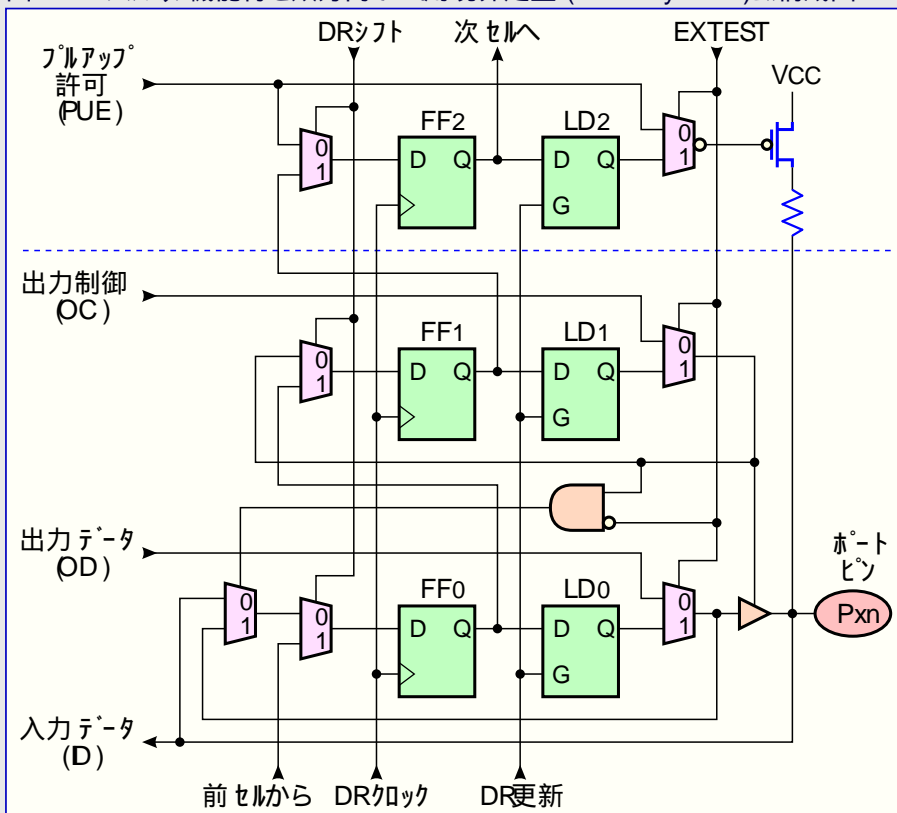
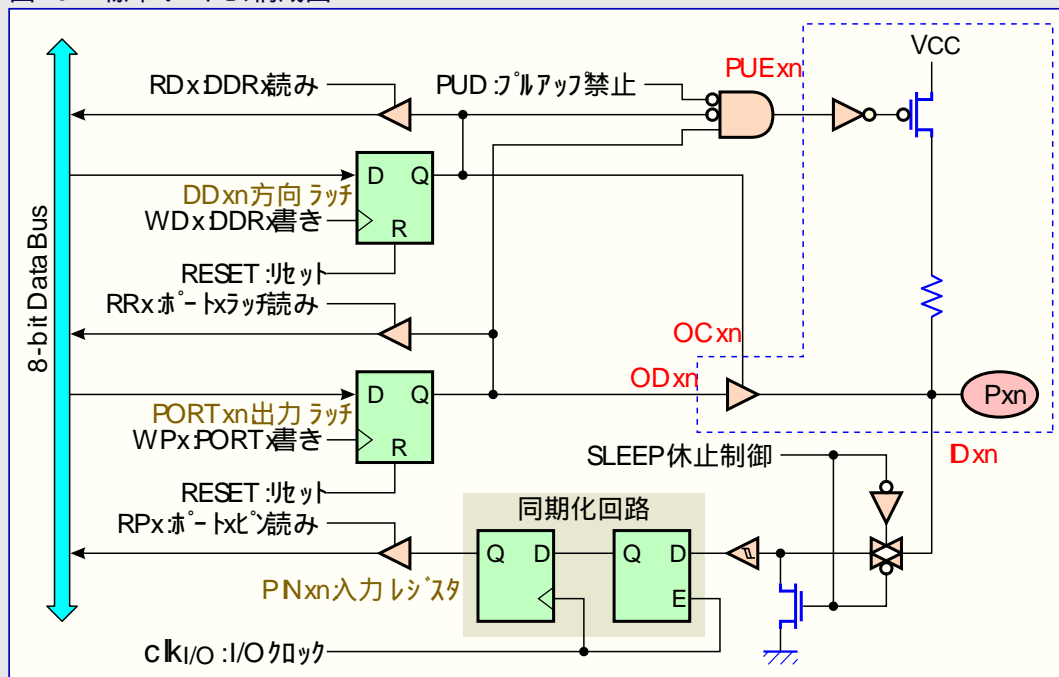


図 25-4. 標準ポートピン構成図



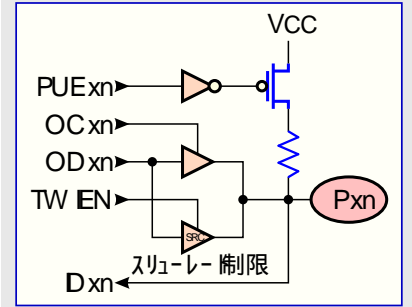
注: 詳細については境界走査 (Boundary-Scan) をご覧ください。

### 25.5.2 境界走査と2線 直列 インターフェイス

2線 インターフェイスの SCLとSDAは走査チェーン内に1つの追加制御信号 TW EN(2線 インターフェイス許可)を持ちます。図 25-5で示されるようにこの TW EN信号は通常のデジタルポートピンと並列のスリュート上昇/下降 制御付き3状態緩衝器を許可します。図 25-9で示される標準走査セルが TW EN信号に付随します。

- 注：1. 入力50nsハイ除去用の独立した走査チェーンは提供されません。デジタルポートピンに対する標準走査の支援は接続検査に対して充分です。走査経路内に TW ENを持っている理由は境界走査を行う時にスリュート制御緩衝器を切断できることです。
2. 駆動出力の衝突を引き起こさないよう OCとTW EN信号は同時に有効とされないように注意してください。

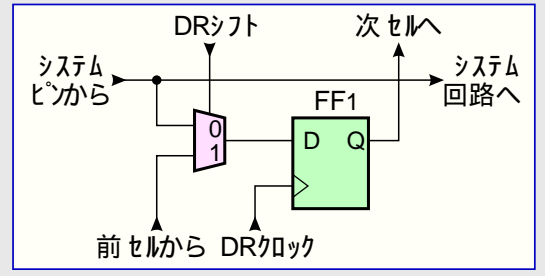
図 25-5. TW用追加走査信号



### 25.5.3. RESETピンの走査

RESETピンは標準リセット動作について5V負論理 (Low有効) 高電圧並列プログラミングについて12V正論理 (High有効) を受け入れます。図 25-6で示される監視専用セルが5Vリセット信号 (RSTT)と12Vリセット信号 (RSTHV)の両方に挿入されます。

図 25-6. 監視専用境界走査セル構成図



### 25.5.4. クロックピンの走査

AVRデバイスにはヒューズによって選択可能な多くのクロック種別があります。これらは校正付き内蔵RC発振器、外部RC発振器、外部クロック信号、高周波数クリスタル発振器、低周波数クリスタル発振器、セラミック振動子です。

図 25-7は走査チェーン内で支援される各発振器と外部接続を示します。許可信号は標準境界走査セルで支援され、一方発振器/クロック出力には監視専用セルが付随されます。主クロックに加え、タイマ用発振器も同じ方法で走査されます。校正付き内蔵RC発振器からの出力はこの発振器が外部接続を持たないので走査されません。

図 25-7. クロック機能と発振器用境界走査セル構成図

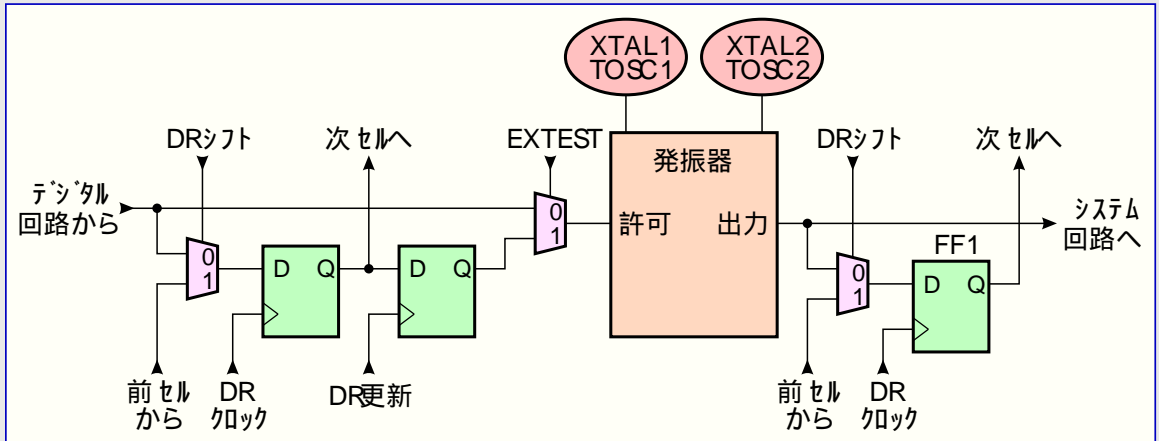


表 25-3はタイマ用 32kHz発振器は勿論、外部クロックピンXTAL1、XTAL1/XTAL2接続の発振器に対する走査レジスタの一覧です。

表 25-3.発振器用走査信号

許可信号	走査 クロック信号線	クロック種別	未使用時値
EXTCLKEN	EXTCLK (XTAL1)	外部 クロック信号	0
OSCON	OSCK	外部 クリスタル発振子 外部 セラミック振動子	0
RCOSCEN	RCCK	外部 RC発振	0
OSC32EN	OSC32CK	低周波数外部 クリスタル	1
TOSCON	TOSCK	タイマ用 32kHz発振器	0

注：1.主 クロックとして同時に つよみ多くの クロックを許可してはいけません。

2.発振器出力の走査は内部発振器とJTAGの TCKクロック間の周波数偏差のため、予期せぬ結果を与えます。可能なら、外部 クロックでの走査が望まれます。

3.クロック設定はヒューズによってプログラミングされます。ヒューズは実行動作時に変更されないため、クロック設定は与えられた応用について考慮して決定されます。使用者は最終システムで使用するのと同じクロック選択で走査するのを推奨されます。システム論理回路が休止形態でクロック選択 元 を禁止できるため、許可信号は走査チェーン内で支援され、それ（その禁止）によって（クロックが 供給されない場合、発振器ピンを走査経路から切り離します。CKOPTヒューズ<sup>※</sup> 訳注 原書の NTCAPは誤り）は走査チェーン内で支援されないため、このヒューズが正しくプログラム（0）される場合を除いて、境界走査チェーンは内部コンデンサを必要とするXTAL発振器を形成できません。

## 25.5.5.アナログ比較器の走査

境界走査に関する比較器関連の信号は図 25-8で示されます。図 25-9の境界走査セルがこれら信号の各々に付随します。この信号は表 25-4で記述されます。

この比較器は全てのアナログ入力デジタルポートピンとしても兼用されるため、純粋な接続試験用に使用される必要がありません。

図 25-8.アナログ比較器部構成図

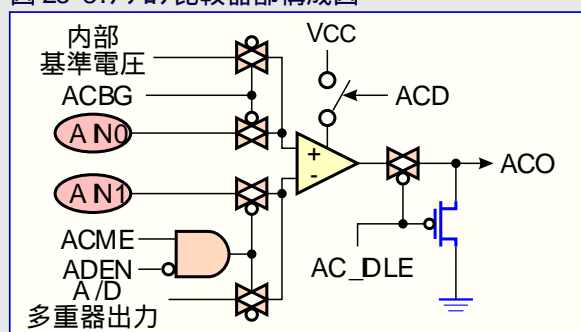


図 25-9.比較器、A/D変換用標準境界走査セル構成図

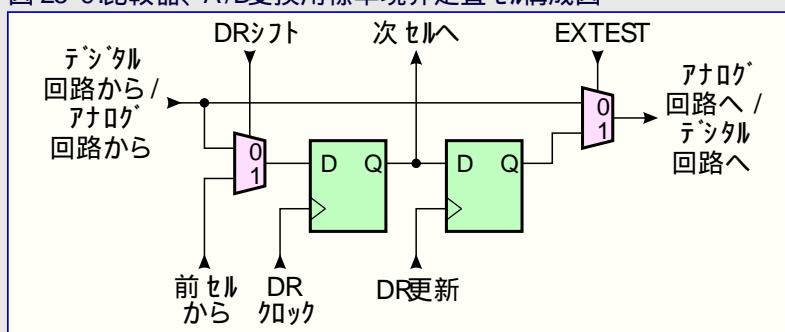


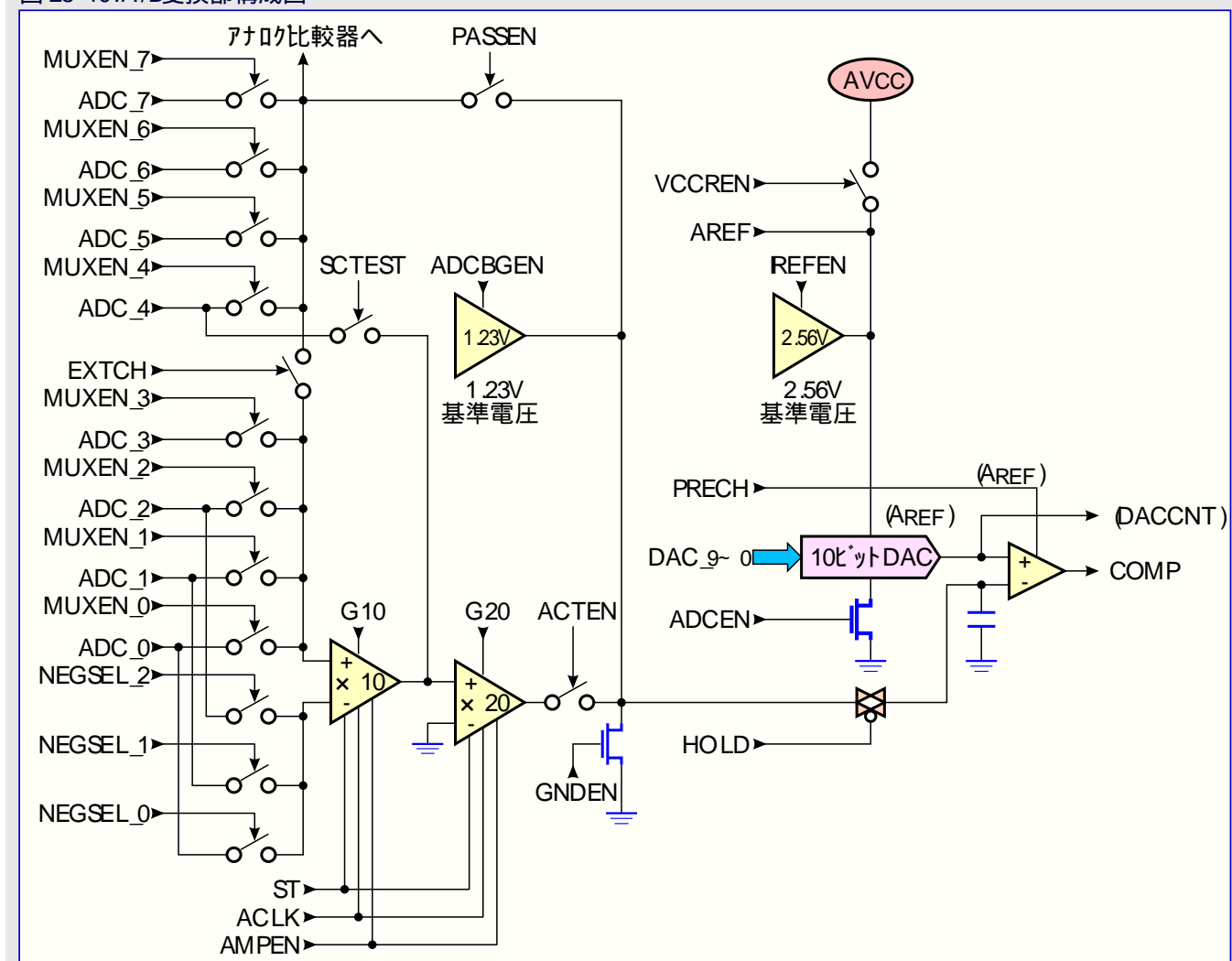
表 25-4.アナログ比較器用境界走査信号

信号名	比較器側での方向	意味	未使用時推奨入力値	推奨入力時出力値
AC_DLE	入力	真の時にアナログ比較器OFF	1	CPU実行に依存
ACO	出力	アナログ比較器出力	CPU実行時入力	0
ACME	入力	真の時にA/D多重器出力使用	0	CPU実行に依存
ACBG	入力	内蔵基準電圧許可	0	CPU実行に依存

## 25.5.6. A/D変換器の走査

図 25-10は A/D変換部と関連する制御と監視信号の構成図を示します。図 25-9の境界走査セルがこれらの信号の各々に付随されます。この A/D変換器は、全てのアナログ入力がデジタルポートピンとしても兼用されるため、純粋な接続試験に使用される必要がありません。

図 25-10. A/D変換部構成図



各信号の概要は表 25-5で示されます。



表 25-5.A/D変換用境界走査信号

信号名	A/D変換器側での方向	意味	未使用時 推奨入力値	推奨入力または 未使用時出力値
COMP	出力	比較器出力	0	0
ACLK	入力	利得段のスイッチキャパシタのクロック	0	0
ACTEN	入力	利得段 比較器接続許可	0	0
ADCBGEN	入力	比較器反転入力へ内部 1.23V基準電圧接続	0	0
ADCEN	入力	A/D変換器電源ON信号	0	0
AMPEN	入力	利得段電源ON信号	0	0
DAC_9	入力	D/A変換器デジタル入力ビット9	1	1
DAC_8	入力	D/A変換器デジタル入力ビット8	0	0
DAC_7	入力	D/A変換器デジタル入力ビット7	0	0
DAC_6	入力	D/A変換器デジタル入力ビット6	0	0
DAC_5	入力	D/A変換器デジタル入力ビット5	0	0
DAC_4	入力	D/A変換器デジタル入力ビット4	0	0
DAC_3	入力	D/A変換器デジタル入力ビット3	0	0
DAC_2	入力	D/A変換器デジタル入力ビット2	0	0
DAC_1	入力	D/A変換器デジタル入力ビット1	0	0
DAC_0	入力	D/A変換器デジタル入力ビット0	0	0
EXTCH	入力	ADC3~ の利得段迂回接続	1	1
G10	入力	10倍利得許可	0	0
G20	入力	20倍利得許可	0	0
GNDEN	入力	比較器反転入力 GND接続	0	0
HOLD	入力	S&H信号。0=採取、1=保持。利得段使用の場合 ACLK =1の時に切り替えなければなりません。	1	1
REFEN	入力	D/A変換器への AREFとして内部 2.56V基準電圧許可	0	0
MUXEN_7	入力	ADC7 アナログ入力チャネル接続	0	0
MUXEN_6	入力	ADC6 アナログ入力チャネル接続	0	0
MUXEN_5	入力	ADC5 アナログ入力チャネル接続	0	0
MUXEN_4	入力	ADC4 アナログ入力チャネル接続	0	0
MUXEN_3	入力	ADC3 アナログ入力チャネル接続	0	0
MUXEN_2	入力	ADC2 アナログ入力チャネル接続	0	0
MUXEN_1	入力	ADC1 アナログ入力チャネル接続	0	0
MUXEN_0	入力	ADC0 アナログ入力チャネル接続	1	1
NEGSEL_2	入力	ADC2 反転差動入力接続	0	0
NEGSEL_1	入力	ADC1 反転差動入力接続	0	0
NEGSEL_0	入力	ADC0 反転差動入力接続	0	0
PASSEN	入力	利得段迂回路許可	1	1
PRECH	入力	比較器出力ラッチのプリチャージ(負論理)	1	1
SCTEST	入力	スイッチキャパシタ検査 (10倍利得段出力 ADC4)	0	0
ST	入力	AMPEN=1後の最初の2ACLK周期間 1ならば、利得段出力がより早く安定	0	0
VCCREN	入力	D/A変換器への AREFとして AVCC許可	0	0

注 :図 25-10内の不正なスイッチ設定は信号衝突の原因になり デバイスを損傷するかもしれません。それらは多くの入力を図 25-10で出力比較器の反転入力の S&Hへ選択します。1つのADCビット、内部基準電圧、GNDのどれか 1つの経路だけが選択されることを確認してください。

走査中にA/D変換器が使用されないなら、表 25-5の推奨入力値が使用されるべきです。使用者は走査中に差動段を使用しないことが推奨されます。スイッチキャパシタを基にした差動段は走査チェーン内で使用される時に達成が難しい高速な操作とタイミング精度が必要です。従って差動段の操作に関する詳細は提供されません。

AVRのA/D変換部はデジタル論理回路内に実装した逐次比較方式と図 25-10で示したアナログ回路が基です。境界走査使用時、問題は印加したアナログ電圧が或る範囲内で計測されるのを常に保証することです。これは逐次比較動作を行わずして容易に実行でき、DAC<sub>9~0</sub>デジタル信号線に下限値を加え、比較器からの出力がLow(0)であることを確認し、その後DAC<sub>9~0</sub>デジタル信号線に上限値を加え、比較器からの出力がHigh(1)であることを検証します。

このA/D変換器は全てのアナログ入力がデジタルポートピンとしても兼用されるため、純粋な接続試験に使用される必要がありません。

A/D変換を使用する時に次のことに留意してください。

ADCチャネルで使用するポートピンは信号の衝突を避けるため、プルアップを禁止した入力に設定されなければなりません。

通常動作ではA/D変換部許可時に1回の比較で構成される擬似変換が実行されます。使用者はA/D変換許可後、A/D変換信号の制御/監視をする前に最低200n待機するか、または最初の変換結果を使用する前に擬似変換の実行を推奨されます。

DAC値はHOLD信号がLow(0)採取の時に中間値(\$200)で安定していなければなりません。

例として、電源電圧5VでAREFが外部的にVCCへ接続される時のADCチャネル3で1.5V±5%の入力信号を検証する手順を考察してください。

上限 :  $1024 \times 1.5V \times 1.05 \div 5V = 323 = \$143$

下限 :  $1024 \times 1.5V \times 0.95 \div 5V = 291 = \$123$

表 25-6の手順内で他の値が与えられる以外は表 25-5の推奨値が使用されます。表 25-6には走査チェーンのDAC値とポートピン値だけが示されます。動作欄は続く行内の値で境界走査チェーンレジスタを満たす前にどのJTAG命令を使用すべきかを記述します。表の同一列上のデータを走査入力する時に走査出力のデータで検証が行われるべきです。

表 25-6. A/D変換使用手順

手順番号	動作	ADCEN	DAC <sub>9~0</sub>	MUXEN <sub>7~0</sub>	HOLD	PRECH	PF3データ	PF3制御	PF3プルアップ許可
1	SAMPLE_PRELOAD	1	\$200	\$08	1	1	0	0	0
2	EXTEST	1	\$200	\$08	0	1	0	0	0
3		1	\$200	\$08	1	1	0	0	0
4		1	\$123	\$08	1	1	0	0	0
5		1	\$123	\$08	1	0	0	0	0
6	0となるべきCOMP走査出力の検証	1	\$200	\$08	1	1	0	0	0
7		1	\$200	\$08	0	1	0	0	0
8		1	\$200	\$08	1	1	0	0	0
9		1	\$143	\$08	1	1	0	0	0
10		1	\$143	\$08	1	0	0	0	0
11	1となるべきCOMP走査出力の検証	1	\$200	\$08	1	1	0	0	0

この手法の使用ではHOLD信号の束縛タイミングがTCKクロック周波数を押さえます。手順の第5段階でのHOLDのHigh(1)に保持で、TCKクロック周波数は最大保持時間( $t_{holdmax}$ )で割られた走査ビット数の最低5倍でなければなりません。

## 25.6. A mega64Aの境界走査 (Boundary-Scan)順

表 25-7は境界走査チェーンがデータ経路として選択される時のTDとTDO間の走査順を示します。ビットが最下位ビットで走査の最初に入出力されます。走査順は可能な限りピン配置順に従います。このためにポートAのビットは他のポートと違うビット順で走査されます。この規則の例外はアナログ回路が接続される物理ピンに関係なく走査チェーンの最上位を構成するアナログ回路用走査チェーンです。図 25-3上で、Pxr出力はFFQ Pxr制御はFF1 Pxnプルアップ許可はFF2に各々対応します。ポートFのビット4,5,6,7はJTAC許可時にTAPピンを構成するので走査チェーンには存在しません。

表 25-7. A mega64A境界走査 (Boundary-Scan)順

ビット	信号名	基本単位	ビット	信号名	基本単位	ビット	信号名	基本単位	
204	AC_DLE	アナログ比較器	152	PE2.Control	ポートE	99	RCOSCEN	主クロック/発振器用許可信号	
203	ACO		151	PE2.Pullup_Enable		98	OSC32EN	主クロック/入力/発振器監視専用セル)	
202	ACME		150	PE3.Data		97	EXTCLK(XTAL1)		
201	ACBG		149	PE3.Control		96	OSCK		
200	COMP		148	PE3.Pullup_Enable		95	RCCK		
199	PRMATE_SIGNAL1	(注)	147	PE4.Data		94	OSC32CK		
198	ACLK	A/D変換	146	PE4.Control		93	TW_IEN	TWI	
197	ACTEN		145	PE4.Pullup_Enable		92	PD0.Data	ポートD	
196	PRMATE_SIGNAL2		(注)	144		PE5.Data	91		PD0.Control
195	ADCBGEN		143	PE5.Control		90	PD0.Pullup_Enable		
194	ADCEN		142	PE5.Pullup_Enable		89	PD1.Data		
193	AMPEN		141	PE6.Data		88	PD1.Control		
192	DAC_9		140	PE6.Control		87	PD1.Pullup_Enable		
191	DAC_8		139	PE6.Pullup_Enable		86	PD2.Data		
190	DAC_7		138	PE7.Data		85	PD2.Control		
189	DAC_6		137	PE7.Control		84	PD2.Pullup_Enable		
188	DAC_5		136	PE7.Pullup_Enable		83	PD3.Data		
187	DAC_4		135	PB0.Data	82	PD3.Control			
186	DAC_3		134	PB0.Control	81	PD3.Pullup_Enable			
185	DAC_2		133	PB0.Pullup_Enable	80	PD4.Data			
184	DAC_1		132	PB1.Data	79	PD4.Control			
183	DAC_0		131	PB1.Control	78	PD4.Pullup_Enable			
182	EXTCH		130	PB1.Pullup_Enable	77	PD5.Data			
181	G10		129	PB2.Data	76	PD5.Control			
180	G20		128	PB2.Control	75	PD5.Pullup_Enable			
179	GN DEN		127	PB2.Pullup_Enable	74	PD6.Data			
178	HOLD		126	PB3.Data	73	PD6.Control			
177	REFEN		125	PB3.Control	72	PD6.Pullup_Enable			
176	MUXEN_7		124	PB3.Pullup_Enable	71	PD7.Data			
175	MUXEN_6		123	PB4.Data	70	PD7.Control			
174	MUXEN_5		122	PB4.Control	69	PD7.Pullup_Enable			
173	MUXEN_4		121	PB4.Pullup_Enable	68	PG0.Data			
172	MUXEN_3		120	PB5.Data	67	PG0.Control			
171	MUXEN_2	119	PB5.Control	66	PG0.Pullup_Enable				
170	MUXEN_1	118	PB5.Pullup_Enable	65	PG1.Data				
169	MUXEN_0	117	PB6.Data	64	PG1.Control				
168	NEGSEL_2	116	PB6.Control	63	PG1.Pullup_Enable				
167	NEGSEL_1	115	PB6.Pullup_Enable	62	PC0.Data				
166	NEGSEL_0	114	PB7.Data	61	PC0.Control				
165	PASSEN	113	PB7.Control	60	PC0.Pullup_Enable				
164	PRECH	112	PB7.Pullup_Enable	59	PC1.Data				
163	SCTEST	111	PG3.Data	58	PC1.Control				
162	ST	110	PG3.Control	57	PC1.Pullup_Enable				
161	VCCREN	109	PG3.Pullup_Enable	56	PC2.Data				
160	PEN	プログラミング許可監視専用セル)	108	PG4.Data	55	PC2.Control			
159	PE0.Data	ポートE	107	PG4.Control	54	PC2.Pullup_Enable			
158	PE0.Control		106	PG4.Pullup_Enable	53	PC3.Data			
157	PE0.Pullup_Enable		105	TOSC	タイマ用32kHz発振器	52	PC3.Control		
156	PE1.Data		104	TOSCON	リセット回路監視専用セル)	51	PC3.Pullup_Enable		
155	PE1.Control		103	RSTT	主クロック/発振器用許可信号	50	PC4.Data		
154	PE1.Pullup_Enable		102	RSTHV		49	PC4.Control		
153	PE2.Data		101	EXTCLKEN		48	PC4.Pullup_Enable		
			100	OSCON	47	PC5.Data			

注: PRIVATE\_SIGNAL1とPRIVATE\_SIGNAL2は常に0として走査されるべきです。

[次頁へ続く](#)

表 25-7 (続き).ATmega64A境界走査 (Boundary-Scan)順

ビット	信号名	基本単位	ビット	信号名	基本単位	ビット	信号名	基本単位
46	PC5.Control	ポートC	30	PA6.Pullup_Enable	ポートA	14	PA0.Data	ポートA
45	PC5.Pullup_Enable		29	PA5.Data		13	PA0.Control	
44	PC6.Data		28	PA5.Control		12	PA0.Pullup_Enable	
43	PC6.Control		27	PA5.Pullup_Enable		11	PF3.Data	ポートF
42	PC6.Pullup_Enable		26	PA4.Data		10	PF3.Control	
41	PC7.Data		25	PA4.Control		9	PF3.Pullup_Enable	
40	PC7.Control		24	PA4.Pullup_Enable		8	PF2.Data	
39	PC7.Pullup_Enable		23	PA3.Data		7	PF2.Control	
38	PG2.Data	ポートG	22	PA3.Control		6	PF2.Pullup_Enable	
37	PG2.Control		21	PA3.Pullup_Enable		5	PF1.Data	
36	PG2.Pullup_Enable		20	PA2.Data		4	PF1.Control	
35	PA7.Data	ポートA	19	PA2.Control		3	PF1.Pullup_Enable	
34	PA7.Control		18	PA2.Pullup_Enable		2	PF0.Data	
33	PA7.Pullup_Enable		17	PA1.Data		1	PF0.Control	
32	PA6.Data		16	PA1.Control		0	PF0.Pullup_Enable	
31	PA6.Control		15	PA1.Pullup_Enable				

## 25.7 境界走査記述言語 (Boundary-Scan Description Language)ファイル

境界走査記述言語 (BSDL)ファイルは境界走査が可能なデバイスで自動検査生成ソフトウェアによって使用される標準形式で記述します。境界走査データレジスタ内のビットの順番と機能がこの記述内に含まれます。

## 25.8 境界走査 (Boundary-Scan)に関連する I/Oメモリ内のレジスタ

### 25.8.1 MCU制御 /状態レジスタ (MCU Control and Status Register)MCUCSR

MCU制御 /状態レジスタは一般MCU機能制御ビットを含み、MCUリセットを起こしたリセット元の情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

#### ビット7 - JTD :JTAGインターフェース禁止 (JTAG interface disable)

このビットが0の時に JTAGインターフェースがプログラム0されていれば、JTAGインターフェースが許可されます。このビットが1の場合、JTAGインターフェースは禁止されます。JTAGインターフェースの予期せぬ許可や禁止を避けるためにこのビットを変更する時は時間制限手順に従わなければなりません。この値を変更するために応用ソフトウェアは4周期以内に希望する値をこのビットへ2回書き込まなければなりません。

JTAGインターフェースが他のJTAG回路に接続されないままにされる場合、このJTDビットは1に設定されるべきです。この理由はJTAGインターフェースのTDOピンの静止時電流を避けるためです。

#### ビット4 - JTRF :JTAG リセットフラグ (JTAG Reset Flag)

このビットはJTAG命令AVR\_RESETによって選択したJTAGレジスタ内の論理1でリセットが起こされると設定1されます。このビットは電源ONリセットまたはこのフラグへの論理0書き込みによってリセット0されます。



## 26. フォートローダ書き込み中読み出し可能な自己プログラミング)

### 26.1 特徴

書き込み中読める (Read-While-Write) 自己プログラミング  
柔軟性のあるフォートローダメモリ容量  
高い安全性 (柔軟な保護用の独立したフー 施錠ビット)  
リットヘク選択用の独立したヒューズ  
最適化されたヘーシ容量 (注 1)  
効率的なコード手法  
効率的な読み 変更 書き (リード モテファイライト支援)

注 1: ヘーシはプログラミング中に使用される多数のハイから成るフラッシュメモリの区画です (189頁の表 27-10参照)。このヘーシ構成は通常動作に影響を及ぼしません。

### 26.2 概要

フォートローダ支援はMCU自身によるプログラムコードのダウンロードとアップロード用の真の書き込み中の読み出しが可能な自己プログラミング機構を提供します。この特徴はフラッシュメモリに常駐するフォートローダプログラムを使用するMCUによって制御される柔軟な応用ソフトウェア更新を可能にします。フォートローダプログラムはフラッシュメモリ内にコードを書き(プログラム) コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使用できます。フォートローダ領域内のプログラムコードはフォートローダメモリを含むフラッシュメモリ全体を書く能力を持ちます。従ってフォートローダは自身をも変更でき、この機能がそれ以上必要とされないなら、そのコードから自身を消去することもできます。フォートローダメモリの容量はヒューズで設定可能で、フォートローダは個別に設定可能な2組の独立したフー 施錠ビットを持ちます。これは異なる保護レベルを選択する独特な柔軟性を使用者に与えます。

### 26.3 フラッシュメモリの応用領域とフォートローダ領域

フラッシュメモリは応用領域とフォートローダ領域の2つの主要な領域で構成されます (図 26-2参照)。各領域の容量は 184頁の表 26-6と図 26-2で示されるようにBOOTSZヒューズによって設定されます。これら2つの領域は個別の施錠ビットの組を持つため、異なる保護レベルを持てます。

#### 26.3.1 応用領域

応用領域は応用コードを格納するのに使用されるフラッシュメモリの領域です。応用領域用保護レベルは応用フー 施錠ビット(フー 施錠ビット 0)によって選択できます (179頁の表 26-2参照)。応用領域から実行される時にSPM命令が禁止されるので、応用領域はどんなフォートローダコードも決して格納し得ません。

#### 26.3.2 フォートローダ領域 (BLS)

応用領域が応用コード格納用に使用されるのに対して、SPM命令はBLSから実行する時にだけプログラミングを始められるので、フォートローダソフトウェアはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのフラッシュメモリをアクセスできます。フォートローダ領域用保護レベルはフォートローダ施錠ビット(フー 施錠ビット 1)によって選択できます (179頁の表 26-3参照)。

### 26.4 フラッシュメモリの書き込み中に読み出し可能な領域と不能な領域

どちらのアドレスがプログラミングされるかによって、CPUが書き込み中の読み出しを支援するか、フォートローダソフトウェアが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZヒューズによって設定可能な2つの領域に加え、フラッシュメモリは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は 178頁の図 26-2と184頁の「ATmega64A用 フォートローダ パラメータ」で与えられます。この2つの領域間の主な違いを次に示します。

RWW領域側に配置されたヘーシを消去または書くとき、NRWW領域はその動作中に読むことができます。

NRWW領域側に配置されたヘーシを消去または書くとき、その全ての動作中にCPUは停止されます。

フォートローダソフトウェア動作中、使用者ソフトウェアがRWW領域側に配置されるどのコードも決して読めないことに注意してください。書き込み中読み出し可能領域」という記述は「プログラミング(消去または書き込み)される領域としての引用で、フォートローダソフトウェアが更新中に実際に読まれる領域ではありません。

訳補: 上の記述はNRWW領域からRWW領域をプログラミングするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をプログラミングすると、NRWW領域のプログラムは通常通り動作する(即ち読める)ので、プログラミングされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

#### 26.4.1.書き込み中読み出し可能 (RWW)領域

ブートローダ ソフトウェア更新がRWW領域側のページをプログラミングする場合、フラッシュメモリからコードを読むことが可能ですが、NRWW領域に配置されるコードだけです。プログラミング実行中、そのソフトウェアはRWW領域が決して読まれないことを保証しなければなりません。使用者ソフトウェアがプログラミング中に例えば、CALL、JP、LPM系命令または割り込みによってRWW領域側に配置されるコードを読むとすると、そのソフトウェアは未知の状態へ行き着くかもしれません。これを避けるために割り込みは禁止、またはブートローダ領域へ移動のどちらかにされるべきです。ブートローダ領域は常にNRWW領域に配置されます。RWW領域が読み出しに対して妨げられている限り、SPM命令制御/状態レジスタ(SPMCSR)のRWW領域多忙(RWWSB)ビットが論理1として読めます。プログラミングが完了した後、RWW領域に配置したコードを読む前にRWWSBはソフトウェアによって解除(0)されなければなりません。RWWSBを解除(0)する方法の詳細については185頁の「SPM命令制御/状態レジスタ(SPMCSR)」をご覧ください。

#### 26.4.2.書き込み中読み出し不能 (NRWW)領域

NRWW領域に配置したコードはブートローダソフトウェアがRWW領域内のページを更新する時に読めます。ブートローダコードがNRWW領域を更新するとき、全てのページ消去またはページ書き込み動作中にCPUが停止されます。

表 26-1.書き込み中読み出し可能機能

プログラミング中にZCインデックスで指定される領域	プログラミング中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図 26-1. RWW領域とNRWW領域の関係

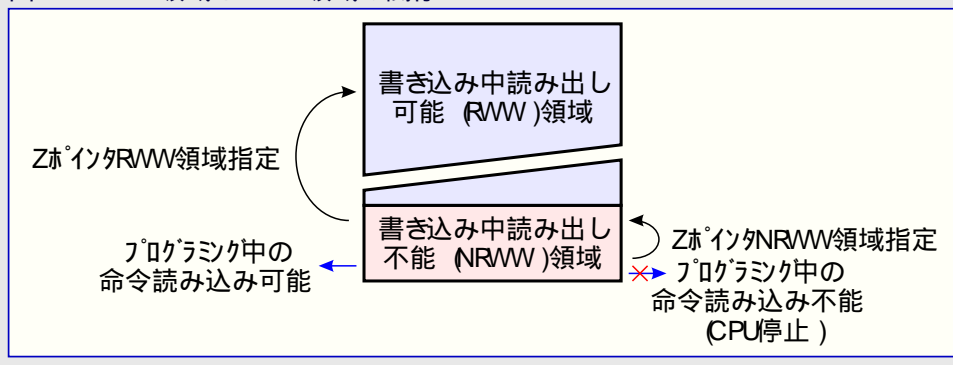
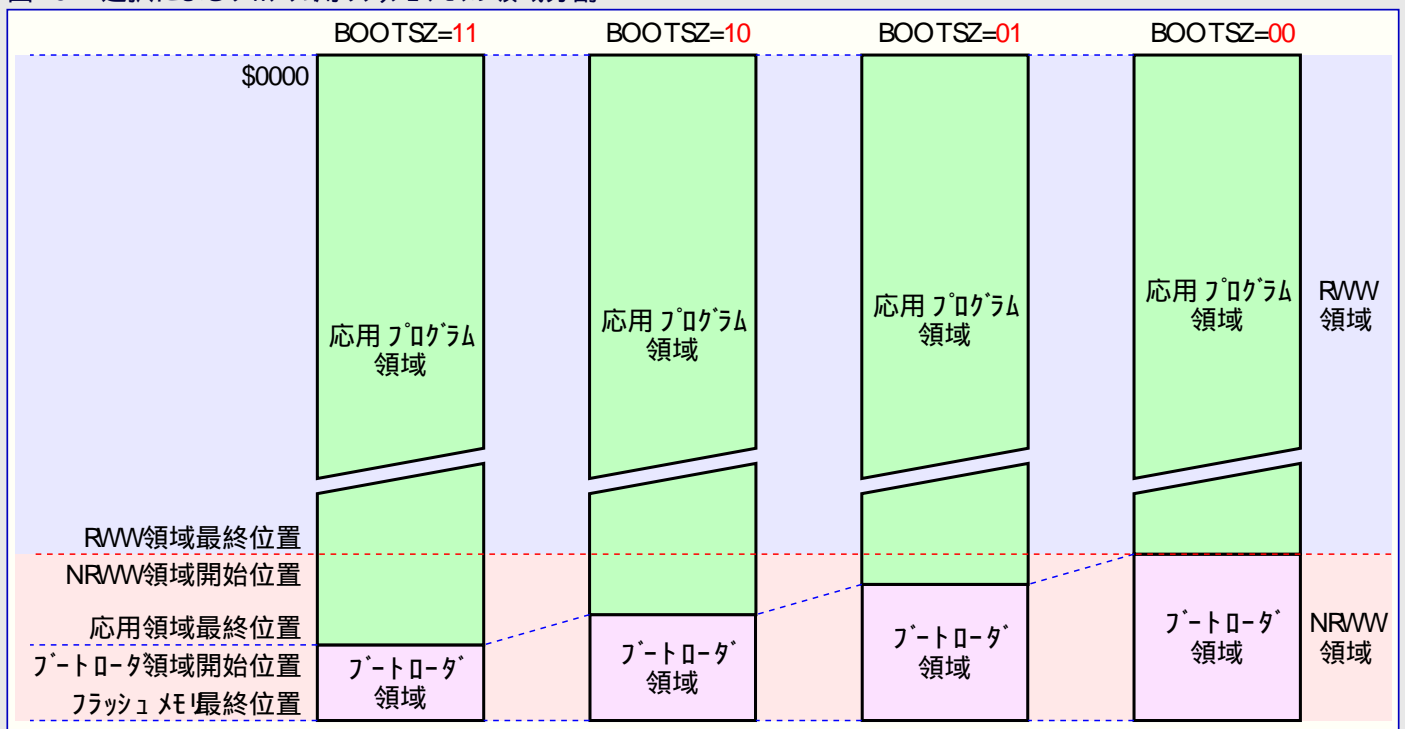


図 26-2. 選択によるプログラム用フラッシュメモリの領域分割



注: 図内の各パラメータについては184頁の表 26-6で与えられます。

## 26.5. ブートロータ施錠ビット

ブートロータ能力が必要とされないなら、フラッシュメモリ全体が応用コード用に利用可能です。ブートロータは個別に設定可能な独立した2組のブート施錠ビットを持ちます。これは異なる保護レベルを選択する独特な柔軟性を使用者に与えます。

使用者は以下を選択できます。

- MCUによって更新するソフトウェアからフラッシュメモリ全体を保護
- MCUによって更新するソフトウェアからフラッシュメモリのブートロータ領域だけを保護
- MCUによって更新するソフトウェアからフラッシュメモリの応用領域だけを保護
- フラッシュメモリ全体で更新するソフトウェアを許可

より多くの詳細については表 26-2と表 26-3をご覧ください。ブート施錠ビットはソフトウェアと直列または並列のプログラミング動作で設定 (0) できますが、これらのビットはチップ消去指令によってのみ解除 (1) できます。一般書き込み禁止 (LB動作種別 2) は SPM 命令によるフラッシュメモリのプログラミングを制御しません。同様に、試みられたなら、一般読み書き禁止 (LB動作種別 3) は LPM 命令と SPM 命令による読み込みも書き込みも制御しません。【補】一般 LB は LPM / SPM 命令に関して無関係の意)

表 26-2 応用領域に対する保護種別 (0=プログラム 1=非プログラム)

BLB0動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM 命令が応用領域をアケスすることに対して制限はありません。
2	1	0	SPM 命令は応用領域に書くことを許されません。
3	0	0	SPM 命令による応用領域への書き込みと、ブートロータ領域での LPM 命令による応用領域からの読み込みが許されません。【注】
4	0	1	ブートロータ領域での LPM 命令による応用領域からの読み込みが許されません。【注】

注: BLB02=0で、割り込みベクタがブートロータ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

表 26-3 ブートロータ領域に対する保護種別 (0=プログラム 1=非プログラム)

BLB1動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM 命令がブートロータ領域をアケスすることに対して制限はありません。
2	1	0	SPM 命令はブートロータ領域に書くことを許されません。
3	0	0	SPM 命令によるブートロータ領域への書き込みと、応用領域での LPM 命令によるブートロータ領域からの読み込みが許されません。【注】
4	0	1	応用領域での LPM 命令によるブートロータ領域からの読み込みが許されません。【注】

注: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートロータ領域での実行時に割り込みが禁止されます。

## 26.6. ブートロータプログラムへの移行

ブートロータへの移行は応用プログラムから分岐 (Jumpまたは呼び出し Call)によって行います。これはUSARTやSPIインターフェース経由で受信した指令のような起点によって始められるかもしれませんが、代わりに、リセット後にリセットベクタがブートロータ領域開始アドレスを指示するようにブートリセット(BOOTRST)ヒューズをプログラム (0) できます。この場合、ブートロータがリセット後に開始されます。応用コードが設定された後、そのプログラム(ブートロータ)は応用コードの実行を始めることができます。このヒューズがMCU自身によって変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム (0) されると、リセットベクタは常にブートロータリセットを指示し、このヒューズが直列プログラミング、並列プログラミングまたは JTAG インターフェースを通してのみ変更できることを意味します。

表 26-4. ブートリセットヒューズ (0=プログラム 1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)
0	ブートロータリセット      ブートロータ開始アドレス (18頁の表 26-6参照)
1	応用リセット              \$0000

## 26.7.自己プログラミング中のフラッシュメモリのアドレス指定

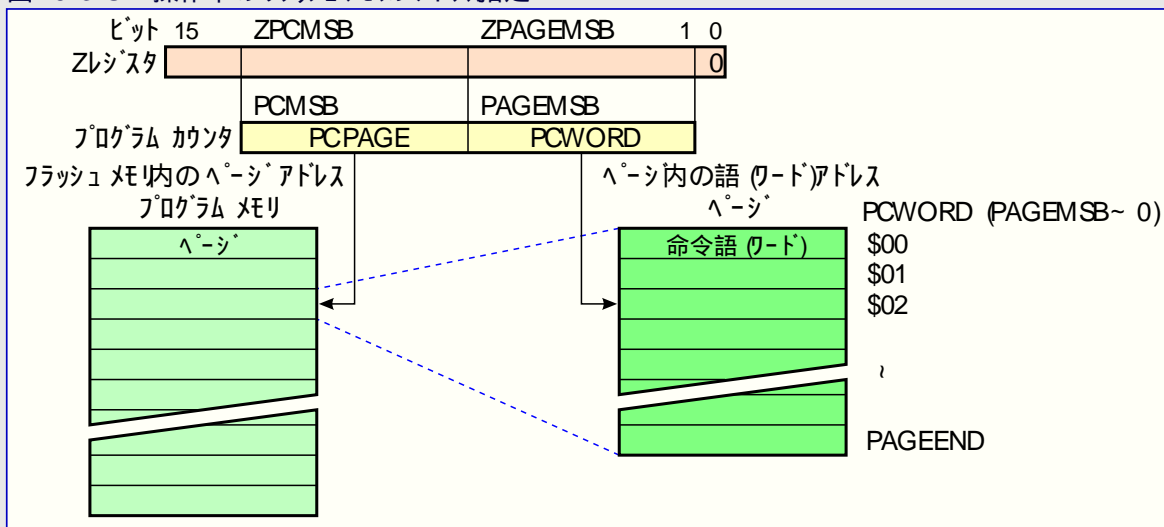
ZポイントレジスタはSPM命令でのアドレス指定に使用されます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリはページで構成されるため(189頁の表 27-10参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは図 26-3で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってブートローダソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。一旦プログラミング操作が開始されると、このアドレスはラッチされ、Zポイントは他の操作に使用できます。

Zポイントを使用しないSPM操作はブートロータ施錠ビット設定だけです。この操作でZレジスタの内容は無視され、無効です。LPM命令もアドレスを格納するのにZポイントを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するので、Zポイントの最下位ビット(Z0)も使用されます。

図 26-3.SPM操作中のフラッシュメモリのアドレス指定



注：図内で使用した各変数は184頁の表 26-7で一覧されます。  
PCPAGEとPCWORDは189頁の表 27-10で一覧されます。

## 26.8.フラッシュメモリの自己プログラミング

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前にそのページが消去されなければなりません。ページ一時バッファはSPM命令使用時毎の語(ワード)で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時バッファ格納)

- ページ一時バッファを満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時バッファ格納)

- ページ消去を実行してください。
- ページ一時バッファを満たしてください。
- ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は例えばページ一時バッファに保存されなければならず、その後に変更して書かれます。手段1を使用する場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことを使用するソフトウェアに許す効率的な読み修正書き(リードモディファイライト)機能をブートローダが提供します。手段2が使用される場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時バッファは乱順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。アセンブリ言語でのコード例については183頁の「アセンブリ言語による簡単なブートロータ例」をご覧ください。



### 26.8.1. SPM命令によるページ消去の実行

ページ消去を実行するには**Zポインタ**にアドレスを設定して**SPM命令制御 状態レジスタ (SPMCSR)**に **X0000011**を書き、SPMCSR書き込み後 4クロック周期内に**SPM命令**を実行してください。R1とR0のデータは無視されます。ページアドレスは**Zポインタの PCPAGE**に書かれなければならない。この操作中、Zポインタの他のビットは**0**を書かれなければならない。

**RWW領域**のページ消去 : ページ消去中、NRWW領域は読めます。

**NRWW領域**のページ消去 : ページ消去中、CPUは停止されます。

### 26.8.2. ページ一時バッファの設定 (ページ設定)

命令語 (ワード) を (ページ一時バッファ) 書くには**Zポインタ**にアドレス R1 R0にデータを設定して SPMCSRに **00000001**を書き、SPMCSR書き込み後 4クロック周期内に**SPM命令**を実行してください。Zポインタの PCWORDの内容は一時バッファのデータのアドレスに使用されます。一時バッファはページ書き込み操作後、または SPMCSRの**RWW/SREビット**書き込みによって自動的に消去されます。システム リセット後も消去されています。一時バッファを消去せずに各アドレスへ複数回書くことができないことに注意してください。

**注** : SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

### 26.8.3. ページ書き込みの実行

ページ書き込みを行うには**Zポインタ**にアドレスを設定して SPMCSRに **X0000101**を書き、SPMCSR書き込み後 4クロック周期内に**SPM命令**を実行してください。R1とR0のデータは無視されます。ページアドレスは (Zポインタの) PCPAGEに書かれなければならない。この操作中にZポインタの他のビットは**0**を書かれなければならない。

**RWW領域**のページ書き込み : ページ書き込み中、NRWW領域は読めます。

**NRWW領域**のページ書き込み : ページ書き込み中、CPUは停止されます。

### 26.8.4. SPM操作可割り込みの使用法

**SPM操作可割り込み**が許可されると、SPMCSRのSPMENビットが解除 (0)されている時にSPM操作可割り込みが継続的に発生します。これはソフトウェアでSPMCSRをホールドする代わりにこの割り込みが使用できることを意味します。SPM操作可割り込みを使用するとき、割り込みが読み出しに対して防がれる時にRWW領域をアクセスするのを避けるために、割り込みベクタはポートロータ領域 (BLS)へ移動されるべきです。割り込み (ベクタ)の移動法は**35頁の「割り込み」**で記述されます。

### 26.8.5. ポートロータ領域更新中の考慮

**ブーティンビット11 (BLB11)**が非プログラム (1)にされたままとすることによって使用者がポートロータ領域に更新を許す場合、特別な注意が求められる場合があります。ポートロータ自身への予期せぬ書き込みはポートロータ全体を不正に使得、更にソフトウェアの更新が不可能になるかもしれません。ポートロータ自体の変更が必要ないなら、内部ソフトウェアのどんな変更からもポートロータを保護するために**ブーティンビット11 (BLB11)**をプログラム (0)することが推奨されます。

### 26.8.6. 自己プログラミング中のRWW領域読み込みの防止

自己プログラミング中 (ページ消去もページ書き込みも) RWW領域は読み出しに対して常に防がれます。使用者ソフトウェアそれ自身が自己プログラミング操作中にこの領域がアドレス指定されるのを防止しなければならない。SPMCSRの**RWW/SRE**はRWW領域が多忙である限り設定 (1)されます。自己プログラミング中の割り込みベクタ表は**35頁の「割り込み」**で記述されるようにポートロータ領域 (BLS)へ移動されるべきか、または割り込みが禁止されなければならない。プログラミングが完了した後にRWW領域をアドレス指定する前に、使用者ソフトウェアは**RWW/SREの書き込み**によってRWW/SREを解除 (0)しなければならない。例については**183頁の「アセンブリ言語による簡単なポートロータ例」**をご覧ください。

### 26.8.7. SPM命令によるポートロータ施錠ビットの設定

ポートロータ施錠ビットを解除 (0)するには希望したデータをR0に設定して SPMCSRに **X0001001**を書き、SPMCSR書き込み後 4クロック周期内に**SPM命令**を実行してください。アクセス可能な施錠ビットはMCUによるどのソフトウェア更新からも応用とポートロータ領域を保護できる**ブーティンビット**だけです。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

フラッシュメモリのアクセスに影響を及ぼすポートロータ施錠ビットの各種設定法については**表 26-2**と**表 26-3**をご覧ください。

**R0**のビット5~ 2が解除 (0)される場合、SPMCSRで**SPMEN**と**ブーティンビット設定 (BLBSET)ビット**が設定 (1)された後 4クロック周期内に**SPM命令**が実行されると、対応するブーティンビットがプログラム (0)されます。この操作中、Zポインタは関係ありませんが、将来との共通性のために施錠ビット読み出しに使用されるのと同じ\$0001でZポインタを設定することが推奨されます。将来との共通性のため、施錠ビット書き込み時、**R0**のビット7,6,1,0は**1**に設定することも推奨されます。施錠ビットをプログラミングするとき、この操作中に全てのフラッシュメモリは読むことができます。

## 26.8.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROM書き込み許可(EEWE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前にこのビットが解除(0)されているのを確認することが推奨されます。

## 26.8.9. ソフトウェアからのヒューズビットと施錠ビットの読み出し

ソフトウェアからヒューズと施錠ビットの両方を読むことが可能です。施錠ビットを読むにはZohインタに\$0001を設定してSPMCSRのSPMENとブルー施錠ビット設定(BLBSET)ビットを設定(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後3CPU周期内にLPM命令が実行されると、施錠ビットの値が転送先レジスタに格納されます。SPMENとBLBSETビットは施錠ビット読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。SPMENとBLBSETビットが解除(0)されると、LPMは命令セッチ手引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読む手順は上記の施錠ビット読み出しと同様です。ヒューズ下位ビットを読み出すにはZohインタに\$0000を設定してSPMCSRのSPMENとBLBSETビットを設定(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後3CPU周期内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値が転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については18頁の表27-5を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むにはZohインタに\$0003を設定してください。SPMENとBLBSETビットがSPMCSRで設定(1)された後3周期内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値が転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については18頁の表27-4を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ヒューズビットを読む時はZohインタに\$0002を設定してください。SPMENとBLBSETビットがSPMCSRで設定(1)された後3周期内にLPM命令が実行されると、以下で示されるように拡張ヒューズビット(EFB)の値が転送先レジスタに格納されます。拡張ヒューズビットの配置と詳細な記述については18頁の表27-3を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	EFB1	EFB0

プログラム(0)されたヒューズと施錠ビットは0として読めます。非プログラム(1)にされたヒューズと施錠ビットは1として読めます。

## 26.8.10. フラッシュメモリー死化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリーを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリー化けは次の推奨設計によって容易に避けられます(1つは必須)

そのシステムでブートローダ更新が必要ない場合、どんなブートローダソフトウェア更新をも防ぐためにブートローダ施錠ビットをプログラム(0)してください。

不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使用できます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低VCCの期間中、AVRコアをハワータウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSRに従ってフラッシュメモリーを予期せぬ書き込みから効果的に保護します。

## 26.8.11. SPM命令使用時のフラッシュメモリー用プログラミング書き込み時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表26-5はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 26-5. SPM命令によるフラッシュメモリのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

## 26.8.12. アセンブリ言語による簡単なブートロータ例

このルーチンはRAMからフラッシュメモリへ1ページのデータを書きます。RAM内の最初のデータ位置はレジスタによって指示され、フラッシュメモリ内の最初のデータ位置はレジスタによって指示されます。異常処理は含まれません。このルーチン(少なくともSPMサブルーチン)はブートロータ領域側に配置されなければなりません。NRWW領域側のコードだけが自己プログラミング(ページ消去とページ書き込み)中に読めます。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCで、レジスタの保存と復帰はこのルーチンに含まれず、使用レジスタはコード量を犠牲にすれば最適化できます。割り込み表がブートロータ領域に移動されるか、割り込みが禁止されるかのどちらかが前提です。

ページ内データが256バイト以下の場合は计数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します **訳注** 本行は以下のプログラム補正に対応して追加しました)

ラベル	命令	注釈
	.EQU PGSZB = PAGE SIZE*2	; PGSZBはページ内のバイト数です。(PAGE SIZEはワード数)
	.ORG SMALLBOOTSTART	;
WRPG:	LDI SPMC, (1<<PGERS)+(1<<SPMEN)	; [ページ消去]
	CALL SPMU	; ページ消去 SPMCSR値を取得
		; ページ消去
	LDI SPMC, (1<<RWMSRE)+(1<<SPMEN)	; [RWW領域読み出し再許可]
	CALL SPMU	; RWW領域読み出し許可 SPMCSR値を取得
		; RWW領域読み出し許可
	LDI CNTL, LOW(PGSZB)	; [RAMからフラッシュページ一時バッファへ転送]
	LDI CNTH, HIGH(PGSZB)	; バイト计数器を初期化
	LD R0, Y+	; 削除)
	LD R1, Y+	; RAM上の下位データを取得 (ポインタ進行)
	LDI SPMC, (1<<SPMEN)	; RAM上の上位データを取得 (ポインタ進行)
	CALL SPMU	; ページ一時バッファ書き込み SPMCSR値を取得
	ADIW ZH, 2	; 対応語(ワード)データをページ一時バッファに設定
	SBIR CNTH:CNTH, 2	; ページ一時バッファポインタ進行
	BRNE WLP	; 计数器を減数 (SUBI)
		; 指定バイト数分継続
	SUBI ZL, LOW(PGSZB)	; [ページ書き込み]
	SBCI ZH, HIGH(PGSZB)	; ページ一時バッファ先頭にポインタ復帰
	LDI SPMC, (1<<PGWRT)+(1<<SPMEN)	; 削除)
	CALL SPMU	; フラッシュ書き込み SPMCSR値を取得
		; フラッシュメモリページ書き込み
	LDI SPMC, (1<<RWMSRE)+(1<<SPMEN)	; [RWW領域読み出し再許可]
	CALL SPMU	; RWW領域読み出し許可 SPMCSR値を取得
		; RWW領域読み出し許可
	LDI CNTL, LOW(PGSZB)	; [読み戻し照合 (任意)]
	LDI CNTH, HIGH(PGSZB)	; バイト计数器を初期化
	SUBI YL, LOW(PGSZB)	; 削除)
	SBCI YH, HIGH(PGSZB)	; RAMデータ先頭にポインタ復帰
	LPM R0, Z+	;
	LD R1, Y+	; フラッシュメモリから1バイト取得 (ポインタ進行)
	OPSE R0, R1	; RAMから1バイトデータを取得 (ポインタ進行)
	JMP ERROR	; 値一致でスキップ
		; 不一致で異常処理へ
		;
	SBIR CNTH:CNTH, 1	; 计数器を減数 (SUBI)
	BRNE RLP	; 指定バイト数分継続
		; [RWW領域へ復帰]
RTN:	LDS TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBR S TMP, RWMSB	; RWW領域多忙でスキップ
	RET	; 準備可で呼び出し元へ復帰
		; [RWW領域読み出し再許可]
	LDI SPMC, (1<<RWMSRE)+(1<<SPMEN)	; RWW領域読み出し許可 SPMCSR値を取得
	CALL SPMU	; RWW領域読み出し許可
	RJMP RTN	; RWW領域準備可まで待機へ
		; [SPM命令実行サブルーチン]
SPMU:	LDS TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBR S TMP, SPMEN	; SPM命令制御状態レジスタ値を取得
	RJMP SPMU	; 操作可能直前のSPM完了でスキップ
		; 操作可まで待機
		;
	IN TMP, SREG	; ステータスレジスタ値を保存
	CLI	; 全割り込み禁止
WAIT:	SBIC EECR, EEWE	; EEPROM書き込み中以外でスキップ
	RJMP WAIT	; EEPROM書き込み完了まで待機
		;
	STS SPMCSR, SPMC	; SPM動作指定
	SPM	; 対応SPM動作実行
	OUT SREG, TMP	; ステータスレジスタ値を復帰
	RET	; 呼び出し元へ復帰

### 26.8.13. ATmega64A用 ブートローダのパラメータ

自己プログラミングの記述で使用したパラメータは表 26-6~ 8で与えられます。

表 26-6 応用領域とブートローダ領域の分割設定

BOOTSZ1	BOOTSZ0	ブートローダ領域		アドレス範囲		
		容量 (ワード)	ページ数	応用プログラム領域	ブートローダプログラム領域	ブートリセットアドレス
1	1	512	4	\$0000~ \$7DFF	\$7E00~ \$7FFF	\$7E00
1	0	1024	8	\$0000~ \$7BFF	\$7C00~ \$7FFF	\$7C00
0	1	2048	16	\$0000~ \$77FF	\$7800~ \$7FFF	\$7800
0	0	4096	32	\$0000~ \$6FFF	\$7000~ \$7FFF	\$7000

注 : 各種 BOOTSZ レジスタ設定は図 26-2 で示されます。

表 26-7. RWW領域とNRWW領域の範囲

領域	ページ数	アドレス範囲
書き込み中読み出し可能 (RWW 領域)	224	\$0000~ \$6FFF
書き込み中読み出し不能 (NRWW 領域)	32	\$7000~ \$7FFF

注 : これら2つの領域についての詳細に関しては 178 頁の「書き込み中読み出し可能 (RWW 領域)」と「書き込み中読み出し不能 (NRWW 領域)」をご覧ください。

表 26-8. 図 26-3 で使用した各変数説明とZポイントの配置

変数名	対応値		意味
	PC	Zポイント (注)	
PCMSB	PC14		プログラムカウンタの最上位ビット (プログラムカウンタは 15ビット PC14~ 0)
PAGEMS	PC6		1ページ内に使用される語 (ワード) アドレスの最上位ビット (ページ内の 128語 (ワード) には 7ビット PC6~ 0が必要)
ZPCMSB		Z15	PCMSBに配置される対応するアドレス内のビット (Zが使用されないため、ZPCMSB=PCMSB+1)
ZPAGEMS		Z7	PAGEMSに配置される対応するアドレス内のビット (Zが使用されないため、ZPAGEMS=PAGEMS+1)
PCPAGE	PC14~ 7	Z15~ 8	プログラムカウンタページアドレス : ページ消去とページ書き込み用のページ選択
PCWORD	PC6~ 0	Z7~ 1	プログラムカウンタ語 (ワード) アドレス : 一時バッファ格納用語 (ワード) 選択 (ページ書き込み操作中は 0でなければなりません。)

注 : Z0 : 全ての SPM 命令に対して 0 であるべきで、LPM 命令に対するハイ選択です。

自己プログラミング中の Zポイントの使用については 180 頁の「自己プログラミング中のフラッシュメモリのアドレス指定」をご覧ください。



## 26.9. フォトリソグラフィ用レジスタ

### 26.9.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはフォトリソグラフィ動作を制御するために必要とされる制御ビットを含みます。

ビット (\$68)	7	6	5	4	3	2	1	0	SPMCSR
	SPM E	RWW SB	-	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	
Read/W rite	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPM E : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPM Eビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I)ビットが設定 (1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可 (SPMEN)ビットが解除 (0)されている限り実行されます。

ビット6 - RWW SB : RWW領域多忙 (Read-While-W rite Section Busy)

RWW領域に自己プログラミング(ページ消去またはページ書き込み)操作が開始されると、RWW SBがハードウェアによって設定 (1)されます。RWW SBビットが設定 (1)されると、RWW領域はアクセスできません。自己プログラミングが完了された後にRWWSREビットが1書きかれると、このRWW SBビットは解除 (0)されます。同様に、ページ設定操作が開始されると、RWW SBビットは自動的に解除 (0)されます。

ビット5 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

ビット4 - RWWSRE : RWW領域読み出し許可 (Read-While-W rite Section Read Enable)

RWW領域に自己プログラミング(ページ消去またはページ書き込み)すると、RWW領域はRWW SBがハードウェアによって設定 (1)され読み出しに対して防がれます。RWW領域を再許可するために使用者ソフトウェアはプログラミングが完了 (SPMENが解除 (0))されるまで待たねばなりません。その後、RWWSREビットがSPMENと同時に1書きかれると、次の4クロック周期内のSPM命令がRWW領域を再許可します。ページ消去またはページ書き込みでフラッシュメモリが多忙 (SPMEN=1)の間、RWW領域は再許可できません。フラッシュメモリが設定されている間にRWWSREビットが書きかれると、フラッシュメモリ設定操作は失敗し、設定したデータが失われます。

ビット3 - BLBSET : ブロック施錠ビット設定 (Boot Lock Bits Set)

このビットがSPMENと同時に1書きかれると、次の4クロック周期内のSPM命令はRのデータに従ったブロック施錠ビットを設定します。RのデータとZポイントのアドレスは無視されます。BLBSETビットは施錠ビットの設定完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除 (0)されます。

SPMCSRでBLBSETとSPMENが設定 (1)された後の3クロック周期内のLPM命令は(ZポイントのZdによってユーザービットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については182頁の「ソフトウェアからのユーザービットと施錠ビットの読み出し」をご覧ください。

ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1書きかれると、次の4クロック周期内のSPM命令は一時バッファに格納したデータでページ書き込みを実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除 (0)されます。RWW領域がアドレス指定されると、ページ全体の書き込み動作中にCPUは停止されます。

ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1書きかれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除 (0)されます。RWW領域がアドレス指定されると、ページ全体の消去中にCPUは停止されます。

ビット0 - SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間のSPM命令を許可します。このビットがRWWSRE、BLBSET、PGWRT、PGERSのどれかと共に1書きかれると、続くSPM命令は特別な意味を持ちます (上の記述をご覧ください)。SPMENだけが書きかれると、続くSPM命令はZポイントによってアドレス指定したページ一時バッファへR1 R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除 (0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

## 27. メモリプログラミング

### 27.1. プログラム メモリとデータ メモリ用施錠ビット

ATmega64Aは非プログラム(1)のままか、表 27-2で一覧される付加機能を得るためにプログラム(0)できる6つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ 1に消去できます。

表 27-1 施錠ビットハイの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
BLB12	5	ブートロータ領域に対する保護用フー 施錠ビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用フー 施錠ビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注：0はプログラム、1は非プログラムを意味します。

表 27-2 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、または JTAC 経由 プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ EEPROMの更なるプログラミング書き込み が禁止されます。ヒューズビットが固定されます。(注 1)
3	0	0	フラッシュ EEPROMの更なるプログラミング書き込み と照合 読み出しが禁止されます。ヒューズビットとフー 施錠ビットが固定されます。(注 1)
LB0 種別	BLB02	BLB01	フラッシュ メモリの応用 プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートロータ領域での LPM命令による応用領域からの読み込みが許されません。(注 2)
4	0	1	ブートロータ領域での LPM命令による応用領域からの読み込みが許されません。(注 2)
LB1 種別	BLB12	BLB11	フラッシュ メモリのブートロータ プログラム領域に対する保護
1	1	1	LPM, SPM命令がブートロータ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブートロータ領域に書くことを許されません。
3	0	0	SPM命令によるブートロータ領域への書き込みと、応用領域での LPM命令によるブートロータ領域からの読み込みが許されません。(注 3)
4	0	1	応用領域での LPM命令によるブートロータ領域からの読み込みが許されません。(注 3)

注：0はプログラム、1は非プログラムを意味します。

注 1: 施錠ビットを書く前にヒューズビットとフー 施錠ビットを書いてください。

注 2: BLB02=0で、割り込みベクタがブートロータ領域に配置されていると、応用領域での実行時に割り込みが禁止されます。

注 3: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートロータ領域での実行時に割り込みが禁止されます。

## 27.2. ヒューズ・ビット

ATmega64Aには3つのヒューズ・ハイがあります。表 27-3~ 5は全てのヒューズの概略機能とヒューズ・ハイ内でどのように配置されるかを示します。ヒューズはプログラムされると、論理 0として読まれることに注意してください。

表 27-3 拡張ヒューズ・ハイ一覧

名称	ビット	意味	既定値
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
M103C (注 1)	1	ATmega103互換動作。	0 (プログラム) ATmega103互換動作
WDTON (注 2)	0	ウォッチドッグ・タイマ常時有効。	1 (非プログラム) WDTはWDTCRで許可

注 1: 詳細については 4 頁の「ATmega64AとATmega103の互換性」をご覧ください。

注 2: 詳細については 33 頁の「ウォッチドッグ・タイマ制御レジスタ(WDTCR)」をご覧ください。

表 27-4. ヒューズ上位ハイ一覧

名称	ビット	意味	既定値
OCDEN (注 4)	7	内蔵デバッグ機能 OCD 許可。	1 (非プログラム) OCD 禁止
JTAGEN (注 5)	6	JTAG インターフェース許可。	0 (プログラム) JTAG 許可
SPIEN (注 1)	5	直列プログラミング許可。	0 (プログラム) 直列プログラミング許可
CKOPT (注 2)	4	クロック発振器任意選択機能。	1 (非プログラム)
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BOOTSZ1	2	ブートロータ容量選択。(表 26-6 参照) (注 3)	0 (プログラム)
BOOTSZ0	1		0 (プログラム)
BOOTRST	0	リセットベクタ応用領域またはブートロータ領域 選択。	1 (非プログラム) 応用領域

注 1: SPIEN ヒューズは直列プログラミングでアクセスできません。

注 2: CKOPT ヒューズの機能はCKSEL ヒューズ設定に依存します。詳細は 2 頁の「クロック」をご覧ください。

注 3: BOOTSZ1 の既定値は最大ブートロータ容量になります。18 頁の表 26-6 をご覧ください。

注 4: 施錠ビットや JTAGEN ヒューズの設定に拘らず、OCDEN ヒューズがプログラム (0) された製品の出荷は決してありません。プログラム (0) された OCDEN ヒューズは全休止形態でクロックの一部を許可します。これは消費電力の増加になってしまいます。

注 5: JTAG インターフェースが未接続のままにされる場合、JTAGEN ヒューズは可能ならば禁止されるべきです。これは JTAG インターフェースの TDO ピンの静止時電流を避けるためです。

表 27-5. ヒューズ下位ハイ一覧

名称	ビット	意味	既定値
BODLEVEL	7	低電圧検出器 (BOD) 検出電圧選択。	1 (非プログラム)
BODEN	6	低電圧検出器 (BOD) 許可。	1 (非プログラム) BOD 禁止
SJT1	5	起動時間選択。(注 1)	1 (非プログラム)
SJT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。(注 2)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		0 (プログラム)
CKSEL0	0		1 (非プログラム)

注 1: SJT1 の既定値は最大起動時間になります。詳細については 24 頁の表 8-9 をご覧ください。

注 2: CKSEL3~ の既定設定は 1MHz 校正付き内蔵 RC 発振器になります。詳細については 22 頁の表 8-1 をご覧ください。

ヒューズ・ビットの状態はチップ消去によって影響されません。施錠ビット (LB1) がプログラム (0) されると、ヒューズ・ビットが固定されることに注意してください。施錠ビットをプログラム (0) する前にヒューズ・ビットをプログラミング書き込みしてください。

### 27.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム (0) されると直ぐに効果がある EESAVE ヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされます。

## 27.3 識票バイト

全てのATMELマイクロコントローラはデバイス識別する3バイトの識票符号を持します。この符号は直列と並列の両プログラミング動作で、またデバイスが施錠されている場合でも読み取れます。この3バイトは分離された空間に存在します。ATmega64Aの識票バイトを右に示します。

\$000 : \$1E 製造業者 ATMELを示します。  
\$001 : \$96 フラッシュメモリ容量 64Kバイトを示します。  
\$002 : \$02 値 \$96と合せ、ATmega64Aを示します。

## 27.4 発振校正値バイト

ATmega64Aは内蔵RC発振器用に4つの異なる校正値を備えています。これらのバイトは1, 2, 4, 8MHzの各々に対して識票列のアドレス\$0000, \$0001, \$0002, \$0003の上位バイトにあります。セット中に1MHz値がOSCCALレジスタへ自動的に設定されます。他の周波数が使用される場合、その校正値は手動で設定されなければなりません。詳細については26頁の「発振校正レジスタ(OSCCAL)」をご覧ください。

## 27.5 並列プログラミング

本項はATmega64Aのプログラム用フラッシュメモリ、データ用EEPROM、メモリの施錠ビット、ヒューズビットの並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低250nsと仮定されます。

### 27.5.1 信号名

本項でATmega64Aのいくつかのピンは並列プログラミング中の機能を表す信号名で参照されます。図27-1と表27-6をご覧ください。後続の表で示されないピンはピン名によって参照されます。

XA0とXA1ピンはXTAL1ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は表27-8で示されます。

WRまたはOEパルス送出時、設定された指令が決める動作が実行されます。各種指令は表27-9で示されます。

図 27-1 並列プログラミング構成図

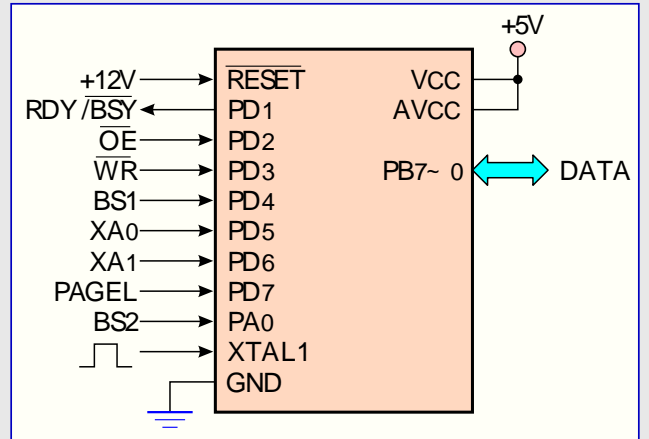


表 27-6 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0(Low):多忙(プログラミング中) 1(High):準備可 指令受付可)
OE	PD2	入力	出力許可 負論理)
WR	PD3	入力	書き込みパルス負論理)
BS1	PD4	入力	上位/下位バイト選択 1(0:下位, 1:上位) (一般用)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
PAGES	PD7	入力	プログラムメモリとEEPROMデータをページ単位に設定
BS2	PA0	入力	上位/下位バイト選択 2(0:下位, 1:上位) (ヒューズビット用)
DATA	PB7~0	入出力	双方向データバス (OE=Low時出力)

表 27-7 プログラム動作移行時のピン値

ピン名	シンボル	値
PAGES	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表 27-8 XA0とXA1の符号化機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス設定 (上位/下位はBS1で指定)
0	1	データ設定 (フラッシュの上位/下位はBS1で指定)
1	0	指令設定
1	1	アイドル動作なし)

表 27-9 指令バイトのビット符号化

指令バイト	指令の機能	指令バイト	指令の機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識票バイト 校正値読み出し
\$40 (0100 0000)	ヒューズビット書き込み	\$04 (0000 0100)	ヒューズビット 施錠ビット読み出し
\$20 (0010 0000)	施錠ビット書き込み	\$02 (0000 0010)	フラッシュメモリ読み出し
\$10 (0001 0000)	フラッシュメモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		



表 27-10. フラッシュ メモリの バイト数と バイトの語数

全容量	バイト容量	PCWORD	バイト数	PCPAGE	PCMSB
32Kワード 64Kバイト	128ワード 256バイト	PC6~ 0	256	PC14~ 7	14

表 27-11. EEPROM メモリの バイト数と バイトの語数

全容量	バイト容量	PCWORD	バイト数	PCPAGE	EEAMSB
2Kバイト	8Kバイト	EEA2~ 0	256	EEA10~ 3	10

## 27.6 並列プログラミング手順

### 27.6.1 並列プログラミング動作への移行

次に示す方法がデバイスに並列プログラミング動作にします。

VCCとGND間に 4.5~ 5.5Vを印加し、最低 100μs 待ちます。

RESETを Low (0)にし、XTALを少なくとも6回、交互に (High/Low)切り替えます。

188頁の表 27-7で一覧されるProg\_enableを全て Low (0)に設定し、最低 100n待ちます。

RESETに 11.5~ 12.5Vを印加します。+12VがRESETに印加されてしまった後 100n以内のProg\_enableのどんな動きも、デバイスのプログラミング動作への移行を失敗させます。

**注意** :外部 クリスタルや外部 RC発振器設定が選択されていると、条件付きのXTAL1ハルスを印加できないため、同じことが当てはまるかもしれません。このような場合、次の方法に従うべきです。

188頁の表 27-7で一覧されるProg\_enableを全て Low (0)に設定します。

VCCとGND間に 4.5~ 5.5Vを印加すると同時にRESETへ 11.5~ 12.5Vを印加します。

100n待ちます。

クロック元として外部 クロックが選択される (CKSEL3~ 0=0000)ことを保証するためにヒューズを再プログラミング再書き込み します。施錠ビットがプログラム (0)されている場合、ヒューズを変更するのに先立ってチップ消去指令が実行されなければなりません。

デバイスの電源を落とすか、RESETピンを Low (0)に持ってくることによってプログラミング動作を抜けます。

上で記述したように元の方法でプログラミング動作へ移行します。

### 27.6.2 効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

複数のメモリー領域を読み書きする時に指令設定は一度だけ必要です。

チップ消去後のフラッシュ メモリ (EESAVEヒューズがプログラム (0)されている場合を除き) EEPROM全体の内容は \$FFなので、値が \$FFのデータ書き込みを飛ばします。

アドレス上位バイトはフラッシュ メモリで新規 256語 (ワード) 枠、EEPROMで新規 256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

### 27.6.3. チップ消去

チップ消去はフラッシュ メモリ、EEPROM (注 1) 施錠ビットを消去します。施錠ビットはプログラム メモリが完全に消去されてしまうまで (チップ消去) されません。ヒューズビットは変更されません。チップ消去はフラッシュ メモリや EEPROMが再書き込みされる前に実行されなければなりません。

**注 1**: EESAVEヒューズがプログラム (0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」指令設定

XAを High (1) XAを Low (0)に設定します。これは指令設定を許可します。

BSを Low (0)に設定します。

DATAを \$80 (1000 0000)に設定します。これはチップ消去指令です。

XTAL1に正ハルスを与えます。これはチップ消去指令を設定します。

WRに負ハルスを与えます。これはチップ消去を開始します。RDY/BSYが Low (0)になります。

次の指令を設定する前にRDY/BSYが High (1)になるまで待ちます。

#### 27.6.4. フラッシュメモリ書き込み (図 27-3 タイミングを参照)

フラッシュメモリはページで構成されます (189頁の表 27-10 参照)。フラッシュメモリへ書く時にプログラムデータはページハフにラッチされます。これは同時に書かれることをプログラムデータのページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

##### A. 「フラッシュメモリ書き込み」指令設定

XA を High (1) XA を Low (0) に設定します。これは指令設定を許可します。  
BS を Low (0) に設定します。  
DATA を \$10 (0001 0000) に設定します。これはフラッシュメモリ書き込み指令です。  
XTAL に正パルスを与えます。これはフラッシュメモリ書き込み指令を設定します。

##### B. アドレス下位ハイ設定

XA を Low (0) XA を Low (0) に設定します。これはアドレス設定を許可します。  
BS を Low (0) に設定します。これは下位アドレス(バイト)を選択します。  
DATA にアドレス下位バイト (\$00 ~ \$FF) を設定します。  
XTAL に正パルスを与えます。これはアドレス下位ハイを設定します。

##### C. データ下位ハイ設定

XA を Low (0) XA を High (1) に設定します。これはデータ設定を許可します。  
DATA にデータ下位バイト (\$00 ~ \$FF) を設定します。  
XTAL に正パルスを与えます。これはデータ下位ハイを設定します。

##### D. データ上位ハイ設定

BS を High (1) に設定します。これは上位ハイを選択します。  
XA を Low (0) XA を High (1) に設定します。これはデータ設定を許可します。  
DATA にデータ上位バイト (\$00 ~ \$FF) を設定します。  
XTAL に正パルスを与えます。これはデータ上位ハイを設定します。

##### E. 語(ワード)データをページ一時ハフに設定

BS を High (1) にします。これは上位ハイを選択します。  
PAGE に正パルスを与えます。これは語データをページ一時ハフにラッチ設定します。

##### F. ハフ全体が満たされるか、または必要な全てのデータがハフ内に設定されるまで、B ~ E を繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図 27-2 で図示されます。ページ内の語アドレスに 8 ビット未満が必要とされる場合 (ページ容量 < 256) アドレス下位ハイの最上位 (側) ビットがページ書き込み実行時のページアドレスに使用されることに注意してください。

##### G. アドレス上位ハイ設定

XA を Low (0) XA を Low (0) に設定します。これはアドレス設定を許可します。  
BS を High (1) に設定します。これは上位アドレス(バイト)を選択します。  
DATA にアドレス上位バイト (\$00 ~ \$7F) を設定します。  
XTAL に正パルスを与えます。これはアドレス上位ハイを設定します。

##### H. ページ書き込み

BS を Low (0) に設定します。  
WR に負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY /BSY が Low (0) になります。  
RDY /BSY が High (1) になるまで待ちます。

##### I. フラッシュメモリ全部が書かれるか、または必要な全てのデータが書かれてしまうまで、B ~ H を繰り返し

##### J. ページ書き込み終了

XA を High (1) XA を Low (0) に設定します。これは指令設定を許可します。  
DATA を \$00 (0000 0000) にします。これは無操作指令です。  
XTAL に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図 27-2. ページで構成されたフラッシュメモリのアドレス指定

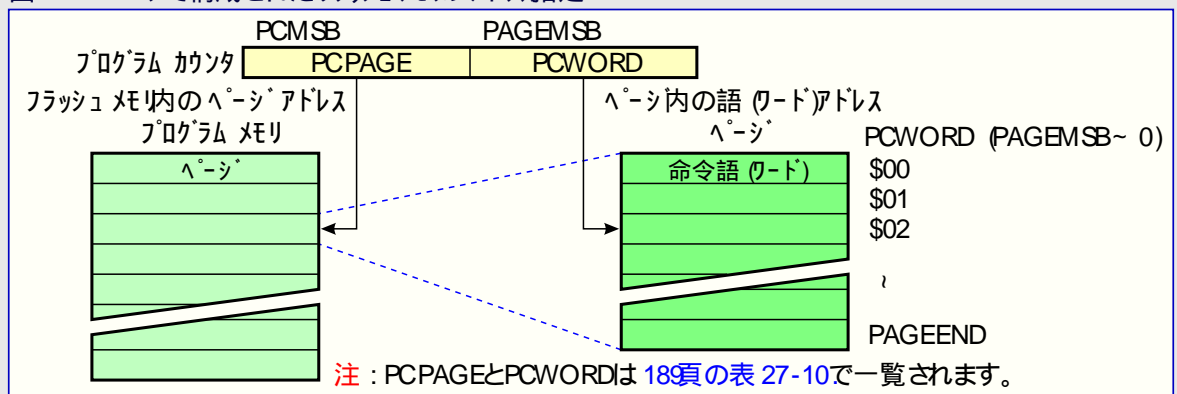
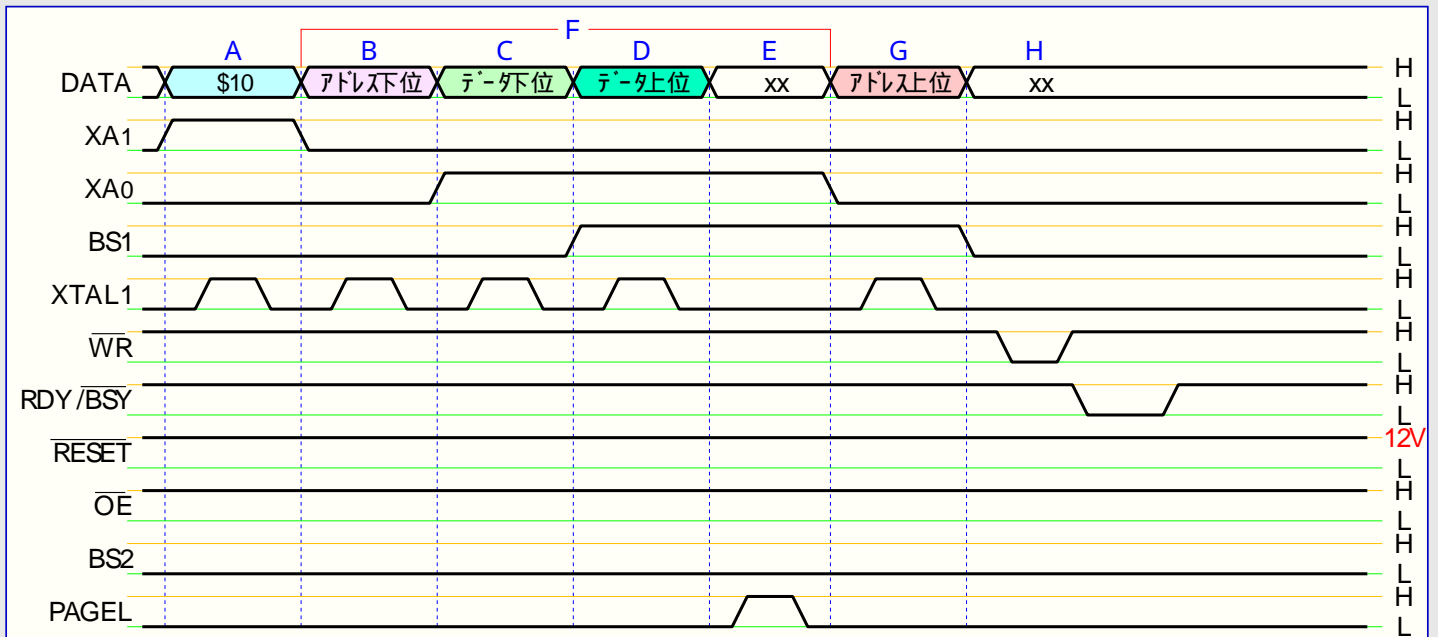


図 27-3. フラッシュメモ書き込みタイミング



注：xx値は無関係です。A～Hは前記プログラミングを参照してください。

## 27.6.5. EEPROM書き込み

EEPROMはページで構成されます (18頁の表 27-11参照)。EEPROMを書く時にデータはページハットにラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモ書き込み方法は次の通りです。指令、アドレス、データ設定の詳細については19頁の「フラッシュメモ書き込み」を参照。図 27-4 タイミング参照。)

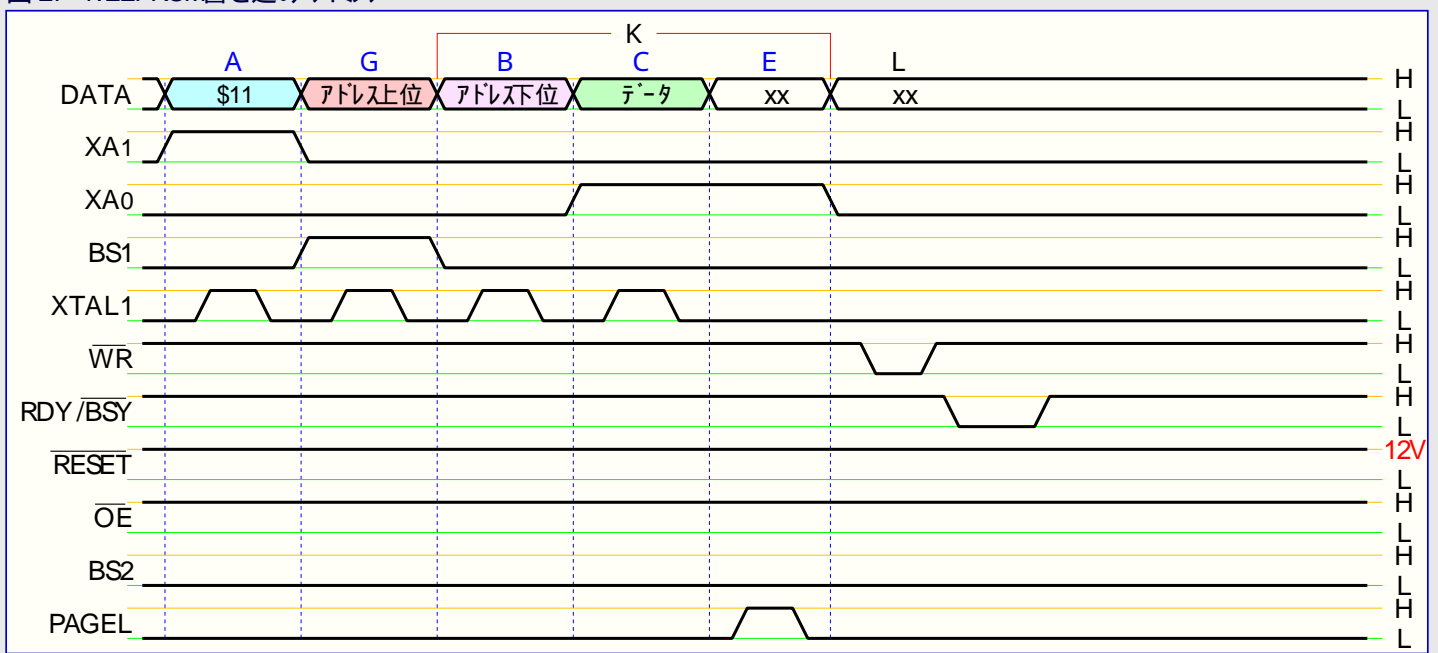
1. EEPROM書き込み指令 \$11 (0001 0001) を設定します。(「フラッシュメモ書き込み」のAを参照)
2. アドレス上位バイト(\$00～\$07)を設定します。(「フラッシュメモ書き込み」のGを参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「フラッシュメモ書き込み」のBを参照)
4. データバイト(\$00～\$FF)を設定します。(「フラッシュメモ書き込み」のCを参照)
5. データをラッチします (PAGELに正パルスを与えます)。(「フラッシュメモ書き込み」のEを参照)
- K. ハット全体が満たされるまで3～5を繰り返します。
- L. EEPROMページ書き込み

BSをLow(0)に設定します。

WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。

次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図 27-4. EEPROM書き込みタイミング



## 27.6.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次の通りです。指令とアドレス設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. フラッシュメモリ読み出し指令 \$02(0000 0010)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス上位バイト(\$00~ \$7F)を設定します。（「フラッシュメモリの書き込み」の G を参照）
3. アドレス下位バイト(\$00~ \$FF)を設定します。（「フラッシュメモリの書き込み」の B を参照）
4. BS1 を Low(0) OE を Low(0) に設定します。フラッシュメモリ語 (ワード) の下位バイトが直ぐに DATA で読めます。
5. BS1 を High(1) に設定します。フラッシュメモリ語 (ワード) の上位バイトが直ぐに DATA で読めます。
6. OE を High(1) に設定します。DATA は Hi-Z になります。

## 27.6.7. EEPROM読み出し

データ用 EEPROM の読み出し方法は次の通りです。指令とアドレス設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. EEPROM読み出し指令 \$03(0000 0011)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス上位バイト(\$00~ \$07)を設定します。（「フラッシュメモリの書き込み」の G を参照）
3. アドレス下位バイト(\$00~ \$FF)を設定します。（「フラッシュメモリの書き込み」の B を参照）
4. BS1 を Low(0) OE を Low(0) に設定します。EEPROM のバイトデータが直ぐに DATA で読めます。
5. OE を High(1) に設定します。DATA は Hi-Z になります。

## 27.6.8. ヒューズビット書き込み ※注 原書での拡張 / 上位 / 下位 ヒューズ項を 1 つに纏めました。）

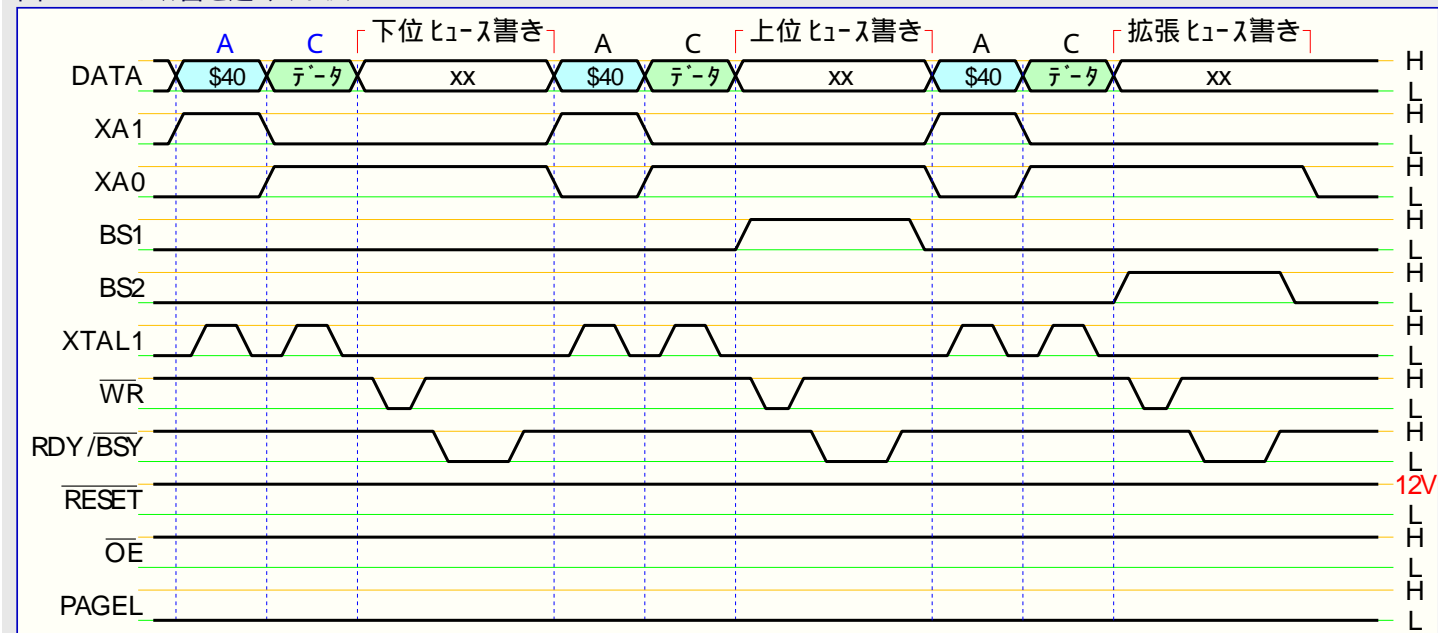
各ヒューズビットの書き込み方法は次の通りです。指令とデータ設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. ヒューズビット書き込み指令 \$40(0100 0000)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. データ下位バイトを設定します。0 = プログラム, 1 = 非プログラム消去です。（「フラッシュメモリの書き込み」の C を参照）
3. BS1 と BS2 を右表の目的バイトに対応する設定にします。
4. WR に負ハルズを与え、RDY/BSY が High になるまで待ちます。
5. 3 で High に設定した BS1, BS2 を Low(0) に戻します。これはデータ下位バイトを選択します。

表 A. ヒューズビット対応 BS1/BS2 設定

ヒューズビット	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図 27-5. ヒューズ書き込みタイミング





### 27.6.9 施錠ビット書き込み

施錠ビットの書き込み方法は次の通りです。指令とアドレス設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. 施錠ビット書き込み指令 \$20(0010 0000)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. データ下位バイトとしてデータを設定します。0=プログラム, 1=無変化です。（「フラッシュメモリの書き込み」の C を参照）
3.  $\overline{WR}$  に負パルスを与え、RDY/BSY が High になるまで待ちます。

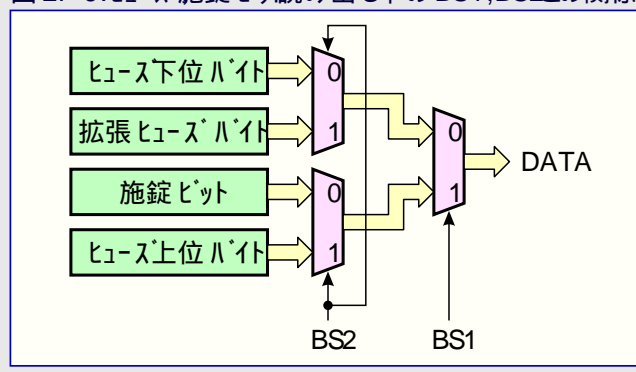
施錠ビットはチップ消去の実行によってのみ解除 (1) できます。

### 27.6.10 ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法は次の通りです。指令設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. ヒューズビットと施錠ビットの読み出し指令 \$04(0000 0100)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. BS1 と BS2 を Low (0) OE を Low (0) に設定します。ヒューズ下位ビットの状態が直ぐに DATA で読めます。（0=プログラム）
3. BS1 と BS2 を High (1) OE を Low (0) に設定します。ヒューズ上位ビットの状態が直ぐに DATA で読めます。（0=プログラム）
4. BS1 を Low (0) BS2 を High (1) OE を Low (0) に設定します。拡張ヒューズビットの状態が直ぐに DATA で読めます。（0=プログラム）
5. BS1 を High (1) BS2 を Low (0) OE を Low (0) に設定します。施錠ビットの状態が直ぐに DATA で読めます。（0=プログラム）
6. OE を High (1) に設定します。DATA は Hi-Z になります。

図 27-6. ヒューズ・施錠ビット読み出し中の BS1, BS2 との関係



### 27.6.11 識票バイト読み出し

識票バイトの読み出し方法は次の通りです。指令とアドレス設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. 識票バイト読み出し指令 \$08(0000 1000)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス下位バイト (\$00~ \$02)を設定します。（「フラッシュメモリの書き込み」の B を参照）
3. BS1 を Low (0) OE を Low (0) に設定します。選択した識票バイトが直ぐに DATA で読めます。
4. OE を High (1) に設定します。DATA は Hi-Z になります。

### 27.6.12 発振校正値読み出し

発振校正値の読み出し方法は次の通りです。指令とアドレス設定の詳細については 190 頁の「フラッシュメモリの書き込み」を参照。）

1. 発振校正値読み出し指令 \$08(0000 1000)を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス下位バイトに (\$00~ \$03)を設定します。（「フラッシュメモリの書き込み」の B を参照）
3. BS1 を High (1) OE を Low (0) に設定します。発振校正値バイトが直ぐに DATA で読めます。
4. OE を High (1) に設定します。DATA は Hi-Z になります。

## 27.6.13 並列プログラミング特性

図 27-7 並列プログラミング タイミング (一般的な必要条件)

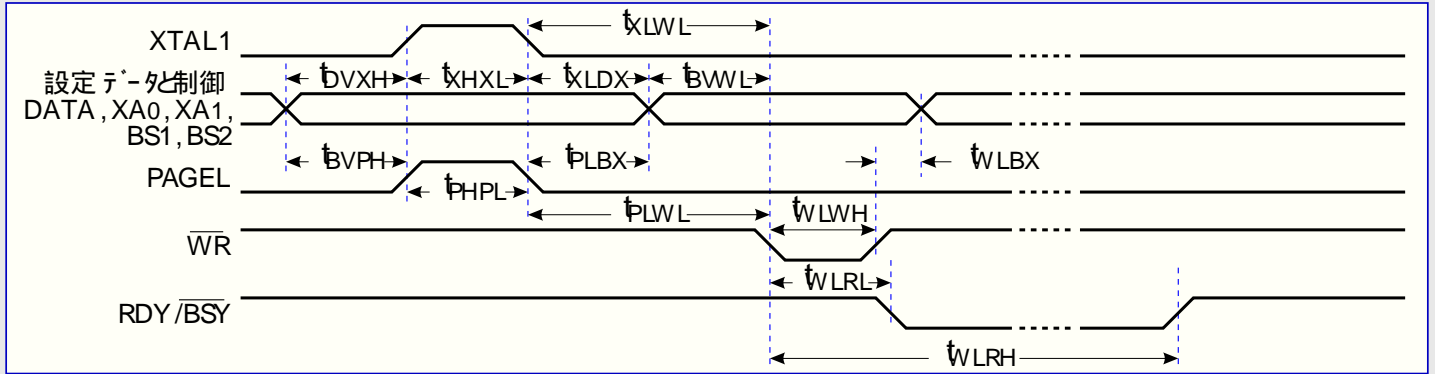
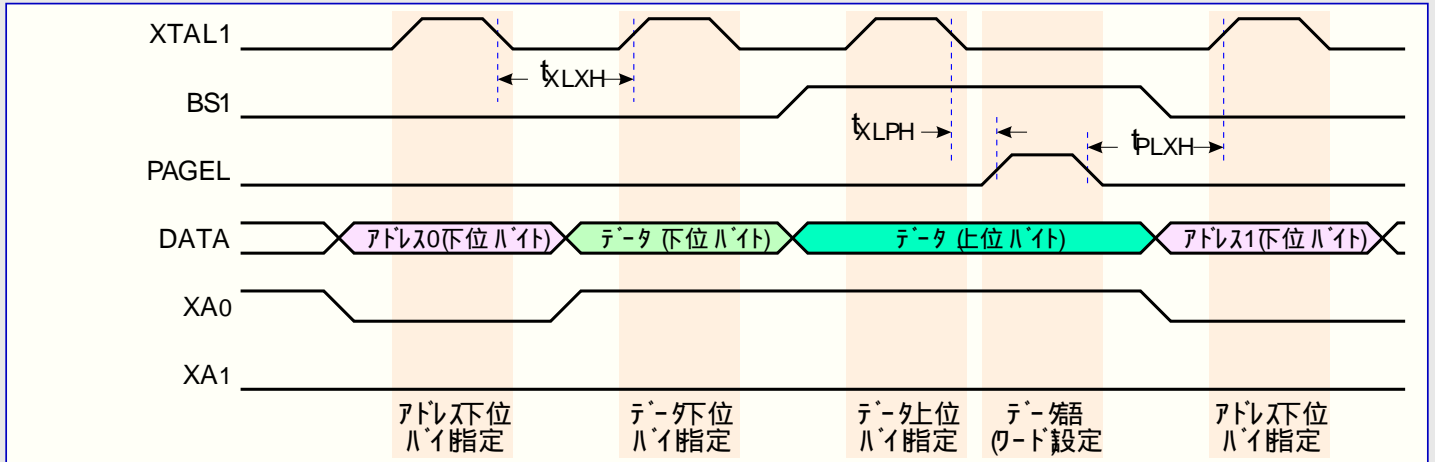
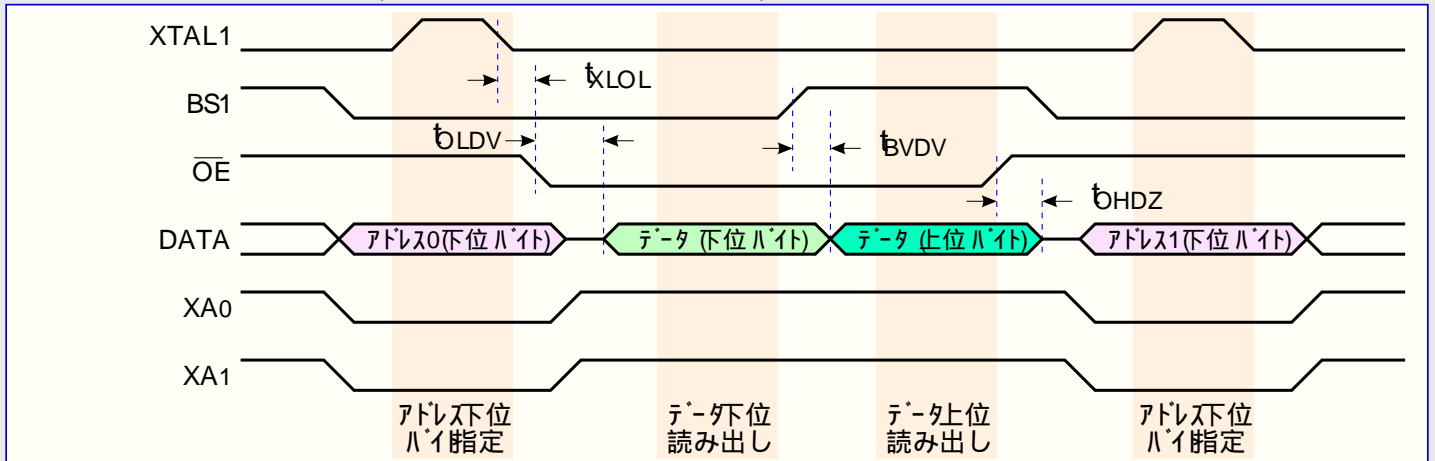


図 27-8 並列プログラミング タイミング (ページ設定での必要条件)



注: 図 27-7 で示されるタイミング必要条件 (即ち、 $t_{DVXH}$ 、 $t_{HXHL}$ 、 $t_{LDX}$ ) は設定操作にも適用されます。

図 27-9 並列プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図 27-7 で示されるタイミング必要条件 (即ち、 $t_{DVXH}$ 、 $t_{HXHL}$ 、 $t_{LDX}$ ) は読み出し操作にも適用されます。

表 27-12. 並列プログラミング特性 (VCC=5V± 10%)

シンボル	項目	Min	Typ	Max	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tVXH	XTAL1 に対するデレータ制御のセットアップ時間	67			ns
tLXH	XTAL1 から次 XTAL1 までの待機時間	200			
tHXL	XTAL1 Highレベル幅	150			
tLDX	XTAL1パルス 後のデレータ制御の保持時間	67			
tLWL	XTAL1パルス 後のWR 待機時間	0			
tLPH	XTAL1パルス 後のPAGELパルス 待機時間	0			
tLXH	PAGELパルス 後のXTAL1パルス 待機時間	150			
tBPH	PAGELパルス に対するBS1セットアップ時間	67			
tPHL	PAGEL Highレベル幅	150			
tLBX	PAGELパルス 後のBS1保持時間	67			
tLWBX	WRパルス 後のBS1BS2保持時間	67			
tPLWL	PAGELパルス 後のWRパルス 待機時間	67			
tBWL	WRパルス に対するBS1セットアップ時間	67			
tLWH	WR Lowレベル幅	150			
tLRL	WRパルス 後のRDY/BSY 遅延時間	0		1	μs
tLRH	書き込み時間 (WR からRDY/BSY )	3.7		4.5	ms
tLRH_CE	チップ消去時間 (WR からRDY/BSY )	7.5		9	
tLCL	XTAL1パルス 後のOE 待機時間	0			ns
tBDV	BS有効からのDATA遅延時間	0		250	
tLDV	OE 後のDATA出力遅延時間			250	
tHDZ	OE 後のDATAフロートイング遅延時間			250	

注 1: フラッシュメモリ、EEPROM、ヒューズビット、施錠ビット書き込み指令に対して有効です。

注 2: チップ消去指令に対して有効です。

## 27.7 直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPバスを使用してプログラミングできます。この直列インターフェイスはSCK入力、MOS入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行されるのに先立って**プログラミング許可命令**が初めに実行されるのを必要とします。**注意**、表 27-13でSPプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPインターフェイスに対する専用SPピンを使用するとは限りません。直列プログラミングについての記述全てでMOSとMISOが各々直列入力と直列出力の記述に使用されます。ATmega64Aについて、これらのピンはPDとPDOに割り当てられます。

### 27.7.1 直列プログラミング用ピン配置

SPプログラミングインターフェイスがSPI I/O部を流用すると言え、一つの重要な違い、SPI I/O部でPB2とPB3に配置されるMOSI/MISOピンがこのプログラミングインターフェイスで使用されないことがあります。代わりに表 27-13で示されるようにPE0とPE1がSPプログラミング動作の代わりに使用されます。

表 27-13 直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI (PD1)	PE0	入力	直列データ入力
MISO (PDO)	PE1	出力	直列データ出力
SCK	PB1	入力	直列クロック

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ直列プログラミングのみ、**チップ消去命令**を初めに実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$$\begin{array}{ll}
 f_{CK} < 12\text{MHz} : \text{Low区間} > 2\text{CPUクロック周期} & f_{CK} < 12\text{MHz} : \text{High区間} > 2\text{CPUクロック周期} \\
 f_{CK} \geq 12\text{MHz} : \text{Low区間} > 3\text{CPUクロック周期} & f_{CK} \geq 12\text{MHz} : \text{High区間} > 3\text{CPUクロック周期}
 \end{array}$$

### 27.7.2 直列プログラミング手順

ATmega64Aに直列データを書く時にデータはSCKの上昇端で行われ、ATmega64Aから読む時にデータはSCKの下降端で行われます。タイミングの詳細については図 27-11をご覧ください。

直列プログラミング動作でのATmega64Aのプログラミングと照合は次の手順が推奨されます。

#### 1. 電源投入手順 :

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロック周期幅の正パルスを与えられなければなりません。

RESET信号を使用する代わりとして、SCKがLow(0)に設定される間の電源ONレップ中、PENをLowに保持できます。この場合、電源ONレップでのPEN値だけが重要です。電源投入中、SCKがLowに保持されるのを書き込み器が保証できない場合、このPEN手法は使用できません。この方法を使用すると通常動作を始めるためにデバイスは電源を落とされなければなりません。

#### 2. 最低20m待ち、MOSピンに**プログラミング許可命令**を送ることによって直列プログラミングを許可してください。

#### 3. 通信が同期を外していると直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

#### 4. フラッシュメモリは1バイト単位で書かれます。バイト容量は189頁の表 27-10で得られます。このメモリバイトは**バイト設定命令**と共にアドレスの下位7ビットとデータを供給することによって1バイトづつ設定されます。バイトが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのバイトはアドレスの上位8ビットを含む**バイト書き込み命令**の設定によって(フラッシュメモリに格納されます。**ホーリング**が使用されない場合、使用者は次のバイトを行う前に最低WD\_FLASH表 27-14参照 待たなければなりません。

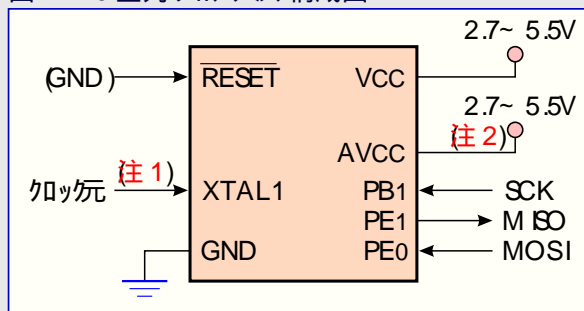
**注** : 何れの(フラッシュ/EEPROM) 施錠ビットヒューズ書き込み操作が完了される前に**ホーリング読み**以外の命令が加えられると、不正な書き込みに終わるかもしれません。**訳注** 共通性のため原書の重複行削除、後部Not行移動)

#### 5. EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。**ホーリング**が使用されない場合、次のバイトを行う前に最低WD\_EEPROM表 27-14参照 待たなければなりません。

#### 6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す**読み出し命令**を使用することによって照合できます。

#### 7. プログラム作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

図 27-10 直列プログラミング構成図



**注 1** : デバイスが内蔵発振器で動作する場合、XTAL1ピンにクロックを接続する必要はありません。

**注 2** : VCC-0.3V<AVCC<VCC+0.3Vですが、AVCCは常に2.7~5.5V内にすべきです。



## 8.電源OFF手順 (必要とされるならば)

RESETをHigh(1)に設定します。  
VCC電源をOFFにします。

### 27.7.3.フラッシュメモリのデータポーリング

フラッシュメモリにページが書かれつつある時の書かれているページ内のアドレス位置読み出しは値 \$FFを与えます。デバイスが新規ページに対する準備ができると、書いた値が正しく読めます。これは次ページが書ける時を決めるのに使用されます。ページ全体が同時に書かれ、ページ内のどのアドレスでもポーリングに使用できることに留意してください。フラッシュメモリのデータポーリングは値 \$FFに対して行えないので、この値を書く時に使用者は次ページを書く前に最低 WD\_FLASH待たなければなりません。全ての場所が \$FFのチップ消去されたデバイスは \$FFデータのアドレスの書き込みを飛ばせます。WD\_FLASH値については表 27-14をご覧ください。

### 27.7.4.EEPROMのデータポーリング

新規バイト書き込み命令が書かれてEEPROM内に書かれつつある時のその書かれているアドレス位置読み出しは値 \$FFを与えます。デバイスが新規バイトに対する準備ができると、書いた値が正しく読めます。これは次バイトが書ける時を決めるのに使用されます。これは値 \$FFに対して行えませんが、使用者は次のことを覚えておくべきです。全ての場所が \$FFのチップ消去されたデバイスは \$FFデータのアドレスの書き込みを飛ばせます。これはデバイスをチップ消去せずにEEPROMが書き換えられる場合には適用しません。この場合、データポーリングは値 \$FFに対して使用できず、次バイト書き込み前に最低 WD\_EEPROM待たなければなりません。WD\_EEPROM値については表 27-14をご覧ください。

表 27-14.ヒューズ、フラッシュ、EEPROM次位置書き込み前待機時間

シンボル	最低待機時間	備考
WD_FUSE	4.5ms	ヒューズ書き込み
WD_FLASH	4.5ms	フラッシュメモリ書き込み
WD_EEPROM	9.0ms	EEPROM書き込み
WD_ERASE	9.0ms	チップ消去

図 27-11.直列プログラミング・ハイ通信波形

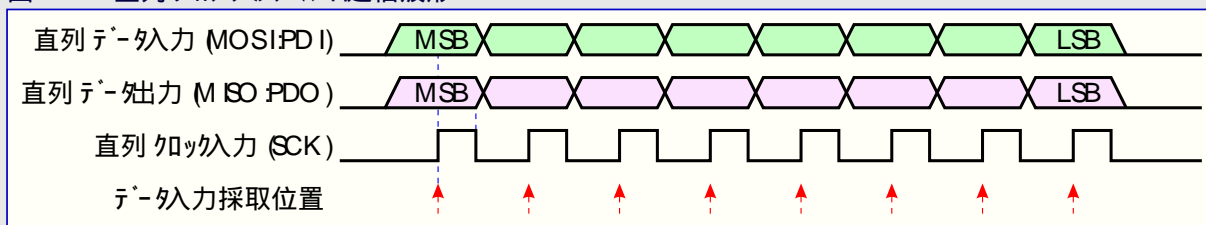


表 27-15.直列プログラミング命令セット

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリ、EEPROM 施錠ビットを消去します。
フラッシュメモリ読み出し	0010 P000	0HH HHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ一時ハフ設定	0100 P000	0000 xxxx	xLLL LLLL	VVVV VVVV	ハフアドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	0HH HHH	Lxxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	00xx xHH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	00xx xHH	LLLL LLLL	VVVV VVVV	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxRR RRRR	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1VVV VVVV	(18頁の表 27-1参照) に書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ヒューズ下位ビットを読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	VVVV VVVV	(18頁の表 27-5参照) に書き込みます。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	RRRR RRRR	ヒューズ上位ビットを読み出します。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	VVVV VVVV	(18頁の表 27-4参照) に書き込みます。
拡張ヒューズ読み出し	0101 0000	0000 1000	xxxx xxxx	RRRR RRRR	拡張ヒューズビットを読み出します。
拡張ヒューズ書き込み	1010 1100	1010 0100	xxxx xxxx	VVVV VVVV	(18頁の表 27-3参照) に書き込みます。
識票ハイ読み出し	0011 0000	00xx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票ハイを読み出します。
発振校正値読み出し	0011 1000	00xx xxxx	0000 00LL	RRRR RRRR	アドレスLの発振校正値を読み出します。

H = アドレス上位バイトのビット    L = アドレス下位バイトのビット    P = 0=下位バイト 1=上位バイト  
R = 読み出しデータ (MCU出力)    W = 書き込みデータ (MCU入力)    x = 要么是 1 無意味 (不定)

### 27.7.5.直列プログラミング特性

SP部の特性については209頁の「SPタイミング特性」を参照してください。

## 27.8. JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン、TCK、TMS、TDI、TDOの制御が必要です。RESETピンとクロックピンの制御は必要とされません。

JTAGインターフェースを使用し得るにはJTAGエンブースがプログラム(0)されなければなりません。本デバイスは既定でこのエンブースがプログラム(0)されて出荷されます。更にMCU制御状態レジスタ(MCUCSR)のJTAGインターフェース禁止(JTDビット)が解除(0)されなければなりません。JTDビットが設定(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットが解除(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方、実行動作で標準ポートピンとしてJTAGピンを使用する手段を提供します。境界走査(Boundary-Scan)や内蔵テスト機能にJTAGピンを使用する時にこの手法が使用できないことに注意してください。これらの場合のJTAGピンはその目的専用に使われなければなりません。

この資料内の定義では全てのシフトレジスタについて入出力ともLSBが最初にシフトされます。

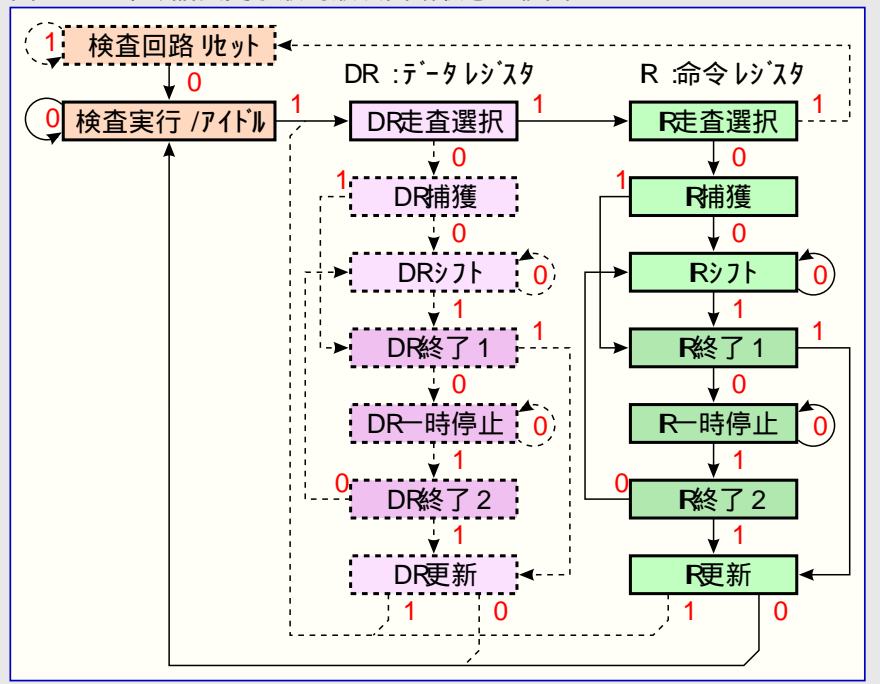
### 27.8.1. プログラミング特殊 JTAG 命令

命令レジスタ(R)は4ビット長で、16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名後の16進形式で示されます。本文は各命令についてTDIとTDO間の経路として選択されるデータレジスタを記述します。

検査入出力ポート(TAP制御器)の検査実行/アイドル状態は内部クロックの発生に使用されます。また、JTAG手順間のアイドル状態としても使用できます。命令を切り替えるための順次回路の順番は図27-12.で示されます。

図 27-12. 命令語変更手順時順次回路状態遷移図



### 27.8.2. AVR\_RESET (\$C)

AVRデバイスをリセット状態へ、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令によって検査入出力ポート(TAP制御器)はリセットされません。1ビットのリセットレジスタがデータレジスタ(DR)として選択されます。リセットチェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

DRシフト : リセットレジスタがTCKクロック入力によってシフトされます。

### 27.8.3. PROG\_ENABLE (\$4)

JTAGポート経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータレジスタ(DR)として選択されます。本命令が有効な状態を次に示します。

DRシフト : プログラミング許可識別子がデータレジスタにシフト入力されます。

DR更新 : プログラミング許可識別子が正規値と比較され、識別子が有効なら、プログラミング動作に移行されます。

### 27.8.4. PROG\_COMMANDS (\$5)

JTAGポート経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータレジスタ(DR)として選択されます。本命令が有効な状態を次に示します。

DR捕獲 : 直前の命令の結果がデータレジスタに設定されます。

DRシフト : データレジスタがTCK入力によりシフトされ、直前の命令の結果をシフト出力し、新規命令をシフト入力します。

DR更新 : プログラミング命令がフラッシュメモリ入力に適用されます。

検査実行/アイドル : 1つのクロック周期が生成され、適用された命令を実行します。200頁の表27-16をご覧ください。

## 27.8.5. PROG\_PAGELOAD (\$6)

JTAGホー 経由でフラッシュ メリ のページ テー を直接設定するためのAVR固有公開 JTAG命令です。1024ビット長の仮想フラッシュ ペー ジ 設定 レジスタがデータ レジスタ DRとして選択されます。これはフラッシュ メリ 1ページ分のビット数と同じ長さの仮想走査 チェーン (Scan chain)です。内部的なシフトレジスタは8ビットです。多くの JTAG命令と異なり シフトレジスタからのデータ 転送に **DR更新** 状態が使用されません。データ は内部順次回路により **DRシフト** 状態でフラッシュ メリ ペー ジ ハーフア ハイ単位で自動的に転送されます。これは この命令が 活性 有効 な場合だけです。

DRシフト : フラッシュ メリ ペー ジ テー が TCK入力によってTD からシフト入力され、ハイ毎にフラッシュ メリ ペー ジ ハーフア ハイ自動的に設定されます。

**注** : JTAG命令 **PROG\_PAGELOAD**はAVRデータ ハイが JTAG走査 チェーンの最初のデータ ハイの場合にだけ使用できます。AVRが走査 チェーンの最初のデータ ハイでない場合、ハイ単位のプログラミング法が使用されなければなりません。

## 27.8.6. PROG\_PAGEREAD (\$7)

JTAGホー 経由でフラッシュ メリ の1ページの全データ を取得するためのAVR固有公開 JTAG命令です。1032ビット長の仮想フラッシュ ペー ジ 取得 レジスタがデータ レジスタ DRとして選択されます。これはフラッシュ メリ 1ページ + 8ビット分のビット数と同じ長さの仮想走査 チェーン (Scan chain)です。内部的なシフトレジスタは8ビットです。多くの JTAG命令と異なり シフトレジスタからのデータ 転送に **DR補獲** 状態が使用されません。データ は内部順次回路により **DRシフト** 状態でフラッシュ メリ ペー ジ ハーフア ハイ単位で自動的に転送されます。これは この命令が 活性 有効 な場合だけです。

DRシフト : フラッシュ メリ のデータ が自動的に (フラッシュ メリ ペー ジ ハーフア ハイ) からハイ毎に読まれ、TCK入力によってTDOへシフト出力されます。TD入力は無視されます。

**注** : JTAG命令 **PROG\_PAGEREAD**はAVRデータ ハイが JTAG走査 チェーンの最初のデータ ハイの場合にだけ使用できます。AVRが走査 チェーンの最初のデータ ハイでない場合、ハイ単位のプログラミング法が使用されなければなりません

## 27.8.7. データレジスタ

データ レジスタ (DR)は 198頁の「**プログラミング特殊 JTAG命令**」項目で記載された JTAG命令 レジスタ (R)によって選択されます。プログラミング 操作に関連するデータ レジスタを次に示します。

リセット (Reset) レジスタ	仮想フラッシュ ペー ジ 設定 (Virtual Flash Page Load) レジスタ
プログラミング許可 (Programming Enable) レジスタ	仮想フラッシュ ペー ジ 取得 (Virtual Flash Page Read) レジスタ
プログラミング命令 (Programming Command) レジスタ	

## 27.8.8. リセット (Reset) レジスタ

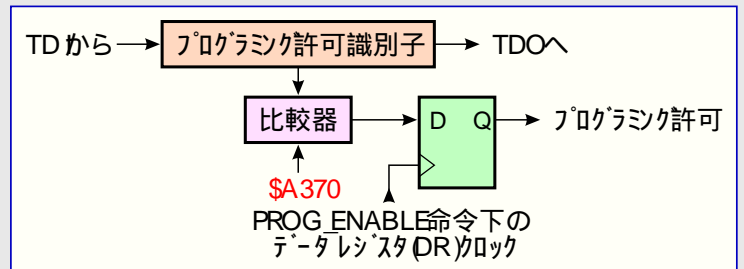
リセット レジスタはプログラミング中、データ ハイをリセットするのに使用される検査データ レジスタです。プログラミング動作への移行に先立ってデータ ハイをリセットするのに必要とされます。

リセット レジスタ内の値 **1**は外部RESETを **Low**に引き込むことに相当します。リセット レジスタ内の値が **1**である限り データ ハイはリセットされます。リセット レジスタの開放後、データ ハイは **クォック種別ヒューズ** 設定に従ってリセット起動遅延時間 (22頁の「**クォック**」参照) 分 リセットを維持します。168頁の図 25-2で示されるようにこのデータ レジスタからの出力はラッチされず、それ故 リセットが直ちに起こります。

## 27.8.9. プログラム許可 (Programming Enable) レジスタ

プログラム許可 レジスタは16ビット長のレジスタです。このレジスタの内容はプログラム許可識別子 **\$A370(1010 0011 0111 0000)**と 比較されます。このレジスタの内容がプログラム許可識別子と一致すると、JTAGホー 経由のプログラミングが許可されます。このレジスタは電源ONリセットで **0**にリセットされ、プログラミング動作を抜ける時には常にリセットされるべきです。

図 27-13. プログラム許可 レジスタ



## 27.8.10. プログラム命令 (Programming Command) レジスタ

プログラム命令 レジスタは15ビット長のレジスタです。このレジスタはプログラム命令を連続的にシフト入力し、直前のプログラム命令の結果を連続的にシフト出力するのに使用されます。JTAG プログラム命令 セットは表 27-16で示されます。プログラミング命令をシフト入力する時の状態順は図 27-15で図解されます。

図 27-14. プログラム命令 レジスタ



表 27-16. JTAGプログラミング命令セット (手順)

命令			TD入力	TDO出力	備考
チップ消去	1	チップ消去	010 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0001 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
			011 0011 1000 0000	xxx xxxx xxxx xxxx	
フラッシュメモリ書き込み	1	チップ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	注2)
	2	フラッシュ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	注10)
	2	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	
	2	データ上位ハイ設定	001 0111 WWW WWW	xxx xxxx xxxx xxxx	
	2	データラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2	ページ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	2	ページ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	注2)
フラッシュ読み出し	3	フラッシュ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	注10)
	3	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3	データ下位/上位ハイ取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	下位ハイ 上位ハイ
			011 0110 0000 0000	xxx xxxx RRRR RRRR	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
EEPROM書き込み	4	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	注10)
	4	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4	データハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	
	4	データラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	注1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	4	EEPROM書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	4	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	注2)
EEPROM読み出し	5	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	注10)
	5	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx RRRR RRRR	
ヒューズビット書き込み	6	ヒューズ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	注3) ビット配置は18頁の表 27-3参照
	6	拡張ヒューズ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6	拡張ヒューズ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	注2)
	6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	注3) ビット配置は18頁の表 27-4参照
	6	上位側ヒューズ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6	上位ヒューズ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	注2)
	6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	注3) ビット配置は18頁の表 27-5参照
	6	下位側ヒューズ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	6	下位ヒューズ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	注2)

次頁へ続く



表 27-16 (続き). JTAGプログラミング命令セット

命令			TD入力	TDO出力	備考
施錠ビット書き込み	7	施錠ビット書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx	
	7	データ下位ハイ設定	001 0011 11WWWW	xxx xxxx xxxx xxxx	注4) ビット配置は18頁の表 27-1参照
	7	施錠ビット書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
	7	施錠ビット書き込み完了検査	011 0011 0000 0000	xxx xSx xxxx xxxx	注2)
ヒューズ施錠ビット読み出し	8	ヒューズ施錠ビット読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx	
	8	拡張ヒューズ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	注5) ビット配置は18頁の表 27-3参照
			011 1011 0000 0000	xxx xxxx RRRR RRRR	
	8	上位側ヒューズ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx	注5) ビット配置は18頁の表 27-4参照
			011 1111 0000 0000	xxx xxxx RRRR RRRR	
	8	下位側ヒューズ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	注5) ビット配置は18頁の表 27-5参照
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
	8	施錠ビット読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	注5) ビット配置は18頁の表 27-1参照
			011 0111 0000 0000	xxx xxxx xRR RRRR	
	8	ヒューズ施錠ビット読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx	注5)
			011 1110 0000 0000	xxx xxxx RRRR RRRR	
			011 0010 0000 0000	xxx xxxx RRRR RRRR	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
識票バイト	9	識票ハイ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	9	アドレスハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	9	識票ハイ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx RRRR RRRR	
発振校正値	10	発振校正値読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx	
	10	アドレスハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	10	発振校正値読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx RRRR RRRR	
	11	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	

H = アドレス上位バイトのビット

L = アドレス下位バイトのビット

S = 動作完了フラグ

R = 読み出しデータ (MCU出力)

W = 書き込みデータ (MCU入力)

x = 0か1 無効/無意味

注1 : この命令は直前の命令手順によって上位ビットが正しく設定されている通常の場合、必要ではありません。

注2 : Sが1になるまで繰り返します。(待機)

注3 : 設定値0でプログラム、1で非プログラムです。

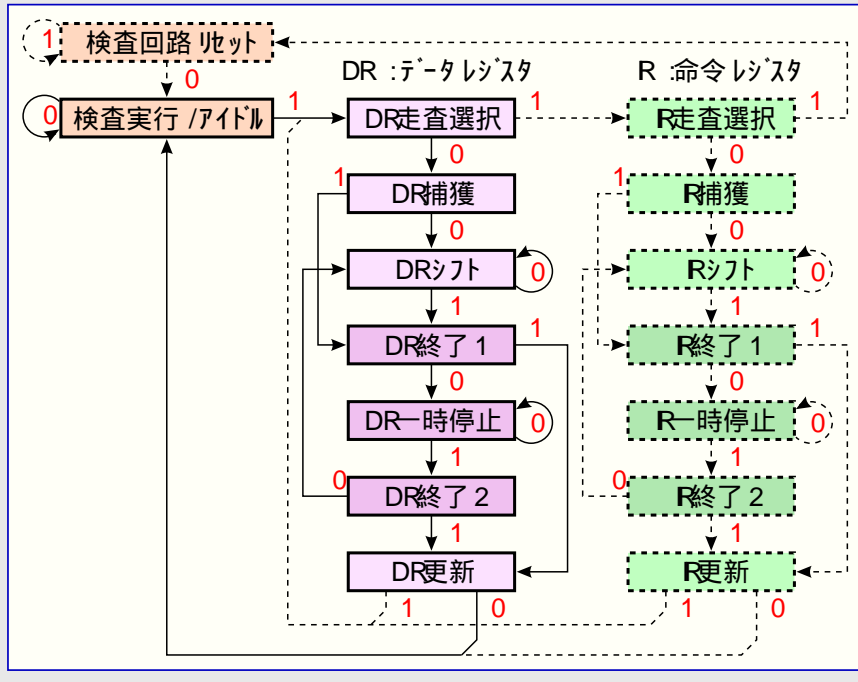
注4 : 設定値0でプログラム、1では施錠ビットが変化しません。

注5 : 読み出し値0でプログラム、1で非プログラムです。

(訳注) 原書での注6~9は表内備考欄に直接記載しました。

注10 : PCMSB表 27-10参照 とEEAMSB表 27-11参照 を越えるアドレスビットは無効です。

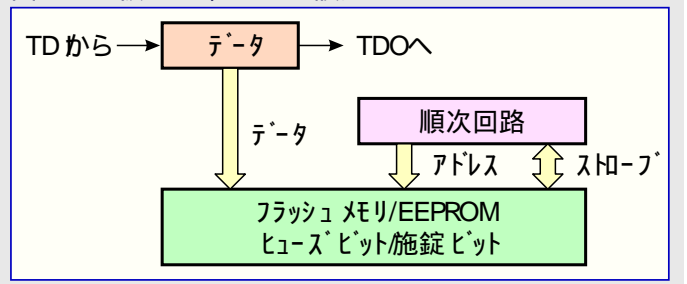
図 27-15.データ値変更 読み出し手順時順次回路状態遷移図



### 27.8.11.仮想フラッシュページ設定 (Virtual Flash Page Load) レジスタ

仮想フラッシュページ設定レジスタはフラッシュメモリの1ページと等しいビット長の仮想走査チェーン (Scan chain) です。内部的なシフトレジスタは8ビットで、データはハイ単位でフラッシュメモリページハーフへ自動的に転送されます。ページ内への全命令語 (データのシフト入力はページ内の最初のコードのLSBから始まり、ページ内の最終コードのMSBで終了します。これはページ書き込みを実行する前にフラッシュメモリページハーフ全体を設定する効率的な方法を提供します。

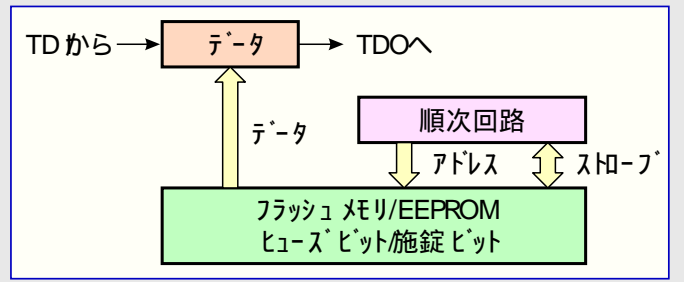
図 27-16.仮想フラッシュページ設定 レジスタ



### 27.8.12.仮想フラッシュページ取得 (Virtual Flash Page Read) レジスタ

仮想フラッシュページ取得レジスタはフラッシュメモリの1ページと等しいビット数+8ビットの仮想走査チェーン (Scan chain) です。内部的なシフトレジスタは8ビットで、データはフラッシュメモリページハーフからハイ単位で自動的に転送されます。最初の8クロックは先頭バイトを内部シフトレジスタへ転送するのに使用され、この8クロック中にシフト出力されたビットは無視されるべきです。この初期化に続いて、ページ内の最初のコードのLSBから始まり、ページ内の最後のコードのMSBで終了するデータがシフト出力されます。これは書き込み確認のためにフラッシュメモリの1ページ全体を読み出す効率的な方法を提供します。

図 27-17.仮想フラッシュページ取得 レジスタ



### 27.8.13.プログラミング手法

1、1 形式のような以下の全ての参照は表 27-16を参照してください。

### 27.8.14.プログラミング動作への移行

1. JTAG命令 **AVR\_RESET**を入力し、レジスタ外に **1** をシフトします。
2. **PROG\_ENABLE**命令を入力し、プログラミング許可レジスタ外に **\$A370 (1010 0011 0111 0000)** をシフトします。

### 27.8.15.プログラミング動作からの抜け出し

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. 無操作命令 (11 参照) により、全てのプログラミング命令を禁止します。
3. **PROG\_ENABLE**命令を入力し、プログラミング許可レジスタ外に **\$0000 (0000 0000 0000 0000)** をシフトします。
4. JTAG命令 **AVR\_RESET**を入力し、レジスタ外に **0** をシフトします。

### 27.8.16. チップ消去の実行

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. チップ消去命令 (1 参照) を使用し、チップ消去を開始します。
3. チップ消去完了検査 (1 参照) を使用し、完了までホールドするか、**WLRH\_CE** (195頁の表 27-12参照) 時間待ちます。

### 27.8.17. フラッシュメモリの書き込み

フラッシュメモリへ書き込む前にチップ消去が実行されなければなりません。上記の「チップ消去の実行」をご覧ください。

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. フラッシュ書き込み移行命令 (2 参照) を使用し、フラッシュメモリ書き込みを許可します。
3. アドレス上位設定命令 (2 参照) を使用し、書き込みアドレス上位ハイを設定します。
4. アドレス下位設定命令 (2 参照) を使用し、書き込みアドレス下位ハイを設定します。
5. データ設定命令 (2, 2, 2 参照) を使用し、書き込みデータを設定します。
6. バース内の全語 (ワード数分 4と5を繰り返します)。
7. バース書き込み命令 (2 参照) を使用し、バースをフラッシュメモリに書き込みます。
8. バース書き込み完了検査 (2 参照) を使用し、完了までホールドするか、**WLRH\_FLASH** (195頁の表 27-12参照) 時間待ちます。
9. 全データ書き込みまで 3 ~ 8 を繰り返します。

より効率的なデータ搬送は **PROG\_PAGELOAD** 命令を使用することで達せられます。

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. フラッシュ書き込み移行命令 (2 参照) を使用し、フラッシュメモリ書き込みを許可します。
3. アドレス設定命令 (2, 2 参照) を使用し、バースアドレスを設定します。バース内アドレスには **PCWORD** (189頁の表 27-10参照) が使用され、これらのビットは 0 として書かれなければなりません。
4. JTAG命令 **PROG\_PAGELOAD** を入力します。
5. バース内の最初のコードの LSB から始まって最後のコードの MSB で終了するバース内に全コードデータをシフトしてバース全体を設定します。
6. JTAG命令 **PROG\_COMMANDS** を入力します。
7. バース書き込み命令 (2 参照) を使用し、バースをフラッシュメモリに書き込みます。
8. バース書き込み完了検査 (2 参照) を使用し、完了までホールドするか、**WLRH\_FLASH** (195頁の表 27-12参照) 時間待ちます。
9. 全データ書き込みまで 3 ~ 8 を繰り返します。

### 27.8.18. フラッシュメモリの読み出し

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. フラッシュ読み出し移行命令 (3 参照) を使用し、フラッシュメモリ読み出しを許可します。
3. アドレス設定命令 (3, 3 参照) を使用し、読み出しアドレスを設定します。
4. データ読み出し命令 (3 参照) を使用し、データを読み出します。
5. 全データ読み出しまで 3 ~ 4 を繰り返します。

より効率的なデータ搬送は **PROG\_PAGEREAD** 命令を使用することで達せられます。

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. フラッシュ読み出し移行命令 (3 参照) を使用し、フラッシュメモリ読み出しを許可します。
3. アドレス設定命令 (3, 3 参照) を使用し、バースアドレスを設定します。バース内アドレスには **PCWORD** (189頁の表 27-10参照) が使用され、これらのビットは 0 として書かれなければなりません。
4. JTAG命令 **PROG\_PAGEREAD** を入力します。
5. バース内の最初のコードの LSB から始まって最後のコードの MSB で終了するバース内の全コードデータをシフトし、バース全体を読み出します。最初にシフト出力される 8 ビットが無視されるべきことに留意してください。
6. JTAG命令 **PROG\_COMMANDS** を入力します。
7. 全データ読み出しまで 3 ~ 6 を繰り返します。

### 27.8.19. EEPROMの書き込み

EEPROMへ書き込む前にチップ消去が実行されなければなりません。上記の「チップ消去の実行」をご覧ください。

1. JTAG命令 **PROG\_COMMANDS** を入力します。
2. EEPROM書き込み移行命令 (4 参照) を使用し、EEPROMメモリ書き込みを許可します。
3. アドレス上位設定命令 (4 参照) を使用し、書き込みアドレス上位ハイを設定します。
4. アドレス下位設定命令 (4 参照) を使用し、書き込みアドレス下位ハイを設定します。
5. データ設定命令 (4, 4 参照) を使用し、書き込みデータを設定します。
6. バース内の全ハイ数分 4と5を繰り返します。
7. EEPROM書き込み命令 (4 参照) を使用し、データをEEPROMメモリに書き込みます。
8. EEPROM書き込み完了検査 (4 参照) を使用し、完了までホールドするか、**WLRH** (195頁の表 27-12参照) 時間待ちます。
9. 全データ書き込みまで 3 ~ 8 を繰り返します。

**PROG\_PAGELOAD** 命令がEEPROM書き込み時に使用できないことに注意してください。

## 27.8.20. EEPROMの読み出し

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. EEPROM読み出し移行命令 (5 参照) を使用し、EEPROMをE読み出しを許可します。
3. アドレス設定命令 (5 参照) を使用し、読み出しアドレスを設定します。
4. データ読み出し命令 (5 参照) を使用し、データをE読み出します。
5. 全データ読み出しまで3~4を繰り返します。

**PROG\_PAGEREAD**命令がEEPROM読み出し時に使用できないことに注意してください。

## 27.8.21. ヒューズビットの書き込み

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. ヒューズ書き込み移行命令 (6 参照) を使用し、ヒューズ書き込みを許可します。
3. 拡張データ設定命令 (6 参照) を使用し、拡張ヒューズ値を設定します。(0=プログラム 1=非プログラム)
4. 拡張ヒューズ書き込み命令 (6 参照) を使用し、拡張ヒューズを書き込みます。
5. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までポーリングするか、WLRH (195頁の表 27-12参照) 時間待ちます。
6. 上位データ設定命令 (6 参照) を使用し、上位側ヒューズ値を設定します。(0=プログラム 1=非プログラム)
7. 上位ヒューズ書き込み命令 (6 参照) を使用し、上位側ヒューズを書き込みます。
8. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までポーリングするか、WLRH (195頁の表 27-12参照) 時間待ちます。
9. 下位データ設定命令 (6 参照) を使用し、下位側ヒューズ値を設定します。(0=プログラム 1=非プログラム)
10. 下位ヒューズ書き込み命令 (6 参照) を使用し、下位側ヒューズを書き込みます。
11. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までポーリングするか、WLRH (195頁の表 27-12参照) 時間待ちます。

## 27.8.22. 施錠ビットの書き込み

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. 施錠ビット書き込み移行命令 (7 参照) を使用し、施錠ビット書き込みを許可します。
3. データ設定命令 (7 参照) を使用し、施錠ビット値を設定します。(0=プログラム 1=無変化)
4. 施錠ビット書き込み命令 (7 参照) を使用し、施錠ビットに書き込みます。
5. 施錠ビット書き込み完了検査 (7 参照) を使用し、完了までポーリングするか、WLRH (195頁の表 27-12参照) 時間待ちます。

## 27.8.23. ヒューズ/施錠ビットの読み出し

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. ヒューズ/施錠ビット読み出し移行命令 (8 参照) を使用し、ヒューズ/施錠ビット読み出しを許可します。
3. 全てのヒューズと施錠ビットを読むにはヒューズ/施錠ビット読み出し命令 (8 参照) を使用します。  
拡張ヒューズビットのみを読み出す場合は拡張ヒューズ読み出し命令 (8 参照) を使用します。  
上位側ヒューズビットだけを読むには上位ヒューズ読み出し命令 (8 参照) を使用します。  
下位側ヒューズビットだけを読むには下位ヒューズ読み出し命令 (8 参照) を使用します。  
施錠ビットだけを読むには施錠ビット読み出し命令 (8 参照) を使用します。

## 27.8.24. 識票バイトの読み出し

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. 識票読み出し移行命令 (9 参照) を使用し、識票読み出しを許可します。
3. アドレス設定命令 (9 参照) を使用し、読み出しアドレス\$00を設定します。
4. データ読み出し命令 (9 参照) を使用し、識票バイトを読み出します。
5. 第2 第3バイトを読むためにアドレスを\$01,\$02として各々3~4を繰り返します。

## 27.8.25. 発振校正值バイトの読み出し

1. JTAG命令 **PROG\_COMMANDS**を入力します。
2. 発振校正值バイト読み出し移行命令 (10 参照) を使用し、発振校正值バイト読み出しを許可します。
3. アドレス設定命令 (10 参照) を使用し、読み出しアドレス\$00を設定します。
4. データ読み出し命令 (10 参照) を使用し、発振校正值バイトを読み出します。

**訳注** )発振校正值バイトは4バイトですので上記説明は不適切です。識票バイトと同様な手法が予測されます (未確認)



## 28.電気的特性

### 28.1 絶対最大定格 (警告)

動作温度	-55 ~ +125
保存温度	-65 ~ +150
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	400.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

### 28.2 DC特性

TA=-40 ~ 85 , VCC=2.7V~ 5.5V (特記事項を除く)

シンボル	項目	条件	Min	Typ	Max	単位
V <sub>IL</sub>	Lowレベル入力電圧	XTAL1 RESETを除く	-0.5		0.2VCC (注1)	V
V <sub>IL1</sub>	Lowレベル入力電圧	XTAL1	-0.5		0.1VCC (注1)	
V <sub>IL2</sub>	Lowレベル入力電圧	RESET	-0.5		0.2VCC (注1)	
V <sub>H</sub>	Highレベル入力電圧	XTAL1 RESETを除く	0.6VCC (注2)		VCC+0.5	
V <sub>H1</sub>	Highレベル入力電圧	XTAL1	0.7VCC (注2)		VCC+0.5	
V <sub>H2</sub>	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V <sub>OL</sub>	Lowレベル出力電圧 (I <sub>OL</sub> =1mA, VCC=5V)	DL=20mA, VCC=5V			0.9	
		DL=10mA, VCC=3V			0.6	
V <sub>OH</sub>	Highレベル出力電圧 (I <sub>OH</sub> =1mA, VCC=5V)	DH=-20mA, VCC=5V	4.2			μA
		DH=-10mA, VCC=3V	2.2			
I <sub>IL</sub>	I/OピンLowレベル入力漏れ電流	VCC=5.5V (絶対値)			1.0	μA
I <sub>IH</sub>	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			1.0	
R <sub>RST</sub>	RESETピンプルアップ抵抗		30		60	k
R <sub>PEN</sub>	PENピンプルアップ抵抗		30		60	
R <sub>PU</sub>	I/Oピンプルアップ抵抗		20		50	mA
I <sub>CC</sub>	通常動作消費電流	VCC=3V, 4MHz		2.5	5	
		VCC=5V, 8MHz		8.1	20	
	アイドル動作消費電流	VCC=3V, 4MHz		0.7	2	
		VCC=5V, 8MHz		2.8	12	
	ハートビート動作消費電流 (注5)	VCC=3V, WDT許可		<10	20	μA
		VCC=3V, WDT禁止		<4	10	
V <sub>ACD</sub>	アナログ比較器入力オフセット電圧	VCC=5V, V <sub>in</sub> =VCC/2	-40		40	mV
I <sub>ACLK</sub>	アナログ比較器入力漏れ電流		-50		50	nA
t <sub>ACPD</sub>	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3) 注5)は次頁を参照してください。

**注 3:** 各 I/O ポートは安定状態（非過渡時）に於いて検査条件（VCC=5Vで 20mA、VCC=3Vで 10mA）より多くのシンク電流を流すことができますが、次の条件を厳守しなければなりません。

全ポートの DL の合計が 400mA を超えるべきではありません。

ポート A0~ A7、C3~ C7、G2 の DL の合計が 100mA を超えるべきではありません。

ポート B0~ B7、E0~ E7、G3~ G4 の DL の合計が 100mA を超えるべきではありません。

ポート C0~ C2、D0~ D7、G0~ G1 と XTAL の DL の合計が 100mA を超えるべきではありません。

ポート F0~ F7 の DL の合計が 100mA を超えるべきではありません。

DL が検査条件を超える場合、VOL も仕様書での値を超えます。表の検査条件より大きなシンク電流を流すことは保証されません。

**注 4:** 各 I/O ポートは安定状態（非過渡時）に於いて検査条件（VCC=5Vで 20mA、VCC=3Vで 10mA）より多くのソース電流を流すことができますが、次の条件を厳守しなければなりません。

全ポートの DH の合計が 400mA を超えるべきではありません。

ポート A0~ A7、C3~ C7、G2 の DH の合計が 100mA を超えるべきではありません。

ポート B0~ B7、E0~ E7、G3~ G4 の DH の合計が 100mA を超えるべきではありません。

ポート C0~ C2、D0~ D7、G0~ G1 と XTAL の DH の合計が 100mA を超えるべきではありません。

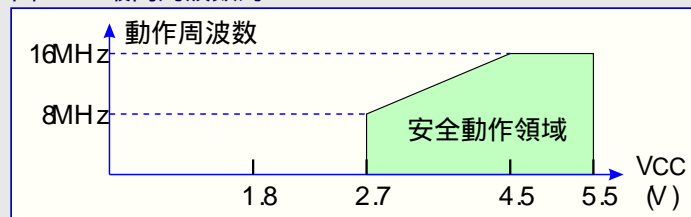
ポート F0~ F7 の DH の合計が 100mA を超えるべきではありません。

DH が検査条件を超える場合、VOH も仕様書での値を超えます。表の検査条件より大きなソース電流を流すことは保証されません。

**注 5:** パワーダウン動作に対する最小電源電圧（VCC）は 2.5V です。

## 28.3. 速度勾配

図 28-1. 最高周波数対 VCC



## 28.4. クロック特性

図 28-2. 外部 クロック駆動波形

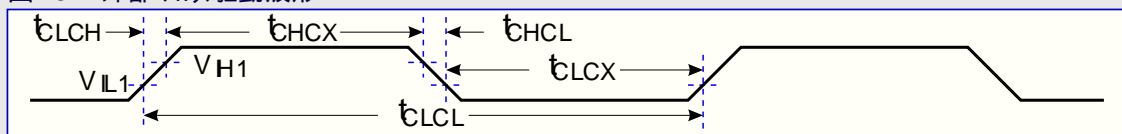


表 28-1. 外部 クロック特性

シンボル	項目	VCC=2.7~ 5.5V		VCC=4.5~ 5.5V		単位
		Min	Max	Min	Max	
$1/t_{LCL}$	クロック周波数	0	8	0	16	MHz
$t_{LCL}$	クロック周期	125		62.5		
$t_{CHCX}$	Highレベル時間	50		25		ns
$t_{LCX}$	Lowレベル時間	50		25		
$t_{LCH}$	上昇時間		1.6		0.5	μs
$t_{CHCL}$	下降時間		1.6		0.5	
$t_{LCL}$	隣接 クロック周期間の変化率		2		2	%

**注:** 詳細については 25 頁の「外部 クロック信号」を参照してください。

表 28-2. 代表的な外部 RC 発振周波数（VCC=5V）

周波数 f	抵抗 R (k $\Omega$ )	容量 C (pF)
650kHz	31.5	20
2.0MHz	6.5	20

**注:** R の範囲は 3~ 100k $\Omega$ 、C は最小 20pF とすべきです。表で与えられた C の値は寄生容量を含みます。これは外周器形状や基板配置で変化します。

## 28.5. システムとリセットの特性

表 28-3. リセット 低電圧検出 (BOD) 内部基準電圧の特性

シンボル	項目	Min	Typ	Max	単位
V <sub>POT</sub>	上昇時電源ONリセット閾値電圧		1.4	2.3	V
	下降時電源ONリセット閾値電圧 (注 1)		1.3	2.3	
V <sub>RST</sub>	RESETピン閾値電圧	0.2V <sub>CC</sub>		0.85V <sub>CC</sub>	
t <sub>RST</sub>	リセットパルス幅	1.5			μs
V <sub>BOT</sub>	低電圧検出 閾値電圧 (注 2)	BODLEVEL=非プログラム (1)	2.5	2.7	V
		BODLEVEL=プログラム (0)	3.6	4.0	
t <sub>BOT</sub>	最小低電圧検出時間	BODLEVEL=非プログラム (1)	2		μs
		BODLEVEL=プログラム (0)	2		
V <sub>HYST</sub>	低電圧検出ヒステリシス電圧		120		mV
V <sub>BG</sub>	基準電圧	1.15	1.23	1.35	V
t <sub>BG</sub>	起動時間		40	70	μs
I <sub>BG</sub>	消費電流		10		μA

注 1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注 2: V<sub>BOT</sub>はいくつかのデバイスについて公称最小動作電圧以下かもしれません。この状態のデバイスについて、そのデバイスは製造検査中に V<sub>CC</sub>=V<sub>BOT</sub>へ落として検査されます。これは V<sub>CC</sub>がマイクロコントローラの正しい動作がもはや保証されない電圧へ落ちる前に低電圧 (BOD) リセットが起きることを保証します。

## 28.6. 2線直列 インターフェース特性

表 28-4は 2線直列バスに接続した装置に対する必要条件を記述します。ATmega64Aの 2線直列 インターフェースは記載条件下で、これらの必要条件を越えるか、または合致します。

図 28-3. 2線直列バス タイミング

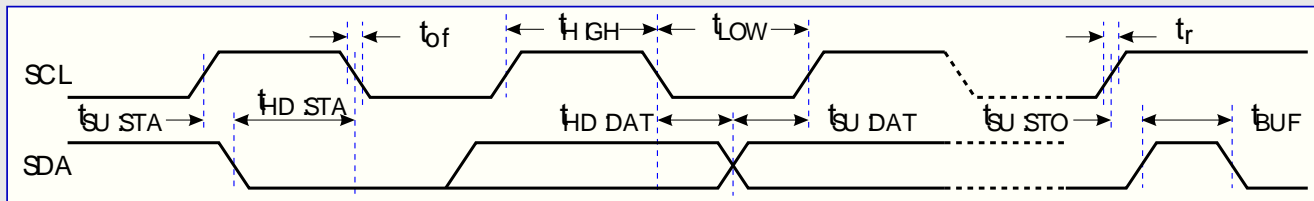


表 28-4. 2線直列 インターフェース必要条件

シンボル	項目	条件	Min	Max	単位
$V_{IL}$	Lowレベル入力電圧		-0.5	0.3VCC	V
$V_H$	Highレベル入力電圧		0.7VCC	VCC+0.5	
$V_{hys}$	シュミットトリカ入力ヒステリシス電圧		0.05VCC		
$V_{OL}$	Lowレベル出力電圧	$I_{OL}=3mA$	0	0.4	ns
$t_r$	出力上昇時間 ( $V_{Lmin}$ - $V_{Hmax}$ )		$20+0.1C_b$	300	
$t_{of}$	出力下降時間 ( $V_{Hmin}$ - $V_{Lmax}$ )	$10pF < C_b < 400pF$	$20+0.1C_b$	250	
$t_{sp}$	入力パルス最小幅 (尖頭消去濾波)		0	50	$\mu A$
$I_i$	入力電流 (ピン単位)	$0.1VCC < V_i < 0.9VCC$	-10	10	
$C_i$	ピン入力容量			10	
$f_{SCL}$	SCLクロック周波数	$f_{CK} > \max(1/f_{SCL}, 250kHz)$	0	400	kHz
$R_p$	プルアップ抵抗値	$f_{SCL} = 100kHz$	$(VCC - 0.4V)/3mA$	$1000ns/C_b$	
		$f_{SCL} > 100kHz$	$(VCC - 0.4V)/3mA$	$300ns/C_b$	
$t_{HD\_STA}$	再送 開始条件保持時間	$f_{SCL} = 100kHz$	4.0		$\mu s$
		$f_{SCL} > 100kHz$	0.6		
$t_{LOW}$	SCLクロックLowレベル時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		
$t_{HIGH}$	SCLクロックHighレベル時間	$f_{SCL} = 100kHz$	4.0		
		$f_{SCL} > 100kHz$	0.6		
$t_{SU\_STA}$	再送開始条件セットアップ時間	$f_{SCL} = 100kHz$	4.7		ns
		$f_{SCL} > 100kHz$	0.6		
$t_{HD\_DAT}$	データ保持時間	$f_{SCL} = 100kHz$	0	3.45	
		$f_{SCL} > 100kHz$	0	0.9	
$t_{SU\_DAT}$	データセットアップ時間	$f_{SCL} = 100kHz$	250		
		$f_{SCL} > 100kHz$	100		
$t_{SU\_STO}$	停止条件セットアップ時間	$f_{SCL} = 100kHz$	4.0		$\mu s$
		$f_{SCL} > 100kHz$	0.6		
$t_{BUF}$	停止条件 開始条件間バス開放時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		

ATmega64Aで、この項目は特性が記載されていますが、100%検査はされていません。

$f_{SCL} > 100kHz$  についてのみ必要とされます。

$C_b$ は1つのバス信号線の容量 (pF)です。

$f_{CK}$ はCPUシステムクロック周波数です。

この必要条件はATmega64Aの全ての 2線直列 インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的な  $f_{SCL}$  必要条件に従うことだけを必要とします。

ATmega64Aの 2線直列 インターフェースによって生成した実際のLow区間は  $(1/f_{SCL} - 2/f_{CK})$  で、従ってLow時間の必要条件に対して  $f_{SCL} = 100kHz$  で厳密に満たされるには  $f_{CK}$  が 概ね 8MHz以上でなければなりません。

ATmega64Aの 2線直列 インターフェースによって生成した実際のLow区間は  $(1/f_{SCL} - 2/f_{CK})$  で、従って  $f_{CK} = 8MHz$  時、厳密には  $f_{SCL} > 308kHz$  でLow時間の必要条件が満たされません。それにも拘らず、バスに接続されたATmega64A装置は相応な  $t_{LOW}$  許容余地のある他の装置だけでなく他のATmega64A装置と最高速 (400kHz) で通信できるでしょう。



## 28.7.SPタイミング特性

図 28-4.SP Iタイミング必要条件 (主装置動作)

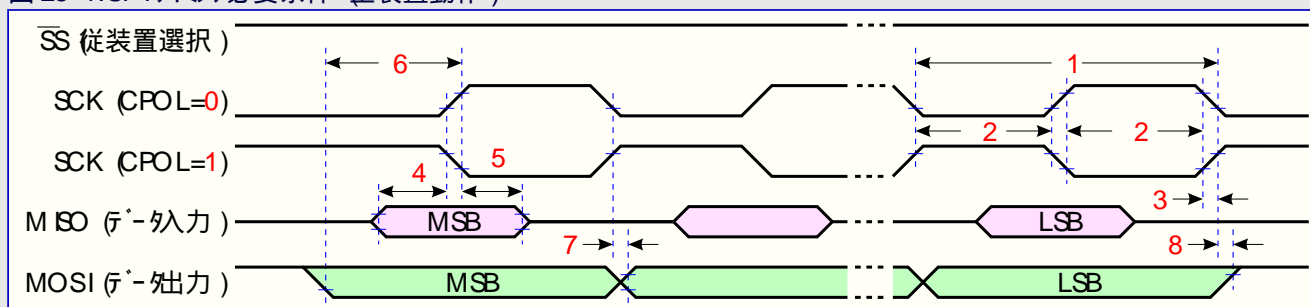


図 28-5.SP Iタイミング必要条件 (従装置動作)

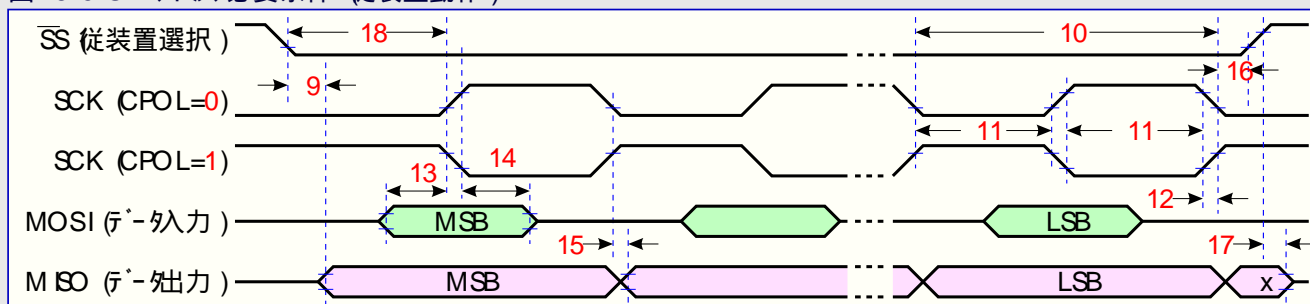


表 28-5.SP Iタイミング特性

番号	項目	動作種別	Min	Typ	Max	単位
1	SCK周期	主装置		表 19-5参照		ns
2	SCK High/Low期間	主装置		50% $\bar{t}_{\text{rise}}-\bar{t}_{\text{fall}}$		
3	SCK上昇/下降時間	主装置		3.6		
4	入力データセットアップ時間	主装置		10		
5	入力データ保持時間	主装置		10		
6	出力からSCK変移時間	主装置		0.5 $t_{\text{CK}}$		
7	SCKからの出力遅延時間	主装置		10		
8	SCKからのHigh出力時間	主装置		10		
9	SSからの出力遅延時間	従装置		15		μs
10	SCK周期	従装置	4 $t_{\text{CK}}$			
11	SCK High/Low期間 (注)	従装置	2 $t_{\text{CK}}$			ns
12	SCK上昇/下降時間	従装置			1.6	
13	入力データセットアップ時間	従装置	10			
14	入力データ保持時間	従装置	$t_{\text{CK}}$			
15	SCKからの出力遅延時間	従装置		15		
16	SCKからのSS遅延時間	従装置	20			
17	SSからの出力High遅延時間	従装置		10		
18	SSからのSCK遅延時間	従装置	20			

注：SPIプログラマチックでの最小 SCK High/Low期間は、2 $t_{\text{LCL}}$  ( $t_{\text{CK}} < 12\text{MHz}$ ) 3 $t_{\text{LCL}}$  ( $t_{\text{CK}} \geq 12\text{MHz}$ )です。

## 28.8.A/D変換器特性

表 28-6.A/D変換特性 (TA=-40~ +85 )

	シンボル	項目	条件		Min	Typ	Max	単位
シングル エンド 入力変換		分解能					10	ビット
		絶対精度 (NL/DNL 利得 , オフセット量子化 誤差を含む )	VCC=4V	変換 クロック=200kHz		1.5		LSB
	VREF=4V		変換 クロック=1MHz		3			
	雑音低 減動作		変換 クロック=200kHz		1.5			
			変換 クロック=1MHz		3			
		積分性非直線誤差 (NL)	VCC=4V VREF=4V 変換 クロック=200kHz			0.75		LSB
		微分性非直線誤差 (DNL)				0.25		
		オフセットエラー誤差				0.75		
		利得誤差				0.75		
		変換 クロック周波数			50		1000	kHz
		変換時間	連続変換動作		13		260	μs
	VREF	基準電圧			2.0		AVCC	V
	VIN	入力電圧			GND		VREF	
		入力周波数帯域				38.5		kHz
		A/D変換出力			0		1023	LSB
差動 入力変換		分解能	VCC=5V VREF=4V 変換 クロック=50~ 200kHz	× 1			10	ビット
	× 10					10		
	× 200					10		
		絶対精度 (オフセット利得誤差校正後 )		× 1		16		LSB
	× 10				16			
	× 200				8			
		積分性非直線誤差 (NL)		× 1		0.75		
	× 10				0.75			
	× 200				2.5			
		オフセットエラー誤差		× 1		1.5		LSB
	× 10				1			
	× 200				6			
		利得誤差		× 1		1.6		%
	× 10				1.6			
	× 200				0.3			
		変換 クロック周波数			50		1000	kHz
		変換時間			13		260	μs
	VREF	基準電圧			2.0		AVCC -0.5	V
	VIN	入力電圧			GND		VCC	
	VDIFF	差動入力電圧差			-VREF /利得		VREF /利得	
		入力周波数帯域				4		kHz
		A/D変換出力			-512		511	LSB
共通	AVCC	アナログ供給電圧			VCC -0.3 (注 1)		VCC+0.3 (注 2)	V
	VINT	内蔵 2.56V基準電圧			2.4	2.56	2.8	
	RREF	基準電圧入力 インピーダンス				32		k
	RAN	アナログ入力 インピーダンス				100		M

注 1: AVCCの最小値は 2.7Vです。

注 2: AVCCの最大値は 5.5Vです。

訳注 )原書の表 28-6と表 28-7は表 28-6として統合しました。

## 28.9 外部メモリタイミング特性

表 28-8. 外部データメモリ特性 (VCC=4.5V~ 5.5V, 待ちなし)

	シンボル	項目	8MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/ $t_{CLCL}$	発振器周波数			0.0	16		MHz
1	$t_{HLL}$	ALE Highレベル幅	115		$1.0 t_{CLCL} - 10$			ns
2	$t_{AVLL}$	ALE 前下位アドレスセットアップ時間	57.5		$0.5 t_{CLCL} - 5$		1	
3A	$t_{LAX,ST}$	ライ時 ALE 後下位アドレス保持時間	5		5			
3B	$t_{LAX,LD}$	リード時 ALE 後下位アドレス保持時間	5		5			
4	$t_{AVLLC}$	ALE 前上位アドレスセットアップ時間	57.5		$0.5 t_{CLCL} - 5$		1	
5	$t_{AVRL}$	リード時 RD 前下位アドレス有効時間	115		$1.0 t_{CLCL} - 10$			
6	$t_{AWL}$	ライ時 WR 前下位アドレス有効時間	115		$1.0 t_{CLCL} - 10$			
7	$t_{LWL}$	ALE 後 WR 遅延時間	47.5	67.5	$0.5 t_{CLCL} - 15$	$0.5 t_{CLCL} + 5$	2	
8	$t_{LRL}$	ALE 後 RD 遅延時間	47.5	67.5	$0.5 t_{CLCL} - 15$	$0.5 t_{CLCL} + 5$	2	
9	$t_{VRH}$	RD 前データセットアップ時間	40		40			
10	$t_{RDV}$	RD 後データ出力遅延時間		75		$1.0 t_{CLCL} - 50$		
11	$t_{RDX}$	RD 後データ保持時間	0		0			
12	$t_{LRH}$	RD Lowレベル幅	115		$1.0 t_{CLCL} - 10$			
13	$t_{BWL}$	WR 前データセットアップ時間	42.5		$0.5 t_{CLCL} - 20$		1	
14	$t_{WDX}$	WR 後データ保持時間	115		$1.0 t_{CLCL} - 10$			
15	$t_{BWH}$	WR 前データ有効時間	125		$1.0 t_{CLCL}$			
16	$t_{WLWH}$	WR Lowレベル幅	115		$1.0 t_{CLCL} - 10$			

注 1: 一般式の定数はデューティサイクル=50%のXTALの外部クロックのHigh時間は半周期と仮定した値です。

注 2: 一般式の定数はデューティサイクル=50%のXTALの外部クロックのLow時間は半周期と仮定した値です。

表 28-9. 外部データメモリ特性 (VCC=4.5V~ 5.5V, SRWn1=0, SRWn0=1 (待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/ $t_{CLCL}$	発振器周波数			0.0	16		MHz
10	$t_{RDV}$	RD 後データ出力遅延時間		200		$2.0 t_{CLCL} - 50$		ns
12	$t_{LRH}$	RD Lowレベル幅	240		$2.0 t_{CLCL} - 10$			
15	$t_{BWH}$	WR 前データ有効時間	250		$2.0 t_{CLCL}$			
16	$t_{WLWH}$	WR Lowレベル幅	240		$2.0 t_{CLCL} - 10$			

表 28-10. 外部データメモリ特性 (VCC=4.5V~ 5.5V, SRWn1=1, SRWn0=0 (待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/ $t_{CLCL}$	発振器周波数			0.0	16		MHz
10	$t_{RDV}$	RD 後データ出力遅延時間		325		$3.0 t_{CLCL} - 50$		ns
12	$t_{LRH}$	RD Lowレベル幅	365		$3.0 t_{CLCL} - 10$			
15	$t_{BWH}$	WR 前データ有効時間	375		$3.0 t_{CLCL}$			
16	$t_{WLWH}$	WR Lowレベル幅	365		$3.0 t_{CLCL} - 10$			

表 28-11. 外部データメモリ特性 (VCC=4.5V~ 5.5V, SRWn1=1, SRWn0=1 (2待ち周期))

	シンボル	項目	8MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/ $t_{CLCL}$	発振器周波数			0.0	16		MHz
10	$t_{RDV}$	RD 後データ出力遅延時間		325		$3.0 t_{CLCL} - 50$		ns
12	$t_{LRH}$	RD Lowレベル幅	365		$3.0 t_{CLCL} - 10$			
14	$t_{WDX}$	WR 後データ保持時間	240		$2.0 t_{CLCL} - 10$			
15	$t_{BWH}$	WR 前データ有効時間	375		$3.0 t_{CLCL}$			
16	$t_{WLWH}$	WR Lowレベル幅	365		$3.0 t_{CLCL} - 10$			

表 28-12. 外部データメモリ特性 (VCC=2.7V~ 5.5V、待ちなし)

	シンボル	項目	4MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	8		MHz
1	tHLL	ALE Highレベル幅	235		1.0CLCL-15			ns
2	tAVLL	ALE 前下位アドレスセットアップ時間	115		0.5CLCL-10		1	
3A	tLAX,ST	ライ時 ALE 後下位アドレス保持時間	5		5			
3B	tLAX,LD	リト時 ALE 後下位アドレス保持時間	5		5			
4	tAVLLC	ALE 前上位アドレスセットアップ時間	115		0.5CLCL-10		1	
5	tAVRL	リト時 RD 前下位アドレス有効時間	235		1.0CLCL-15			
6	tAWWL	ライ時 WR 前下位アドレス有効時間	235		1.0CLCL-15			
7	tLLWL	ALE 後 WR 遅延時間	115	130	0.5CLCL-10	0.5CLCL+5	2	
8	tLRL	ALE 後 RD 遅延時間	115	130	0.5CLCL-10	0.5CLCL+5	2	
9	tVRH	RD 前データセットアップ時間	45		45			
10	tLDV	RD 後データ出力遅延時間		190		1.0CLCL-60		
11	tHDX	RD 後データ保持時間	0		0			
12	tLRH	RD Lowレベル幅	235		1.0CLCL-15			
13	tWWL	WR 前データセットアップ時間	105		0.5CLCL-20		1	
14	tWHDX	WR 後データ保持時間	235		1.0CLCL-15			
15	tWWH	WR 前データ有効時間	250		1.0CLCL			
16	tWLWH	WR Lowレベル幅	235		1.0CLCL-15			

注 1: 一般式の定数はデューティサイクル=50%XTALの外部クロックのHigh時間は半周期と仮定した値です。

注 2: 一般式の定数はデューティサイクル=50%XTALの外部クロックのLow時間は半周期と仮定した値です。

表 28-13. 外部データメモリ特性 (VCC=2.7V~ 5.5V、SRWn1=0, SRWn0=1 (待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	8		MHz
10	tLDV	RD 後データ出力遅延時間		440		2.0CLCL-60		ns
12	tLRH	RD Lowレベル幅	485		2.0CLCL-15			
15	tWWH	WR 前データ有効時間	500		2.0CLCL			
16	tWLWH	WR Lowレベル幅	485		2.0CLCL-15			

表 28-14. 外部データメモリ特性 (VCC=2.7V~ 5.5V、SRWn1=1, SRWn0=0 (待ち周期))

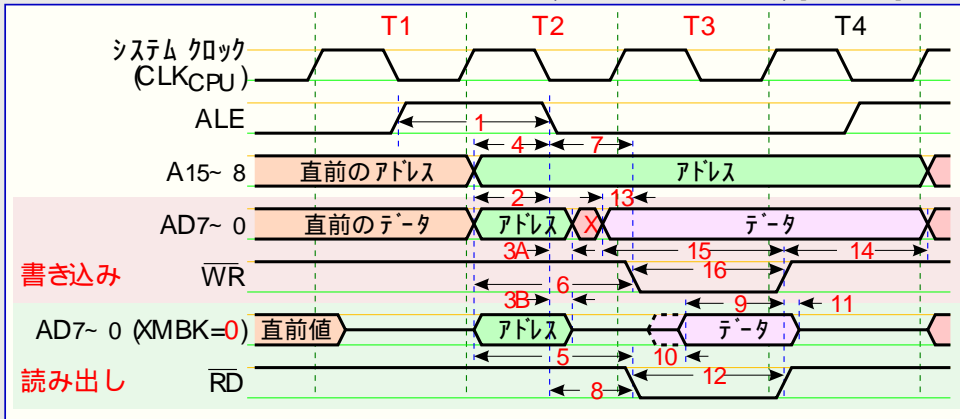
	シンボル	項目	4MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	8		MHz
10	tLDV	RD 後データ出力遅延時間		690		3.0CLCL-60		ns
12	tLRH	RD Lowレベル幅	735		3.0CLCL-15			
15	tWWH	WR 前データ有効時間	750		3.0CLCL			
16	tWLWH	WR Lowレベル幅	735		3.0CLCL-15			

表 28-15. 外部データメモリ特性 (VCC=2.7V~ 5.5V、SRWn1=1, SRWn0=1 (2&待ち周期))

	シンボル	項目	4MHz時		一般式			単位
			Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	8		MHz
10	tLDV	RD 後データ出力遅延時間		690		3.0CLCL-60		ns
12	tLRH	RD Lowレベル幅	735		3.0CLCL-15			
14	tWHDX	WR 後データ保持時間	485		2.0CLCL-15			
15	tWWH	WR 前データ有効時間	750		3.0CLCL			
16	tWLWH	WR Lowレベル幅	735		3.0CLCL-15			



図 28-6. 待ち状態なし外部データメモリアクセス周期 (SRWn1=0, SRWn0=0) [T1~ T3]



## 共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1~ Tn]は図での命令実行周期範囲です。

Xは値変更区間を示します。

最終周期のALEは次命令がRAM(内部または外部)をアクセスする場合だけ存在します。また、最後の周期のアドレスとデータの変更区間の有無も同様です。

図 28-7. 待ち状態 外部データメモリアクセス周期 (SRWn1=0, SRWn0=1) [T1~ T4]

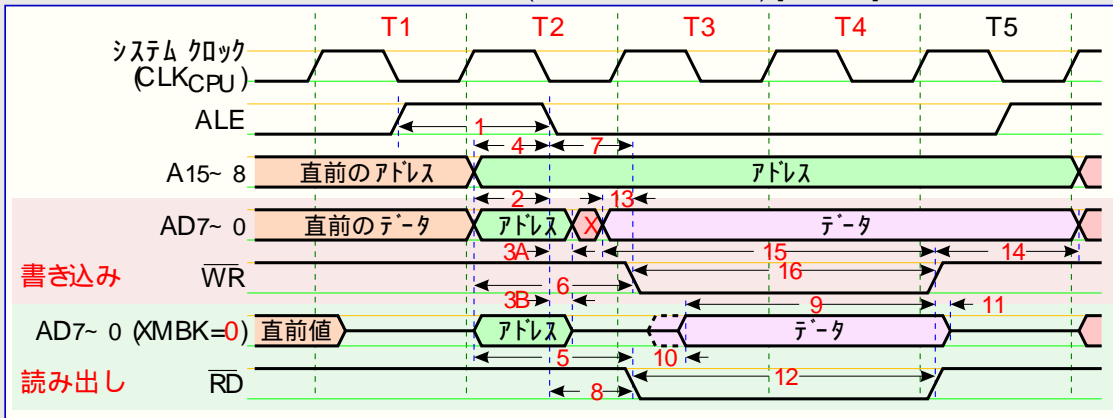


図 28-8. 2待ち状態 外部データメモリアクセス周期 (SRWn1=1, SRWn0=0) [T1~ T5]

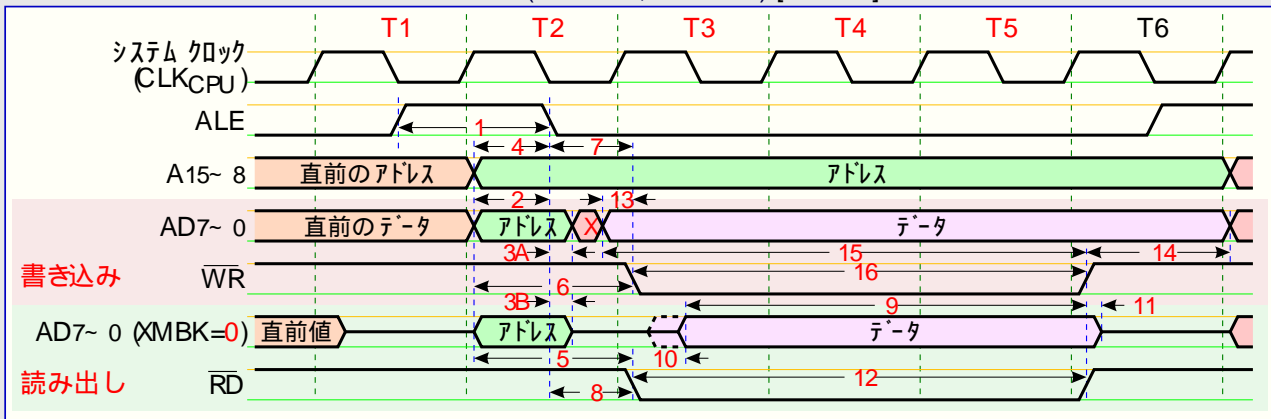
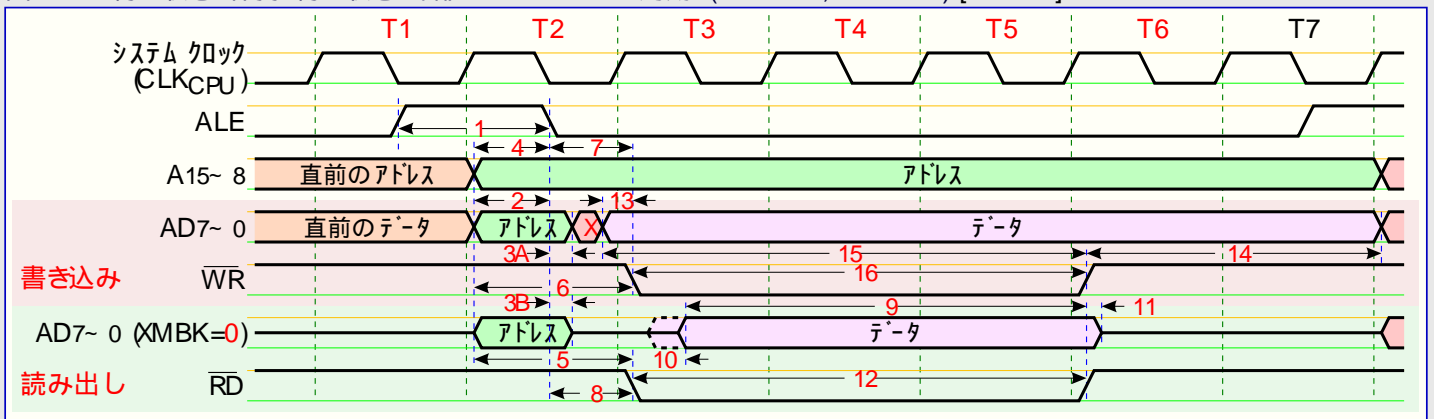


図 28-9. 2待ち状態 保持 待ち状態 外部データメモリアクセス周期 (SRWn1=1, SRWn0=1) [T1~ T6]



## 29. 代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全 I/O ピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は (一つのピンに対して)  $CL$  負荷容量  $\times VCC$  動作電圧  $\times f$  (I/O ピンの平均切り替え周波数) として推測できます。

データシートは検査範囲より高い周波数特性を示します。データシートは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイム許可のパワーダウン動作での消費電流とウォッチドッグ タイム禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイムによって引き込んだ消費した差電流を表します。

### 29.1 標準動作消費電流

図 29-1 標準動作消費電流 対 周波数 (100kHz~ 1MHz)

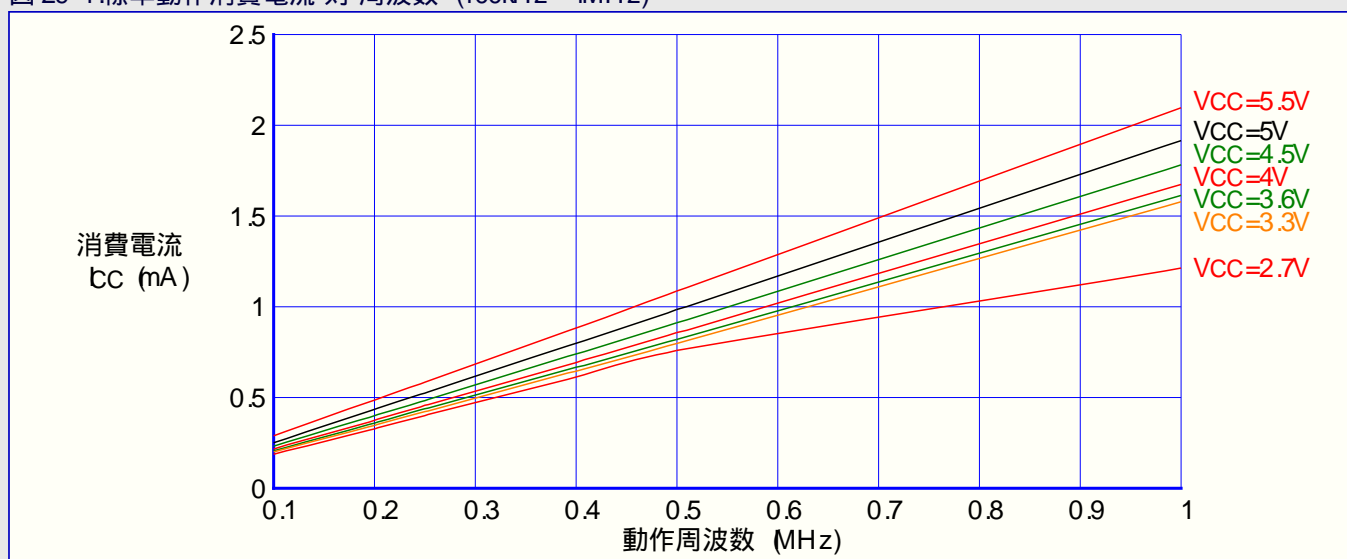


図 29-2 標準動作消費電流 対 周波数 (1MHz~ 16MHz)

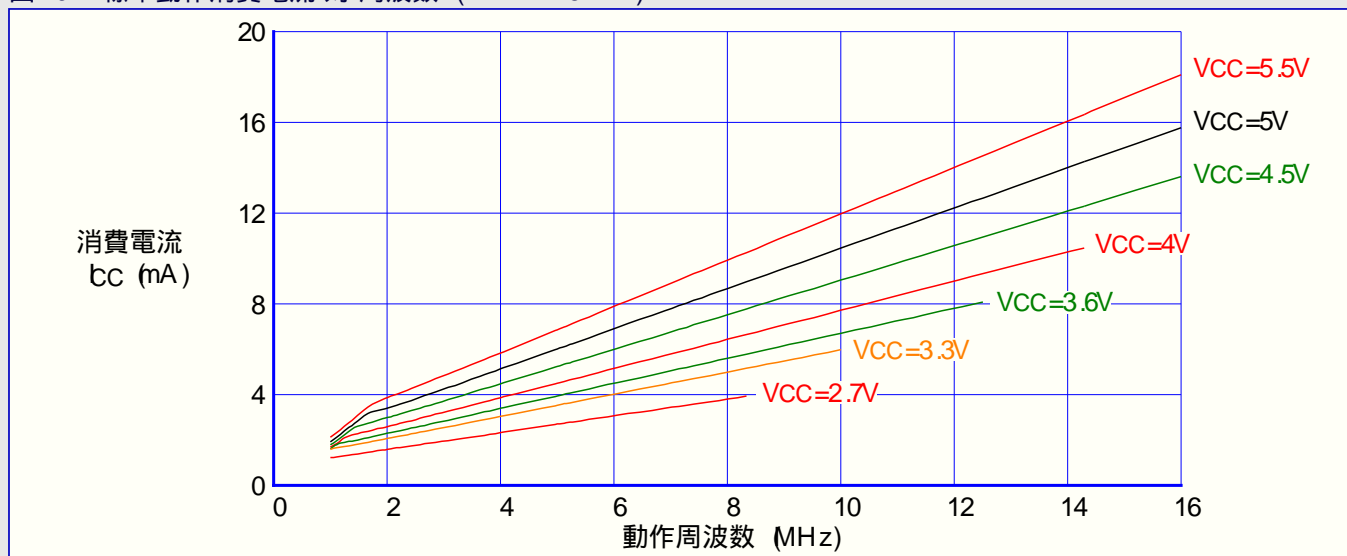


図 29-3 標準動作消費電流 対 動作電圧 (内蔵 RC 発振器, 1MHz)

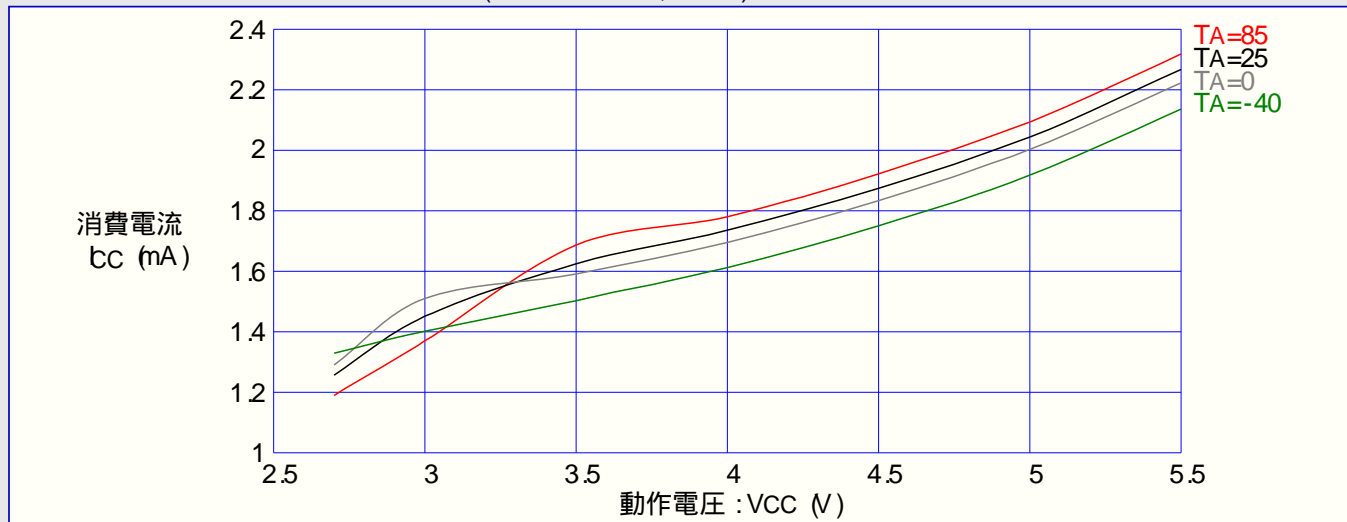


図 29-4 標準動作消費電流 対 動作電圧 (内蔵 RC 発振器, 2MHz)

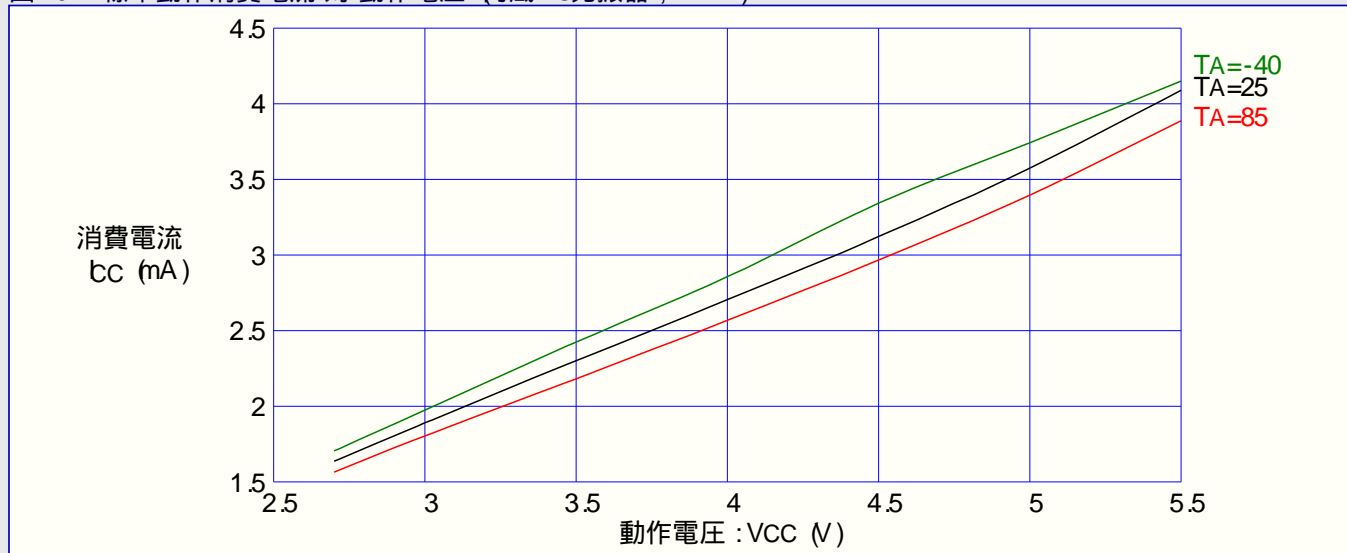


図 29-5 標準動作消費電流 対 動作電圧 (内蔵 RC 発振器, 4MHz)

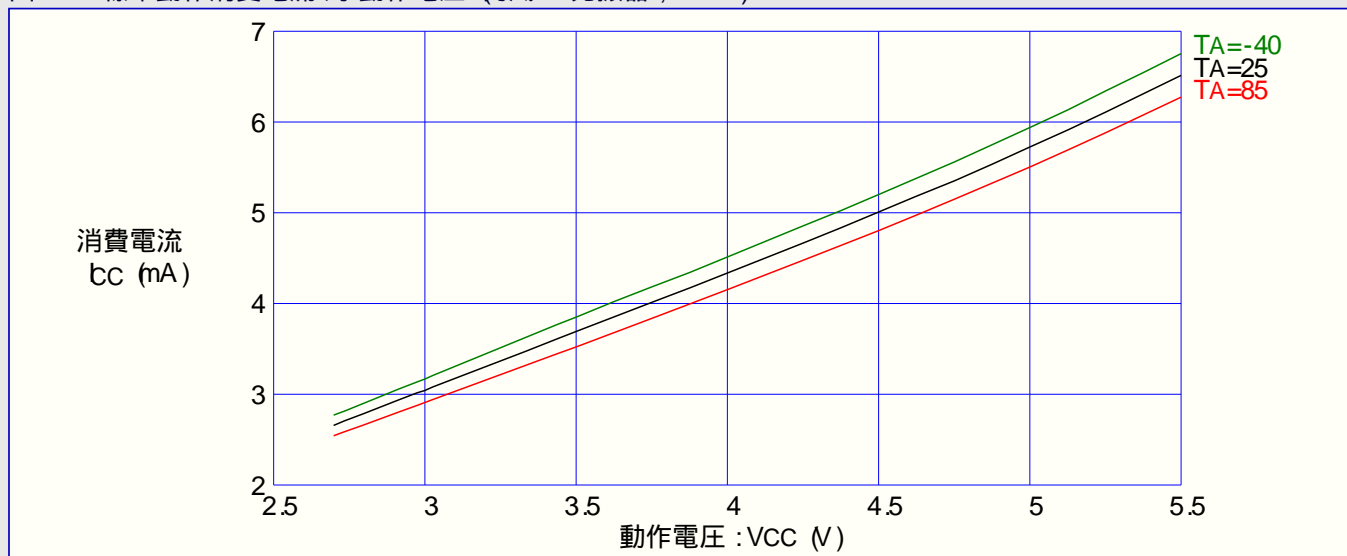


図 29-6 標準動作消費電流 対 動作電圧 (内蔵 RC 発振器, 8MHz)

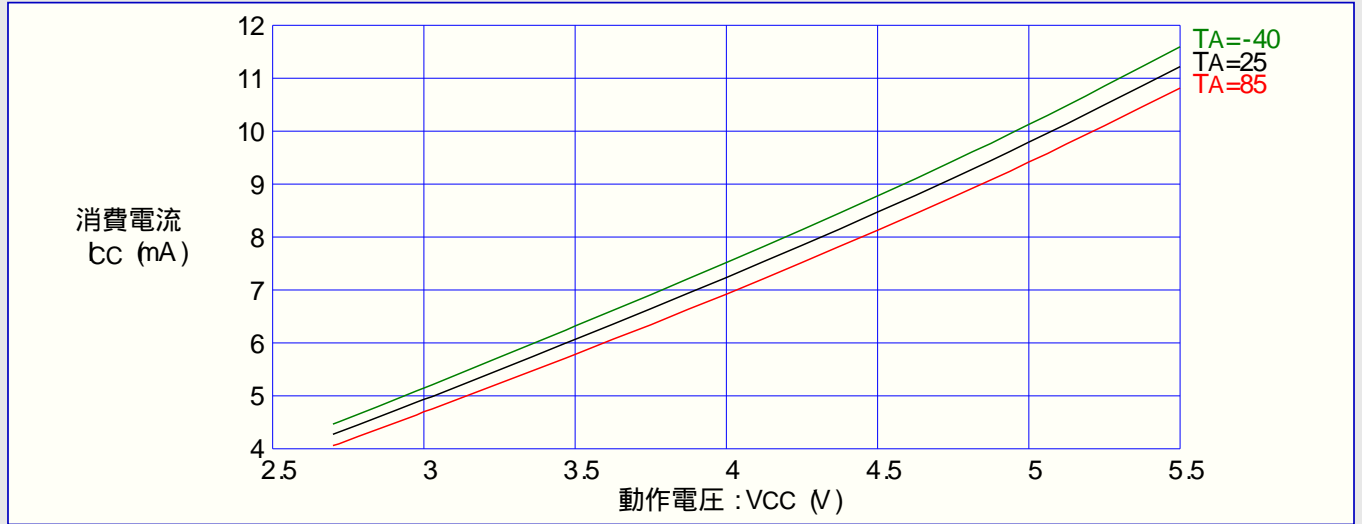
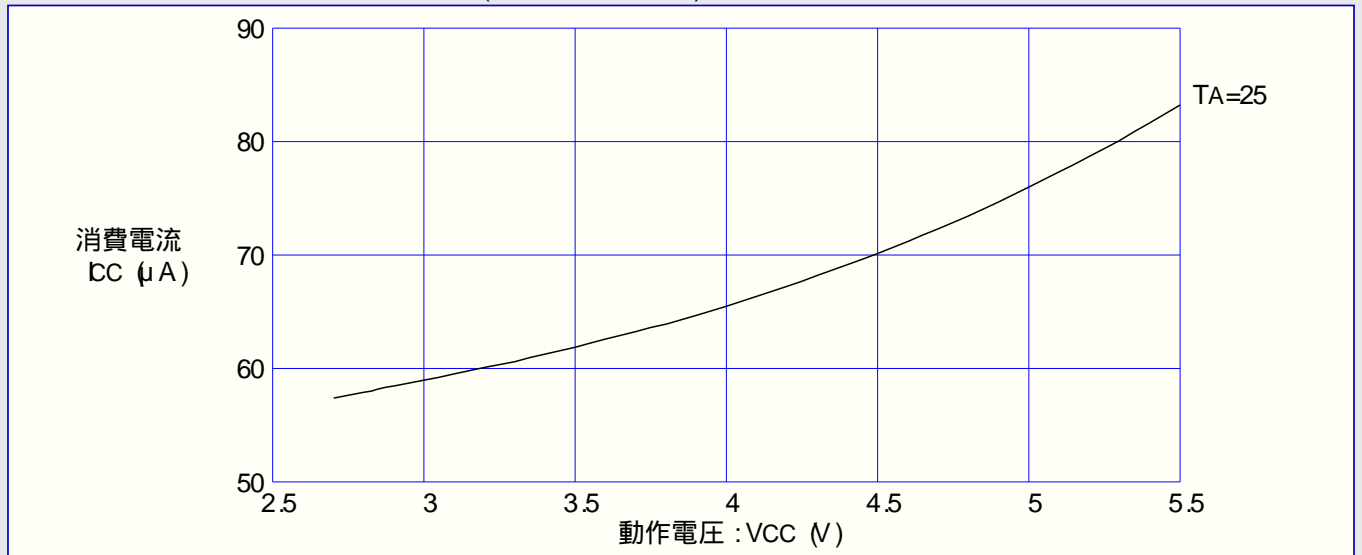


図 29-7 標準動作消費電流 対 動作電圧 (32kHz 外部発振器)



## 29.2.7 動作消費電流

図 29-8.7 動作消費電流 対 周波数 (100kHz~ 1MHz)

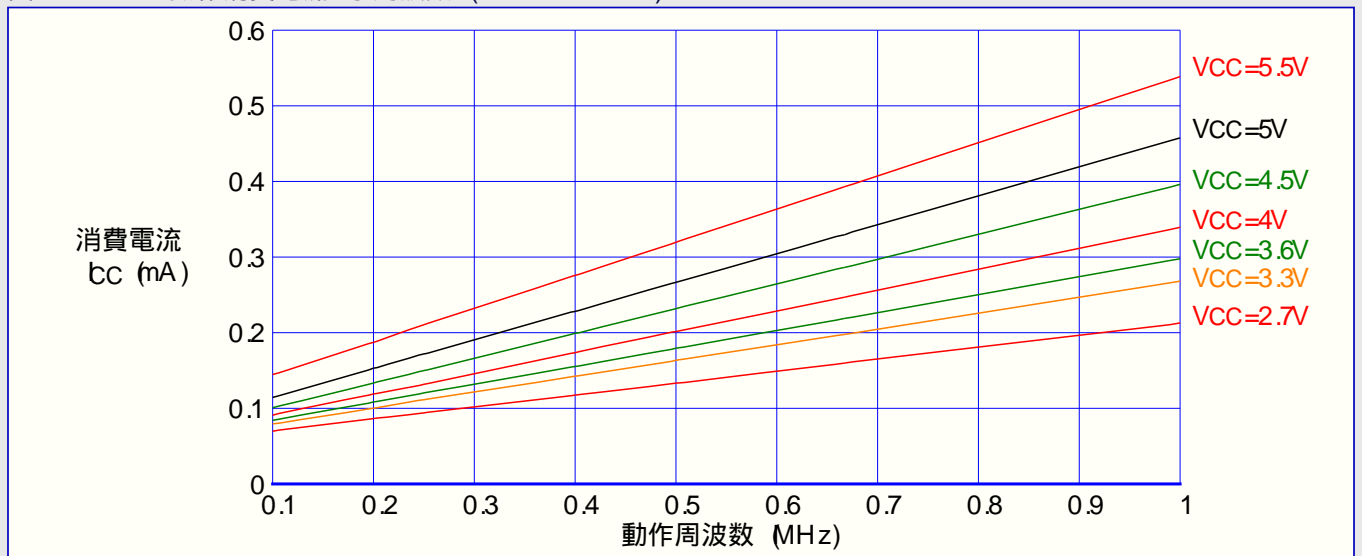




図 29-9.71 $\mu$ 動作消費電流 対 周波数 (1MHz~ 16MHz)

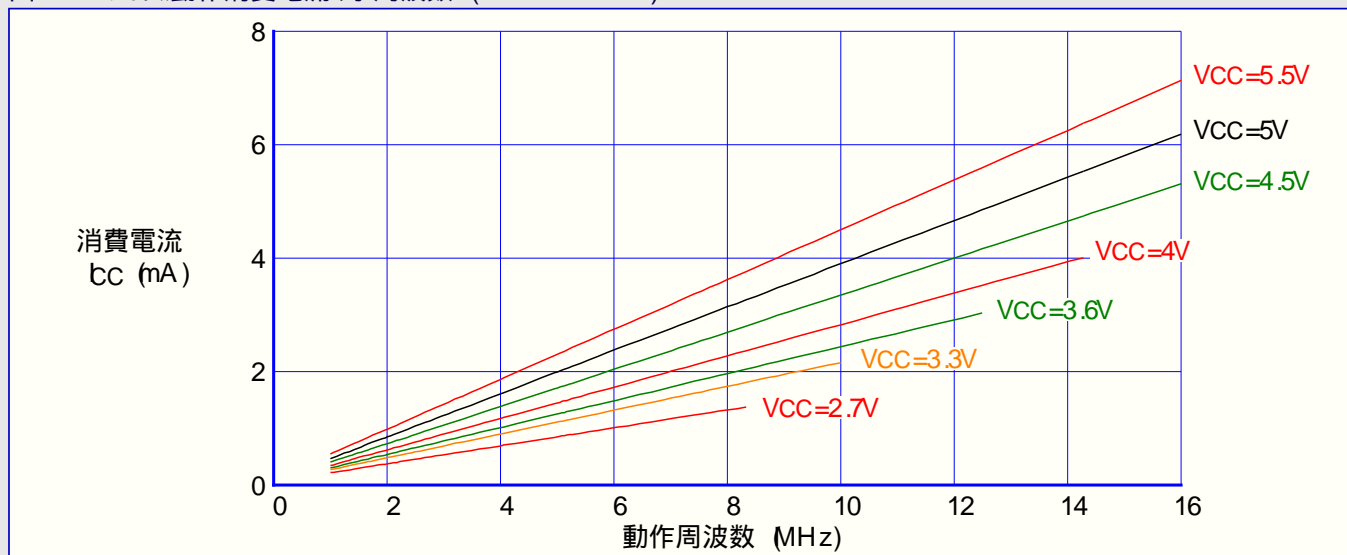


図 29-10.71 $\mu$ 動作消費電流 対 動作電圧 内蔵 RC 発振器, 1MHz

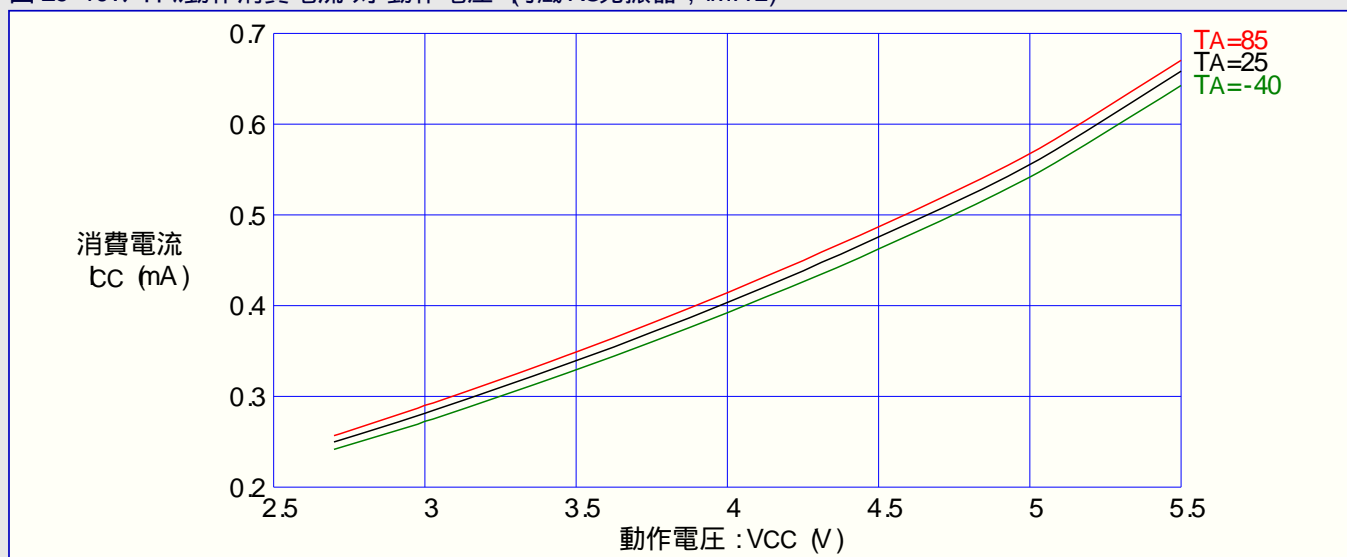


図 29-11.71 $\mu$ 動作消費電流 対 動作電圧 内蔵 RC 発振器, 2MHz

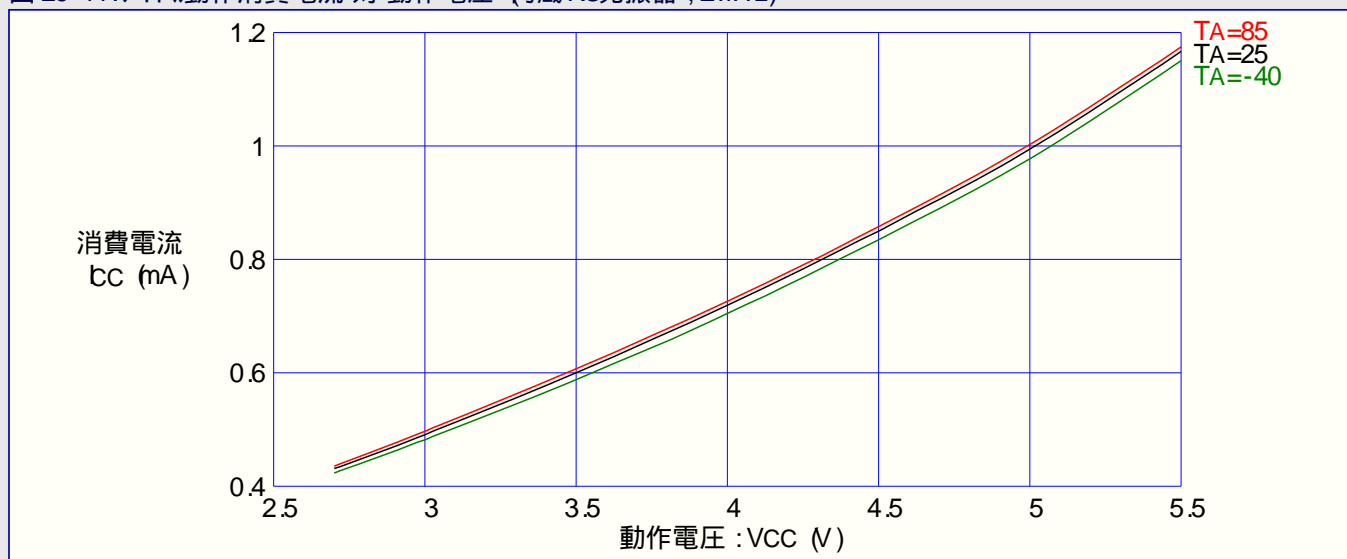


図 29-12.711動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

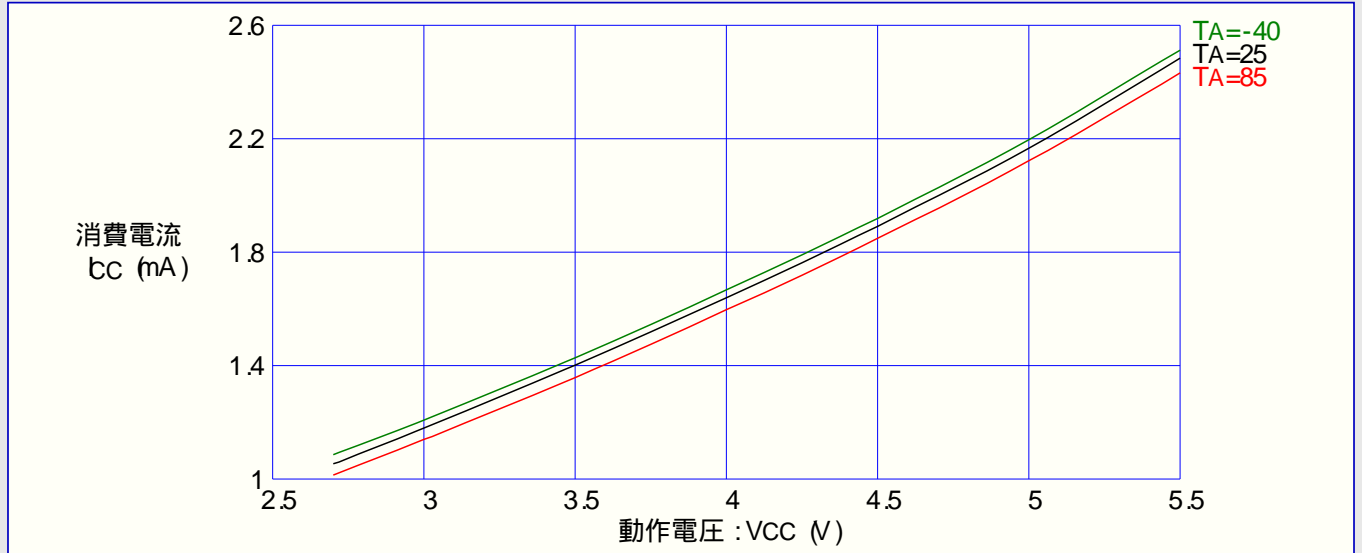


図 29-13.711動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

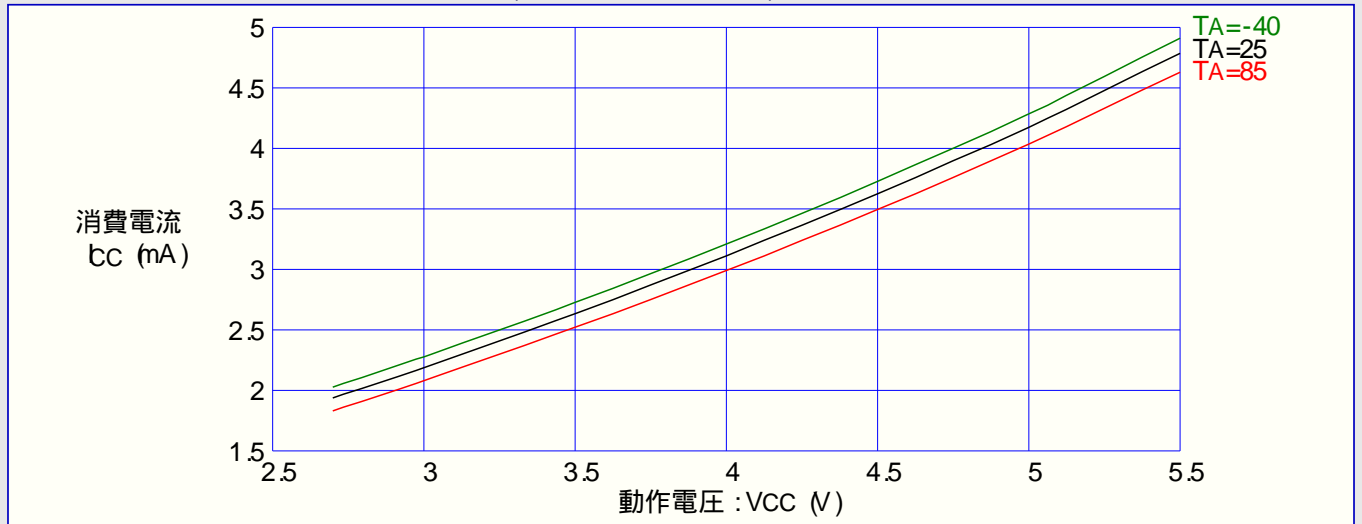
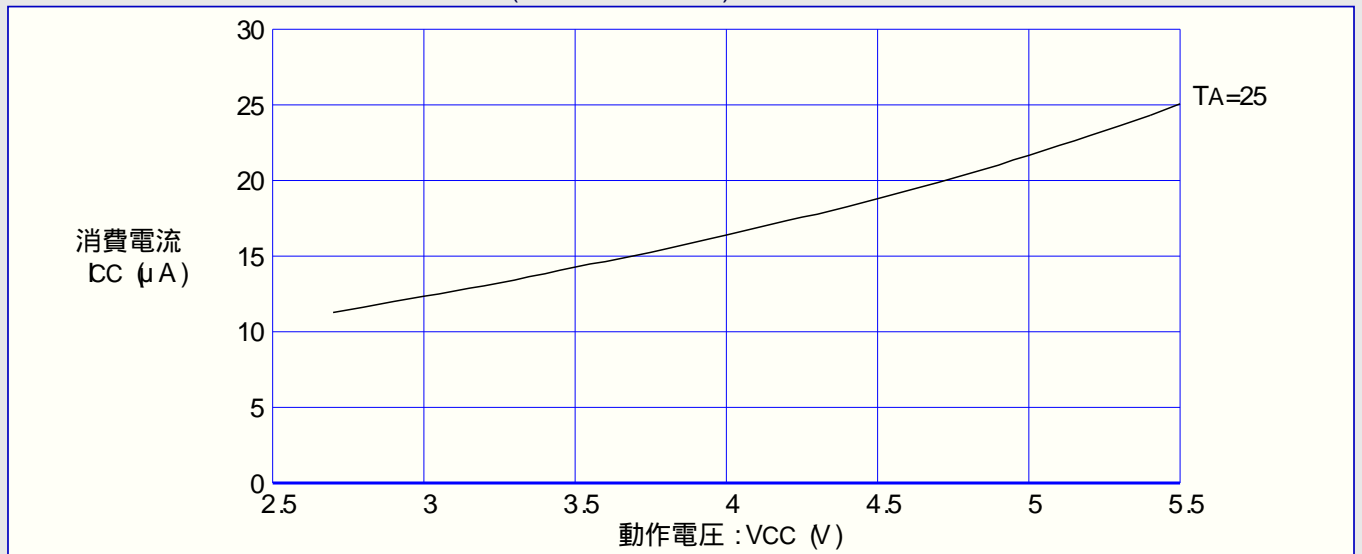


図 29-14.711動作消費電流 対 動作電圧 (32kHz外部発振器)



### 29.3. ハワ-タウ動作消費電流

図 29-15. ハワ-タウ動作消費電流 対 動作電圧 (ウォッチドック タイマ禁止)

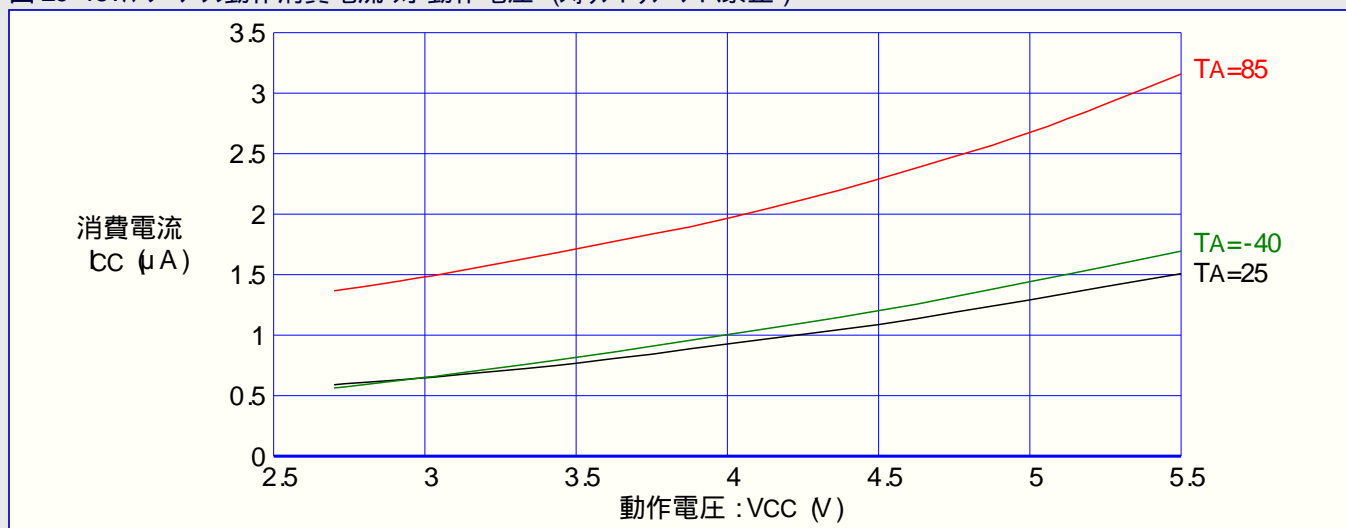
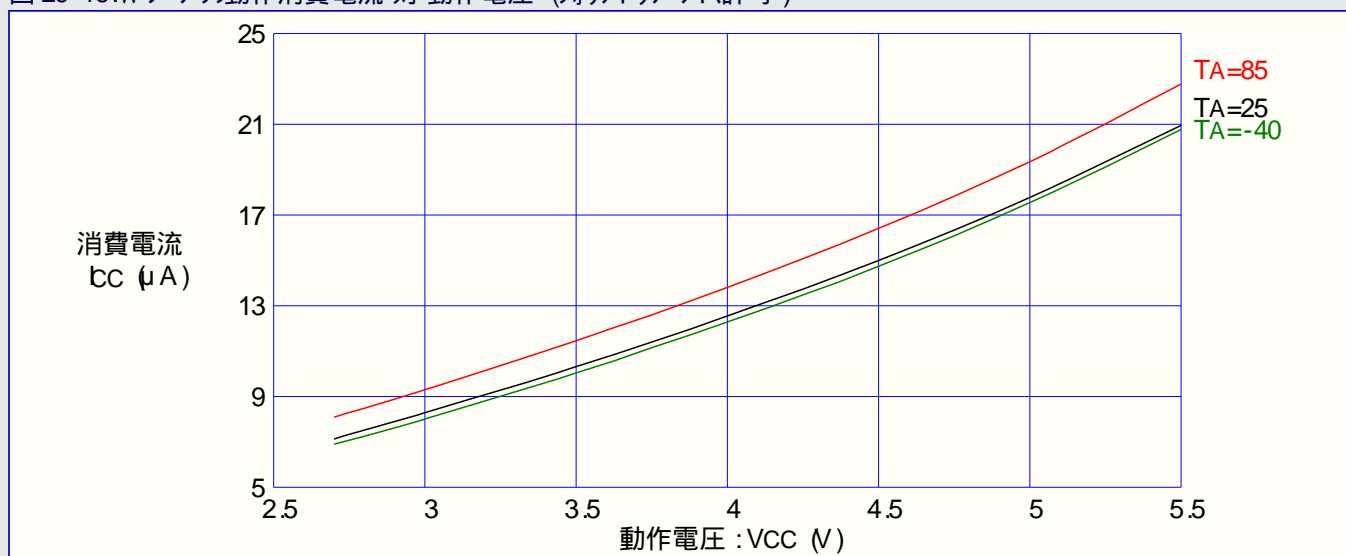


図 29-16. ハワ-タウ動作消費電流 対 動作電圧 (ウォッチドック タイマ許可)



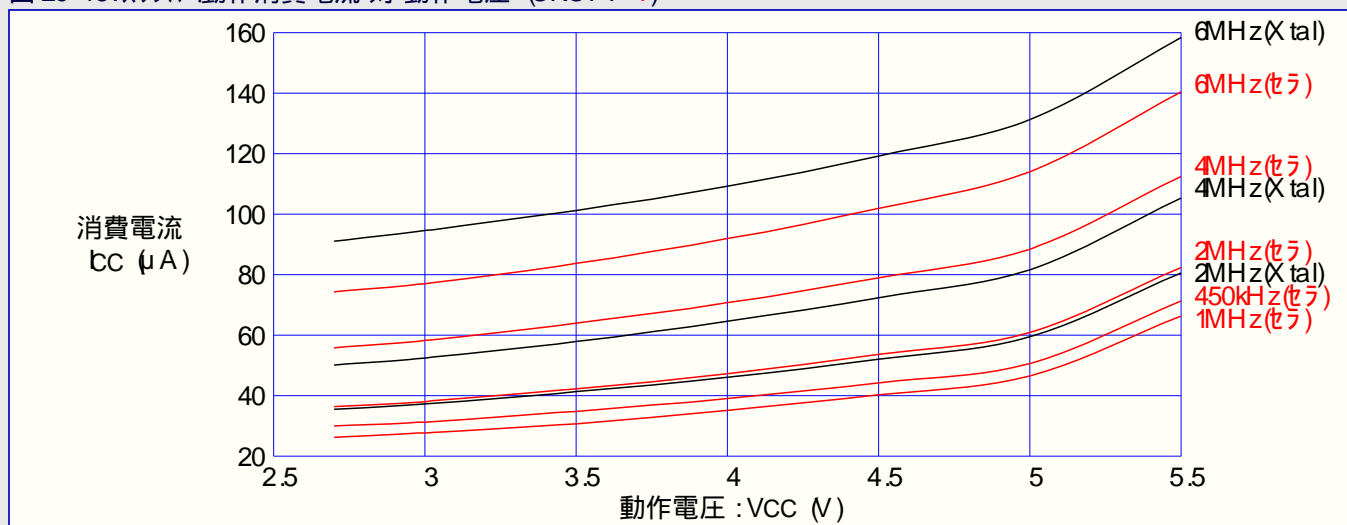
### 29.4. ハワ-セ-フ動作消費電流

図 29-17. ハワ-セ-フ動作消費電流 対 動作電圧 (ウォッチドック タイマ禁止)



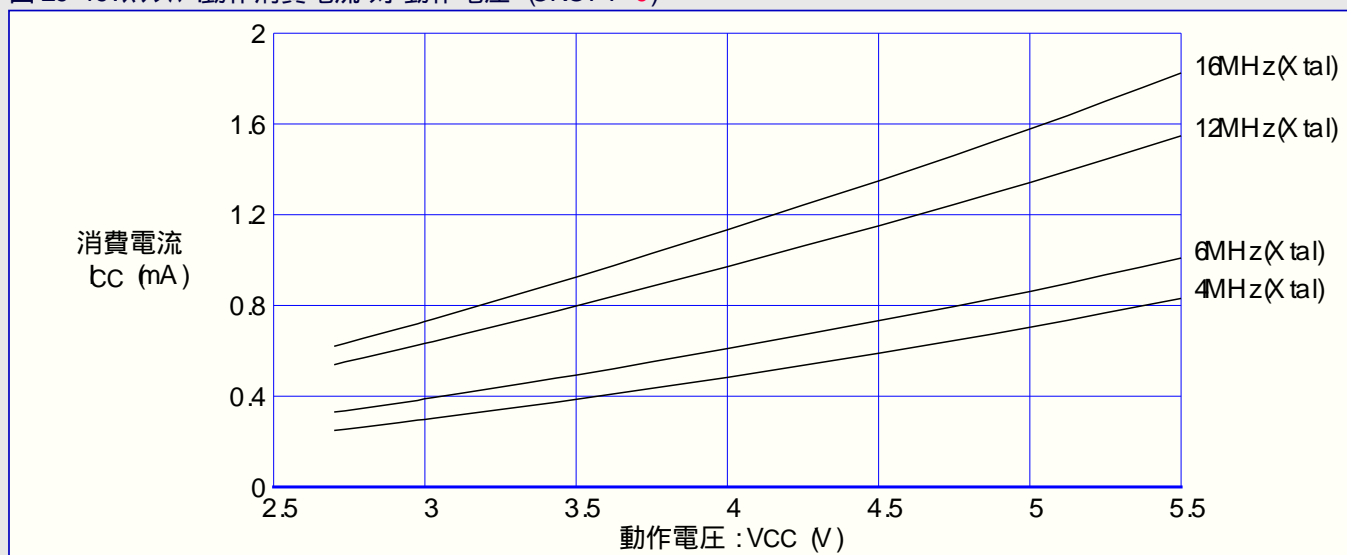
## 29.5. スタバ<sup>®</sup>動作消費電流

図 29-18. スタバ<sup>®</sup>動作消費電流 対 動作電圧 (CKOPT=1)



注 セラはセラミック振動子

図 29-19. スタバ<sup>®</sup>動作消費電流 対 動作電圧 (CKOPT=0)



## 29.6. ヒンフルアップ<sup>®</sup>

図 29-20. I/Oヒンフルアップ抵抗電流 対 入力電圧 (VCC=5V)

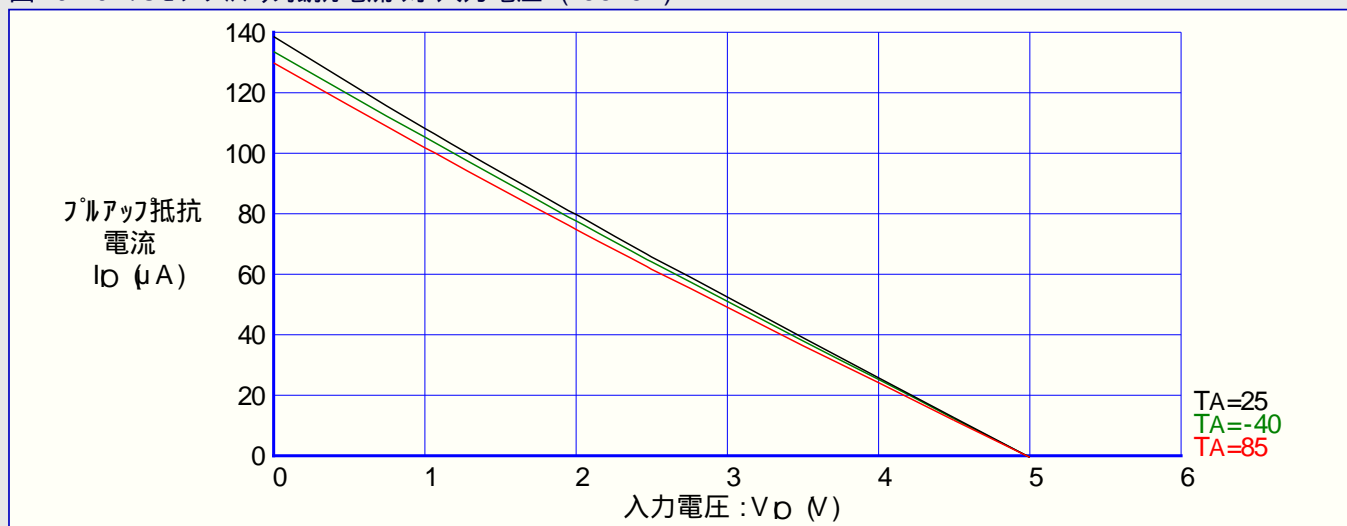




図 29-21. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

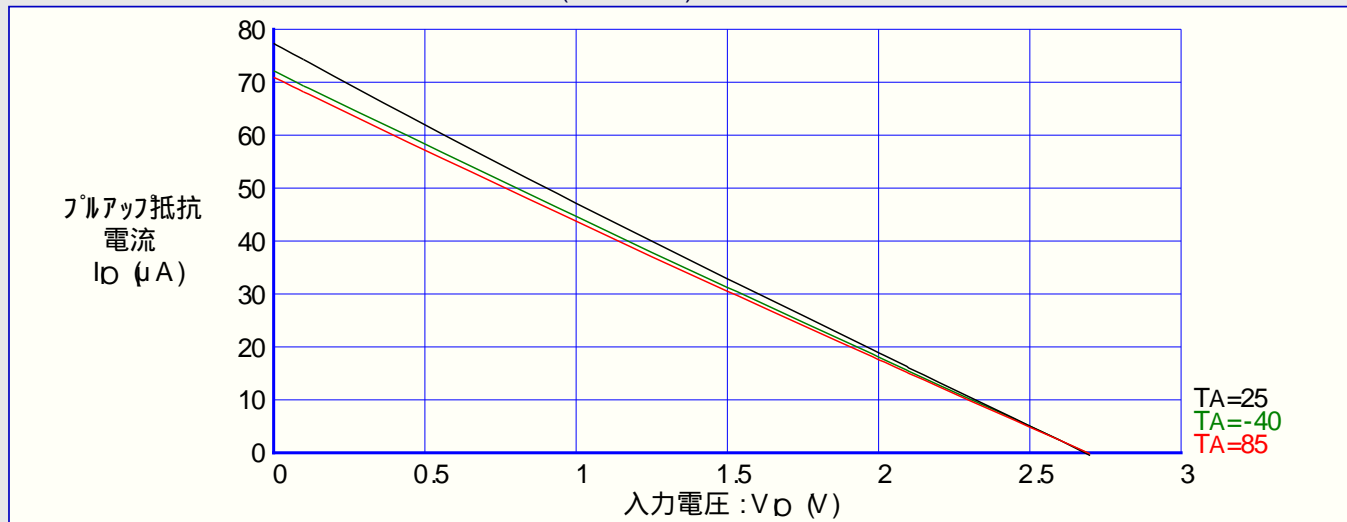


図 29-22. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

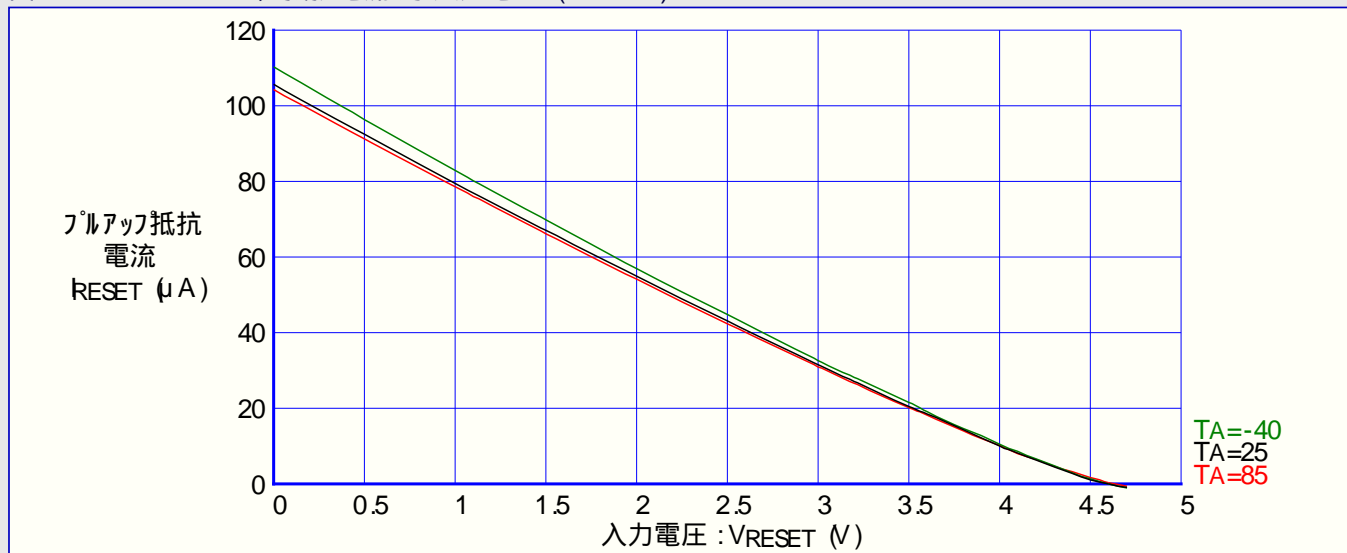


図 29-23. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

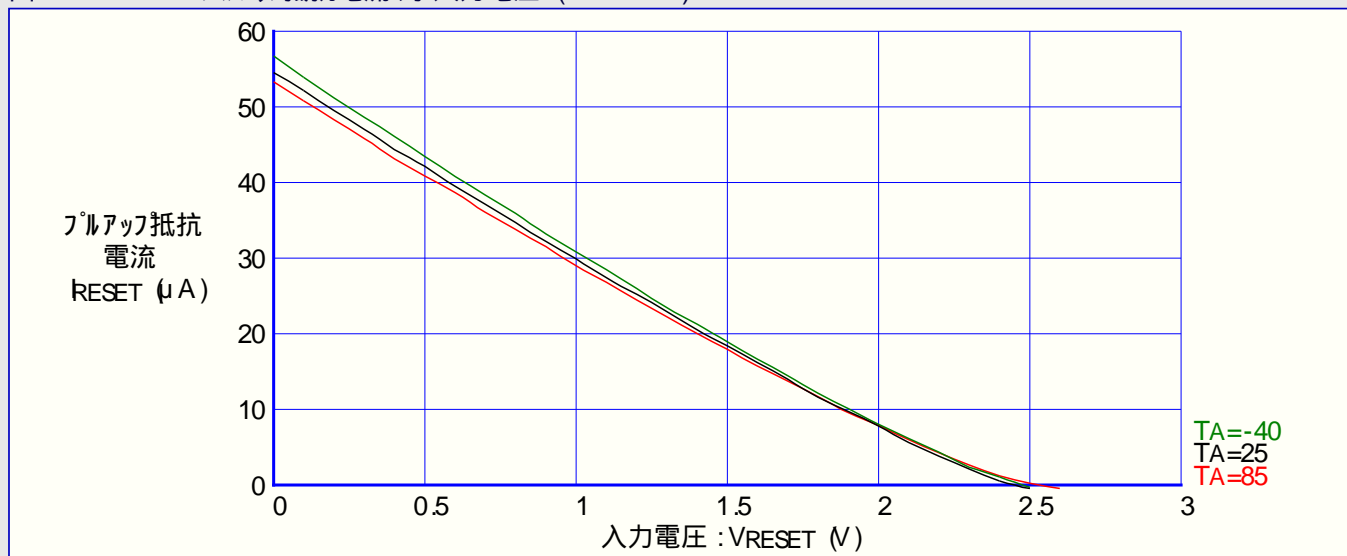


図 29-24. PENプルアップ抵抗電流 対 入力電圧 (VCC=5V)

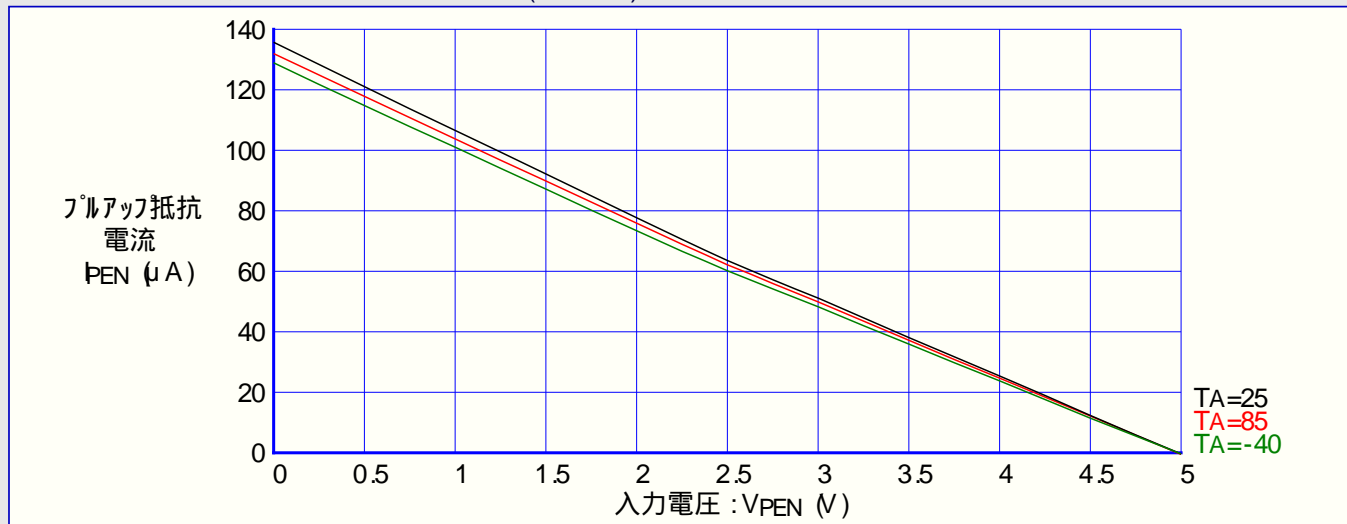
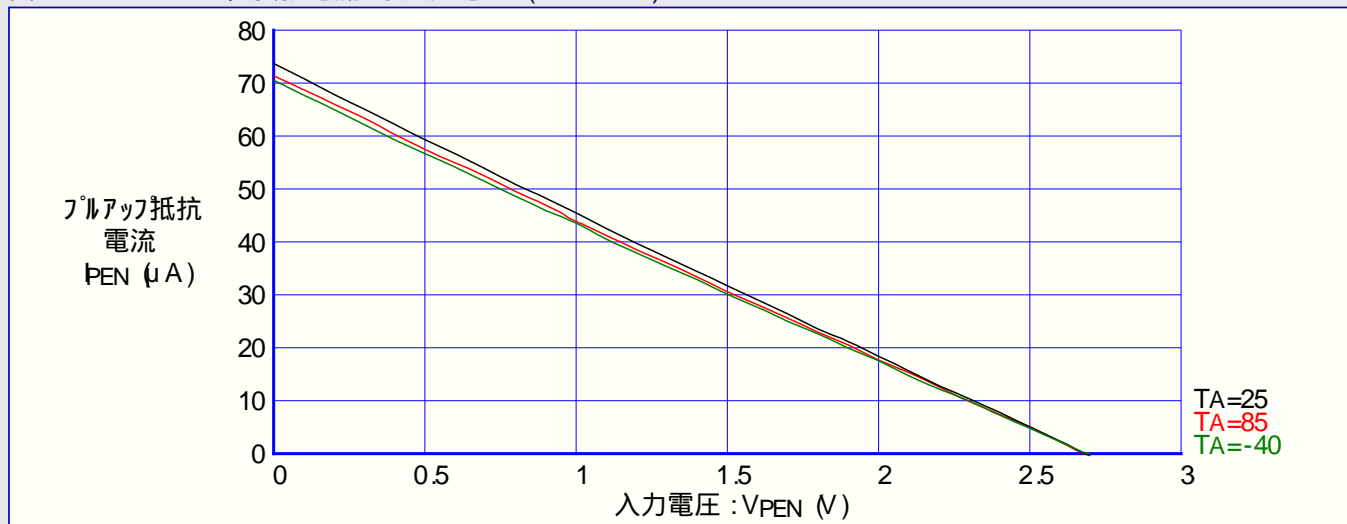


図 29-25. PENプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



## 29.7. $\bar{I}^{\circ}$ 駆動能力

図 29-26.  $\bar{I}/O$ レベルソース電流 対 出力電圧 (VCC=5V)

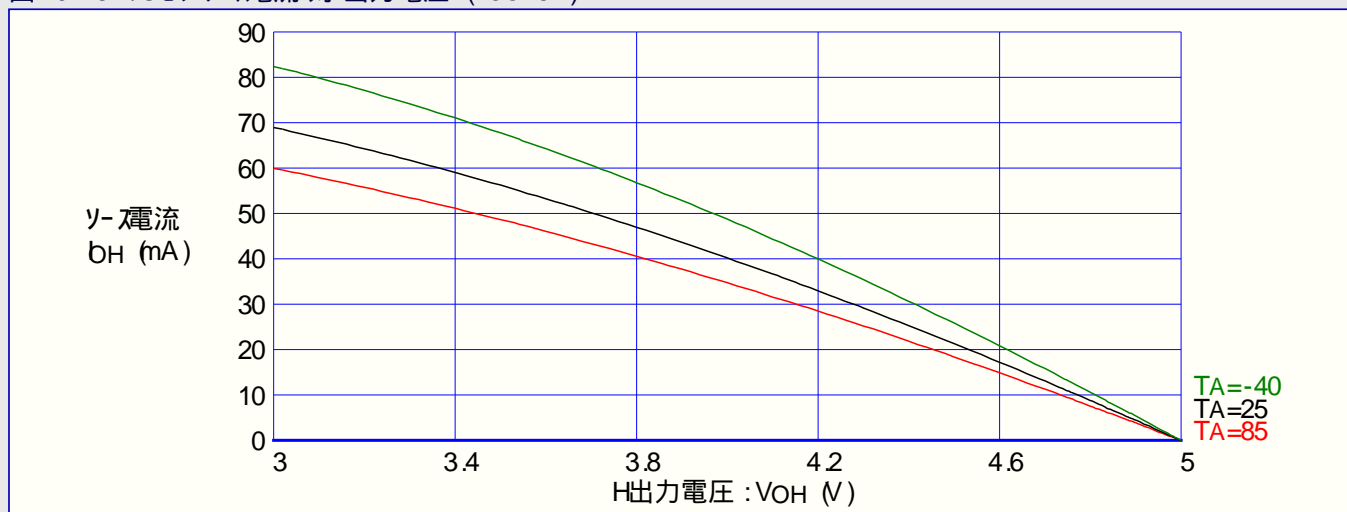


図 29-27. I/Oポートソース電流 対 出力電圧 (VCC=2.7V)

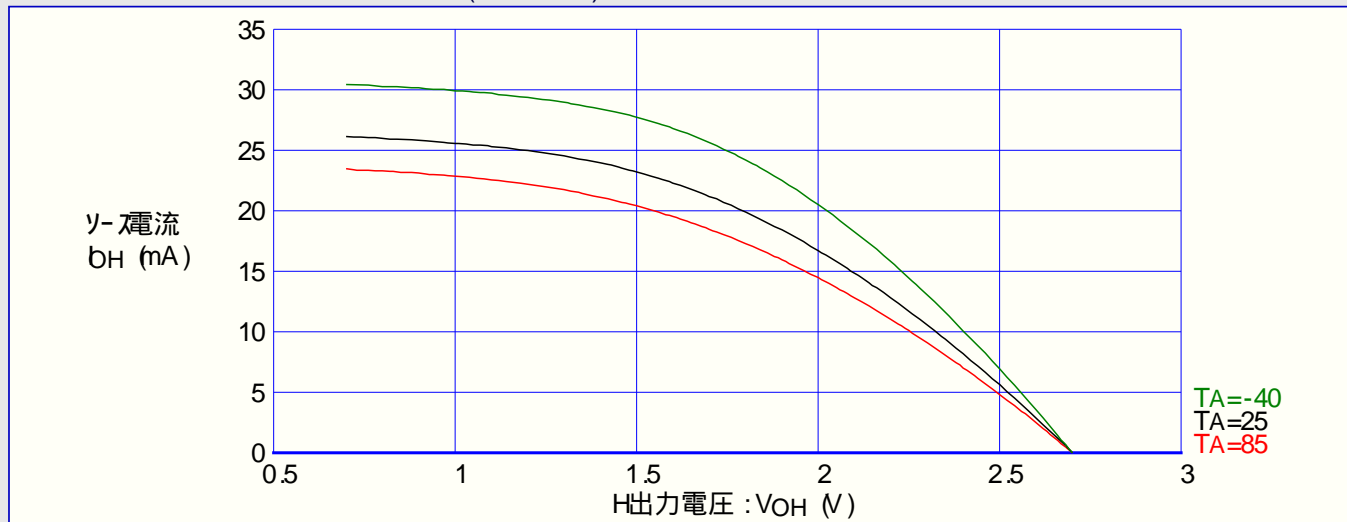


図 29-28. I/Oポートシンク電流 対 出力電圧 (VCC=5V)

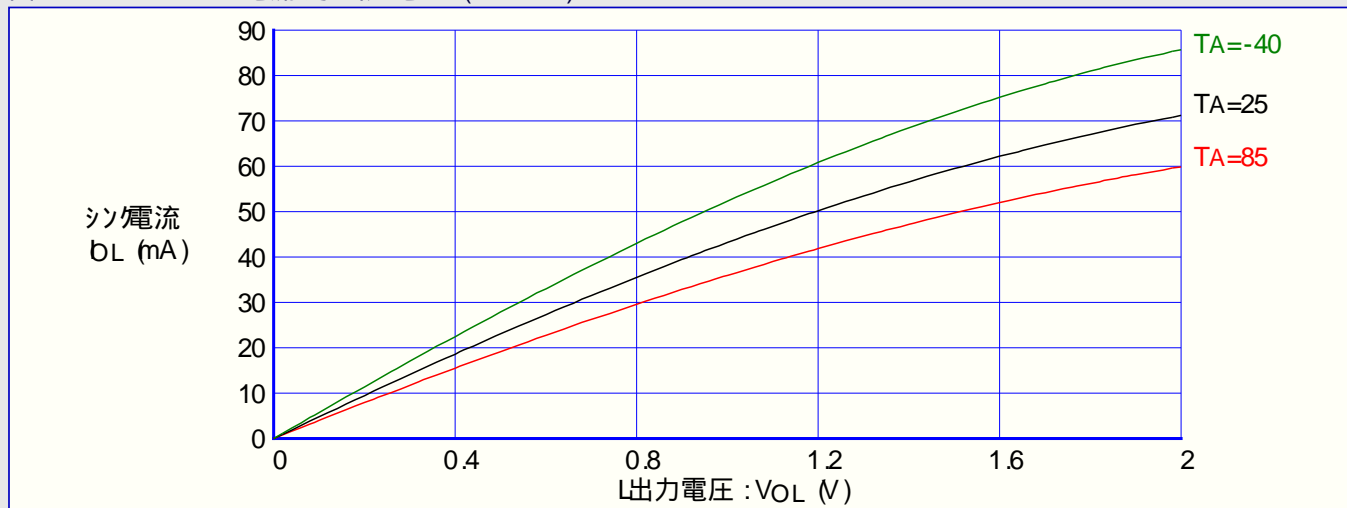
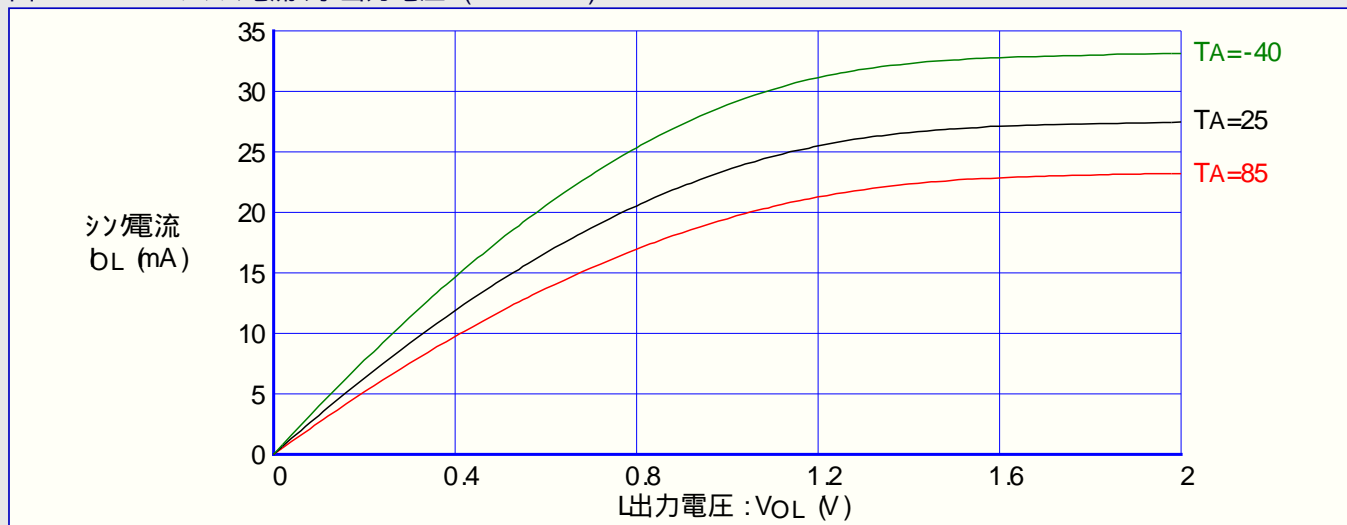


図 29-29. I/Oポートシンク電流 対 出力電圧 (VCC=2.7V)



## 29.8. I/Oピン閾値とヒステリシス

図 29-30. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 ( $V_{IH}$ , 読み値))

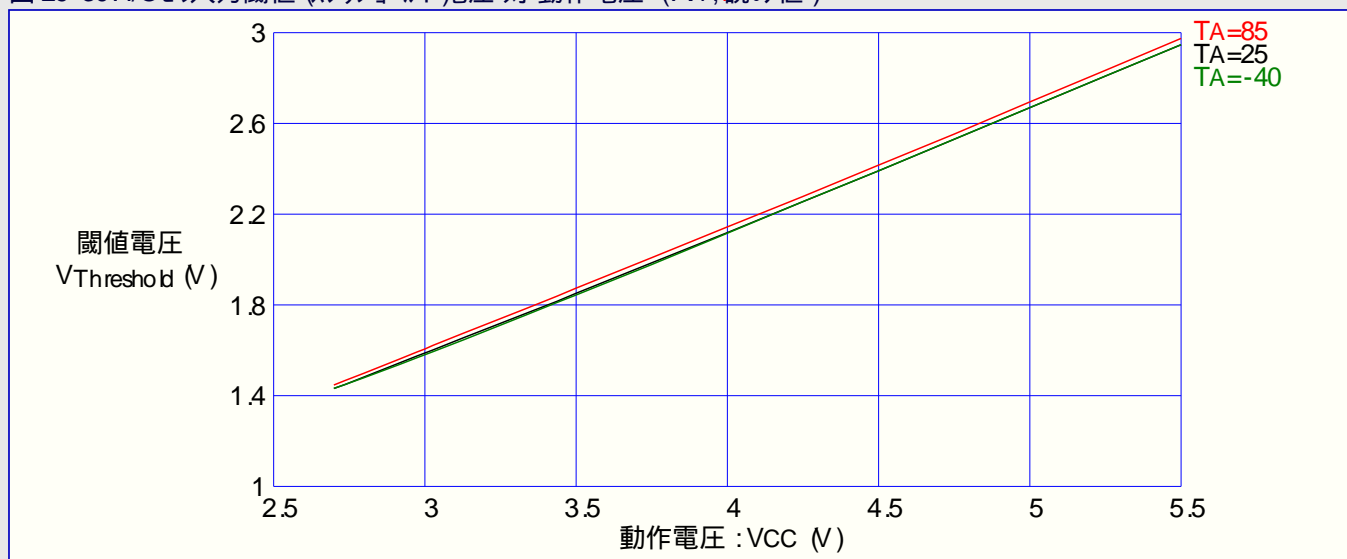


図 29-31. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 ( $V_{IL}$ , 読み値))



図 29-32. I/Oピン入力ヒステリシス電圧 対 動作電圧

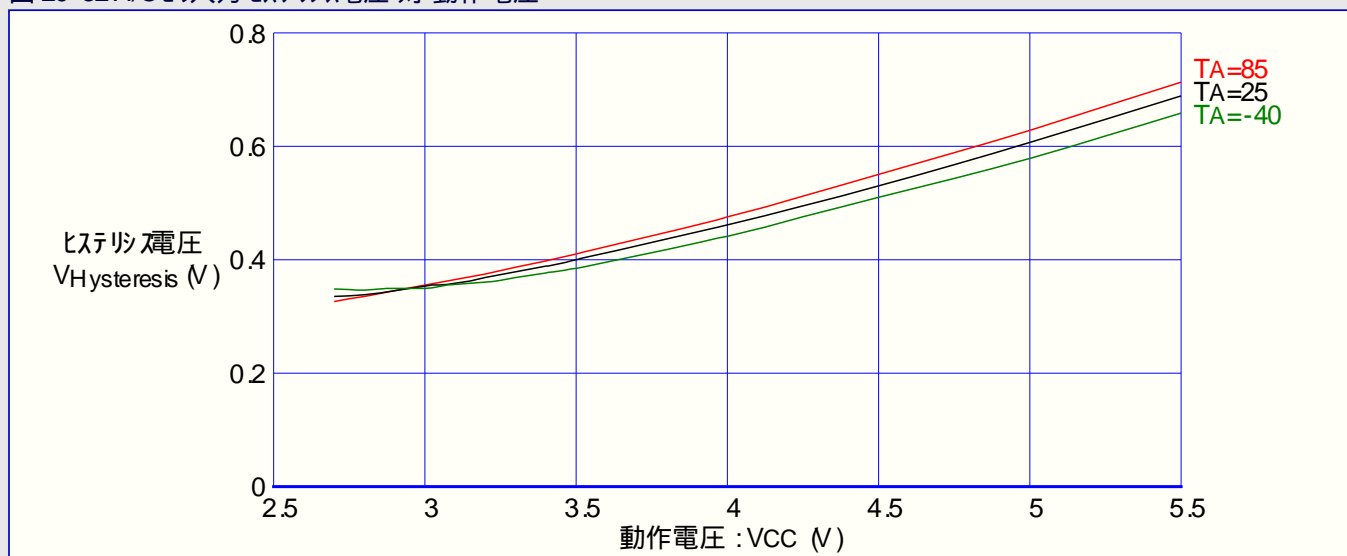




図 29-33.RESET入力閾値 (スレッショルド電圧 対 動作電圧  $V_{IH}$ , 読み値)

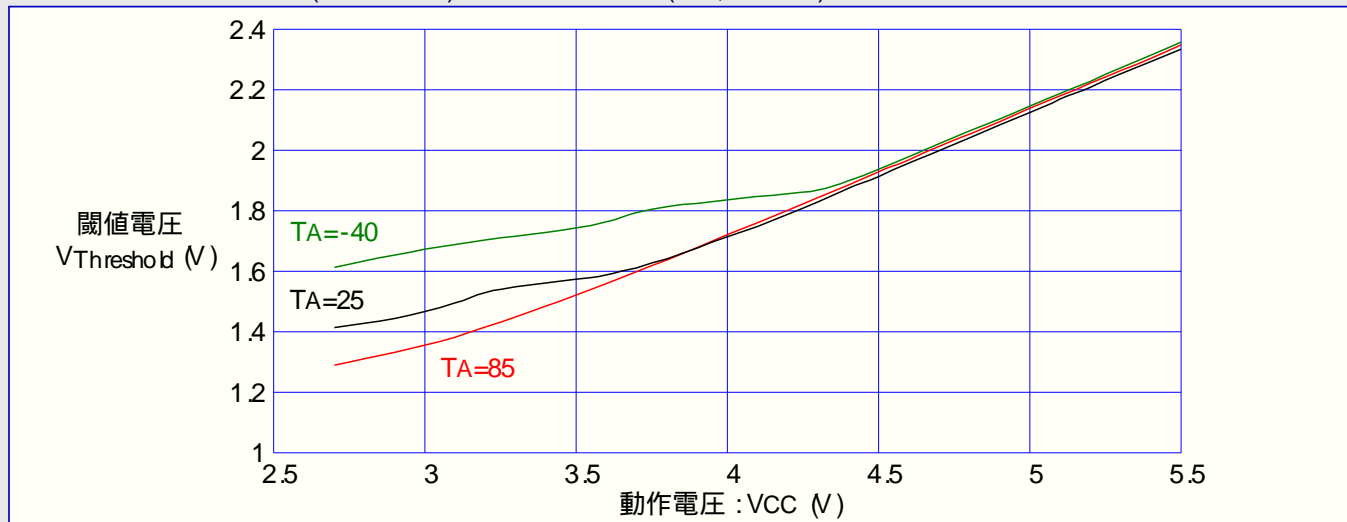


図 29-34.RESET入力閾値 (スレッショルド電圧 対 動作電圧  $V_{IL}$ , 読み値)

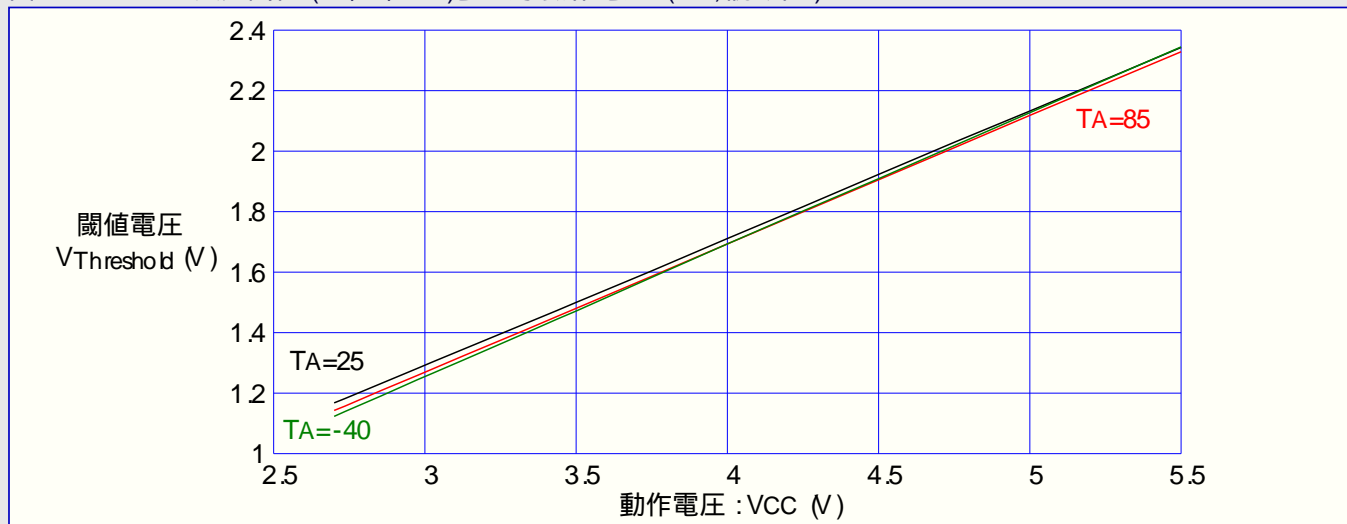
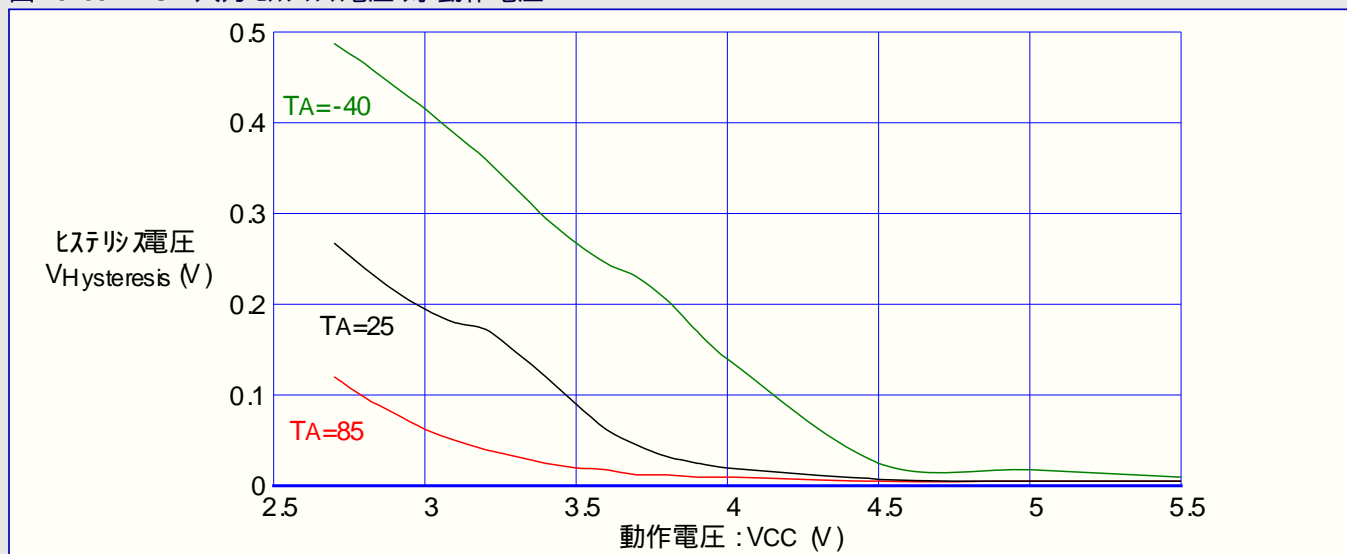


図 29-35.RESET入力ヒステリシス電圧 対 動作電圧



## 29.9.低電圧検出器 (BOD閾値とアナログ比較器 オフセット)

図 29-36.低電圧検出器 (BOD閾値 (スレッショルド電圧 対 動作温度 検出電圧 4.0V)

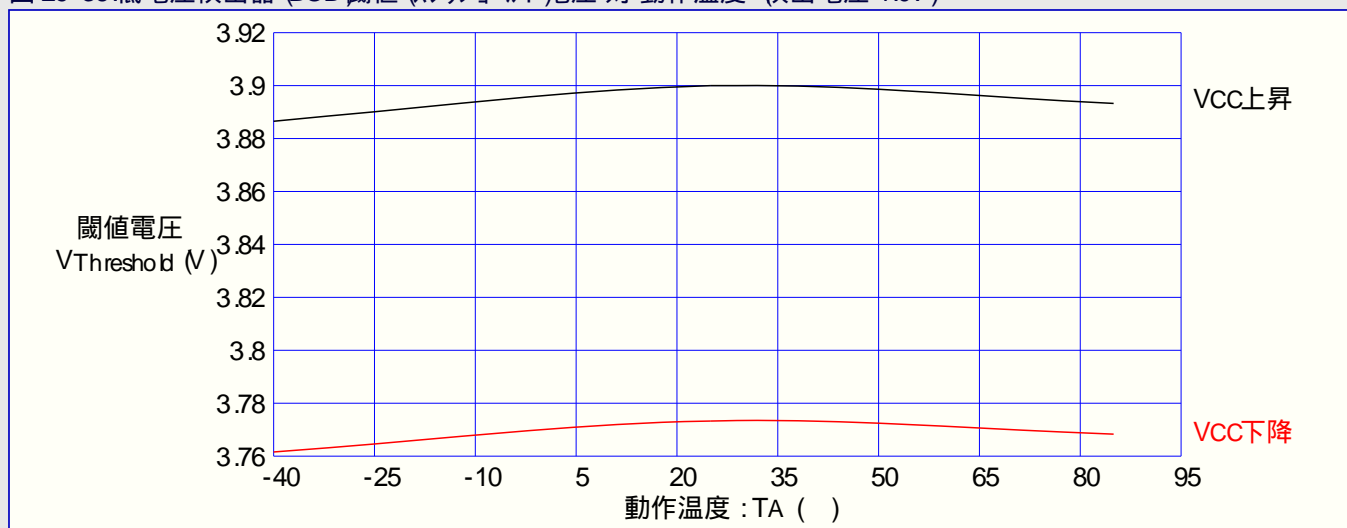


図 29-37.低電圧検出器 (BOD閾値 (スレッショルド電圧 対 動作温度 検出電圧 2.7V)

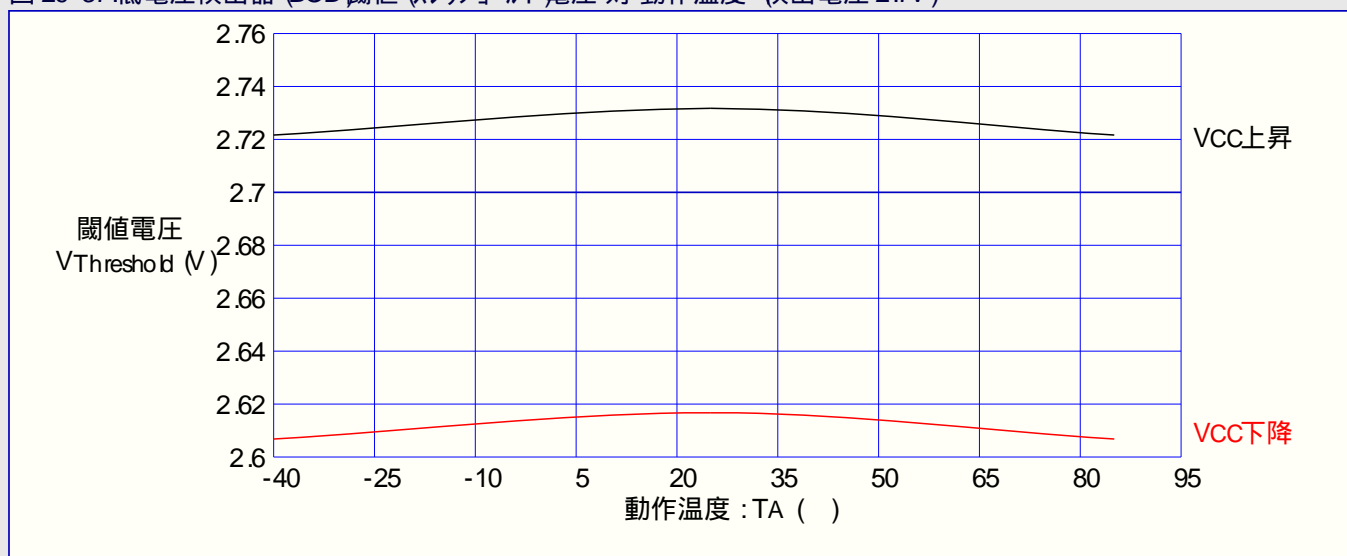
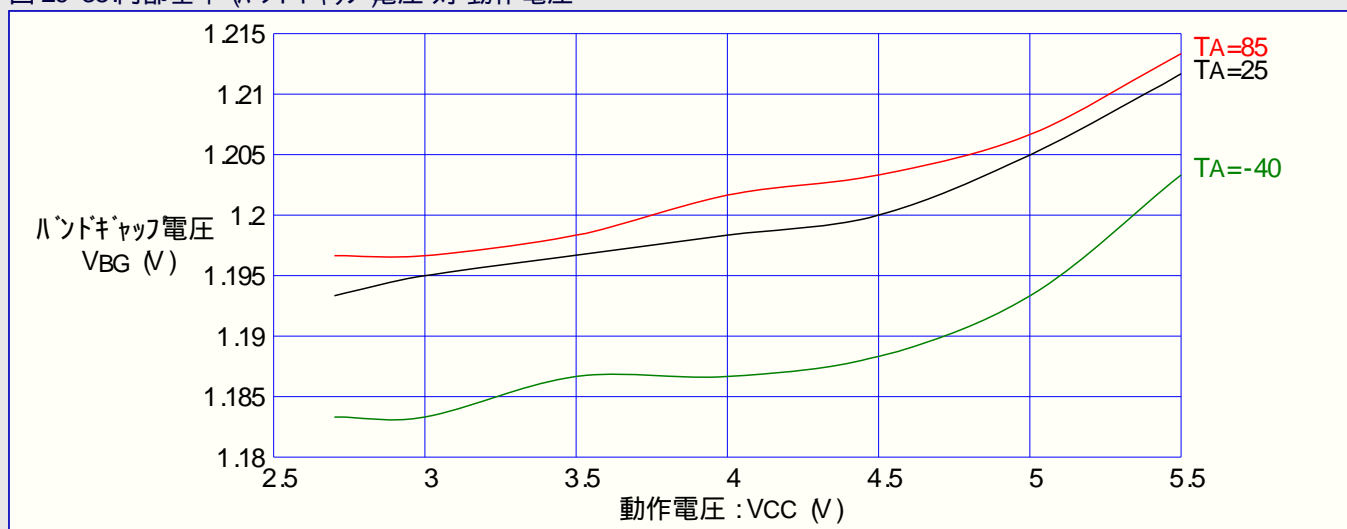


図 29-38.内部基準 (バンドギャップ電圧 対 動作電圧)



## 29.10.内部発振器周波数

図 29-39. ウォッチドッグ発振器周波数 対 動作電圧

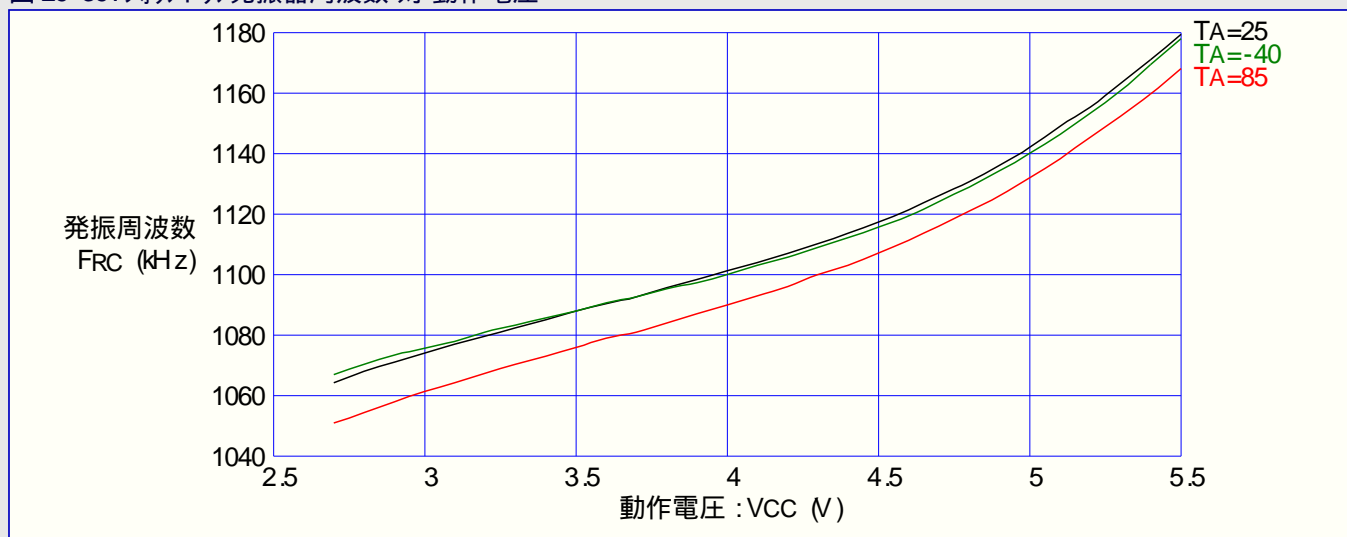


図 29-40. 校正済み 1MHz内蔵RC発振器周波数 対 動作温度

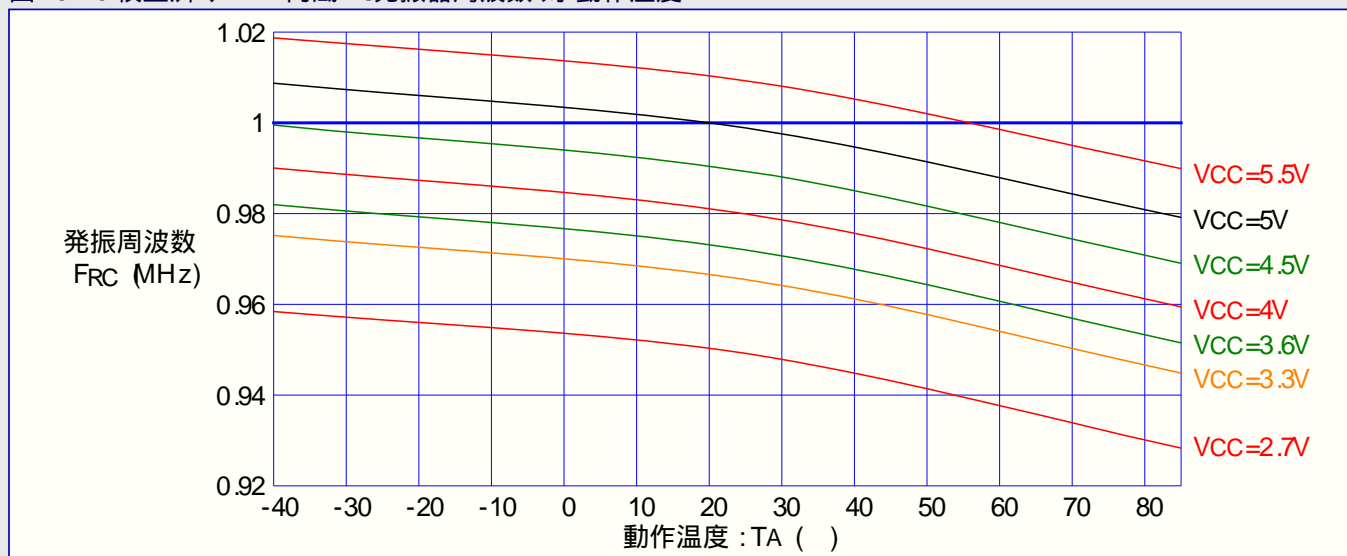


図 29-41. 校正済み 1MHz内蔵RC発振器周波数 対 動作電圧

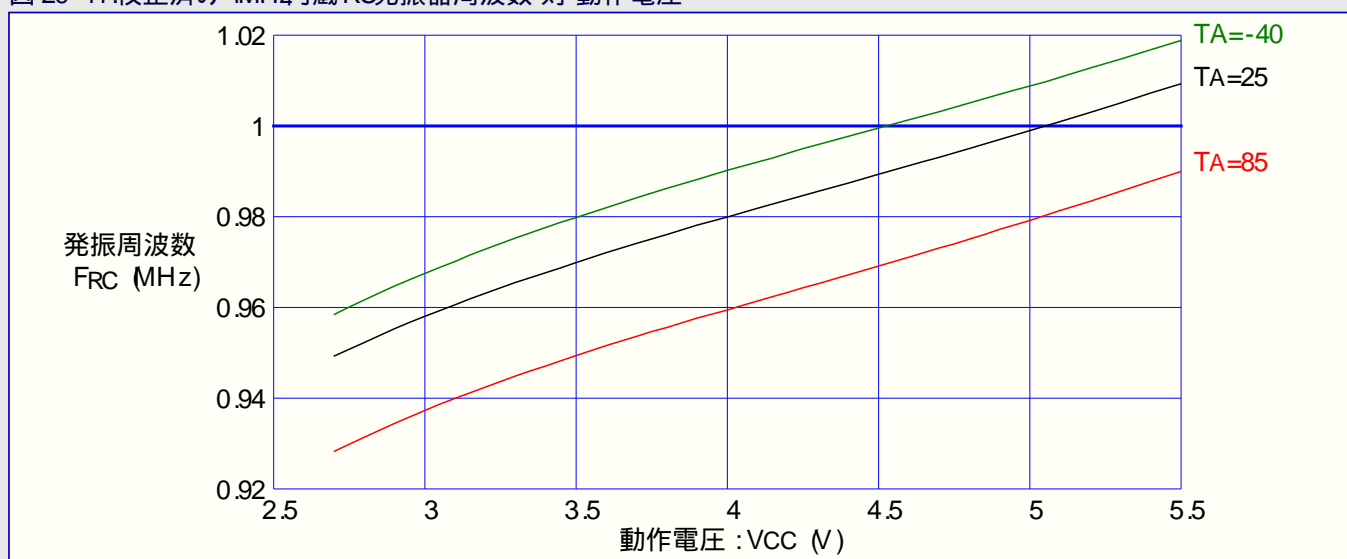


図 29-42 校正付き 1MHz 内蔵 RC 発振器周波数 対 発振校正 (OSCCAL) 値

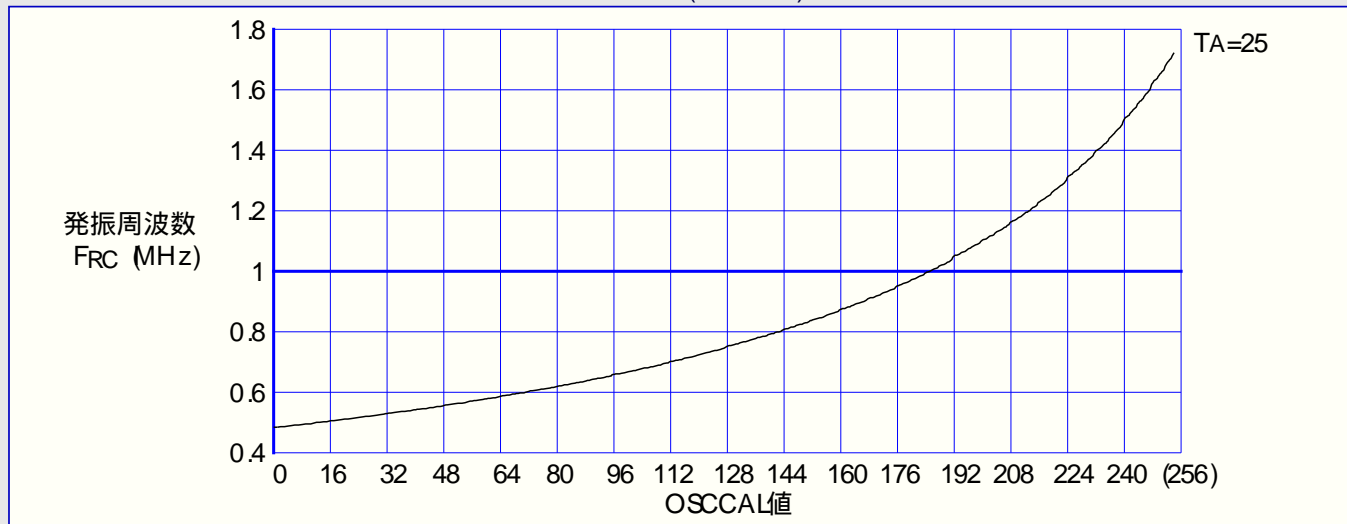


図 29-43 校正済み 2MHz 内蔵 RC 発振器周波数 対 動作温度

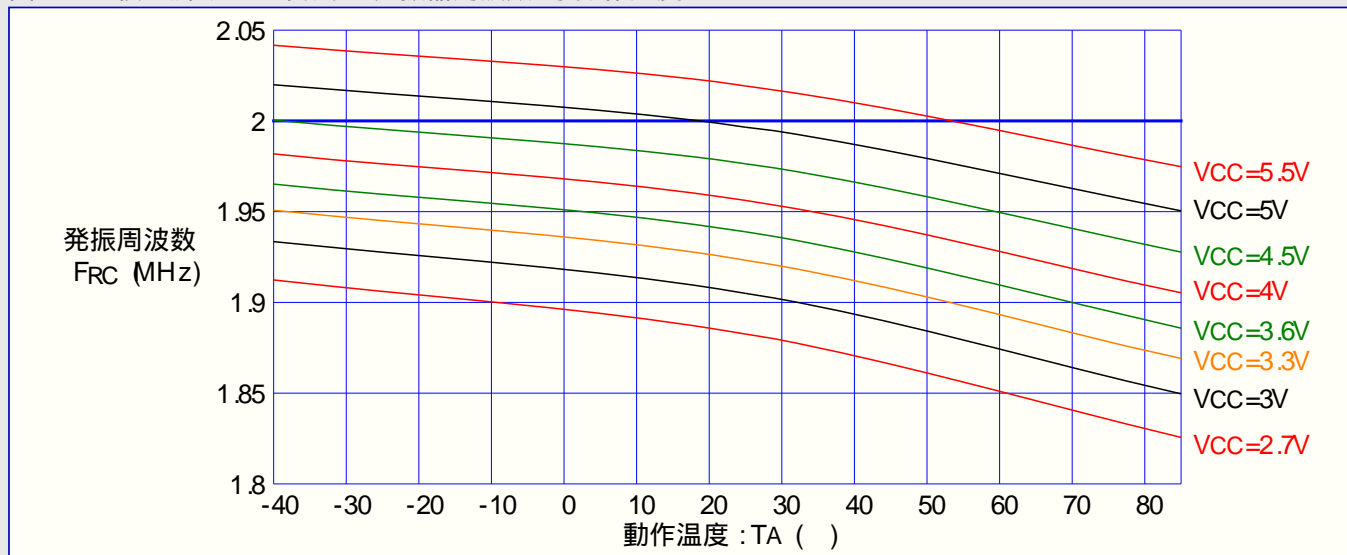


図 29-44 校正済み 2MHz 内蔵 RC 発振器周波数 対 動作電圧

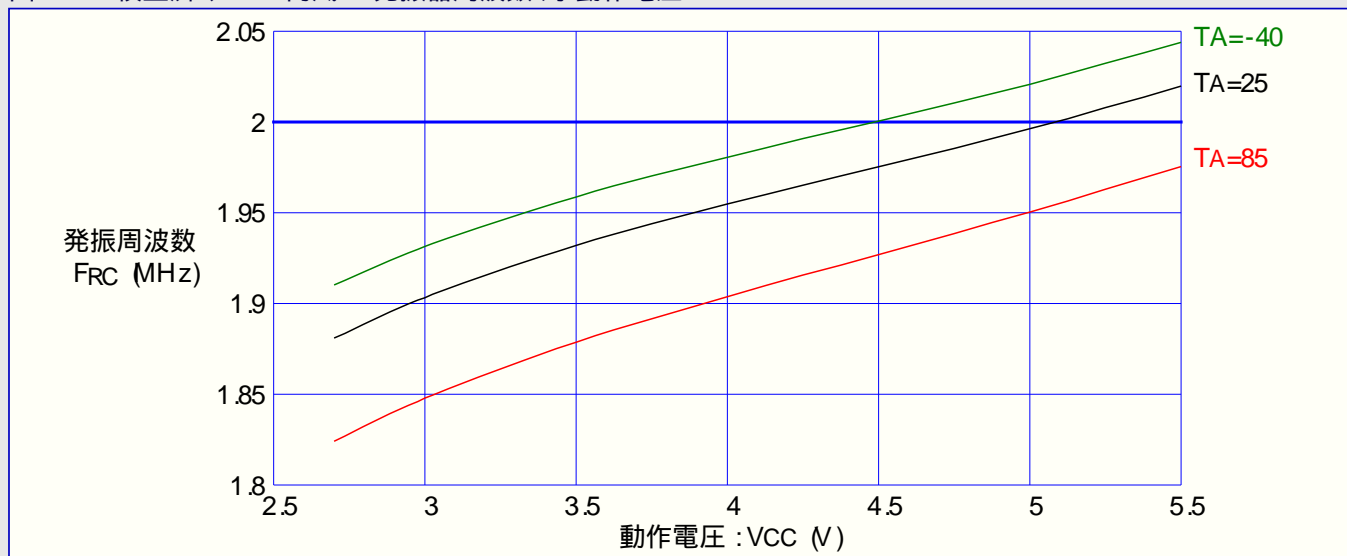




図 29-45 校正付き 2MHz 内蔵 RC 発振器周波数 対 発振校正 OSCCAL 値

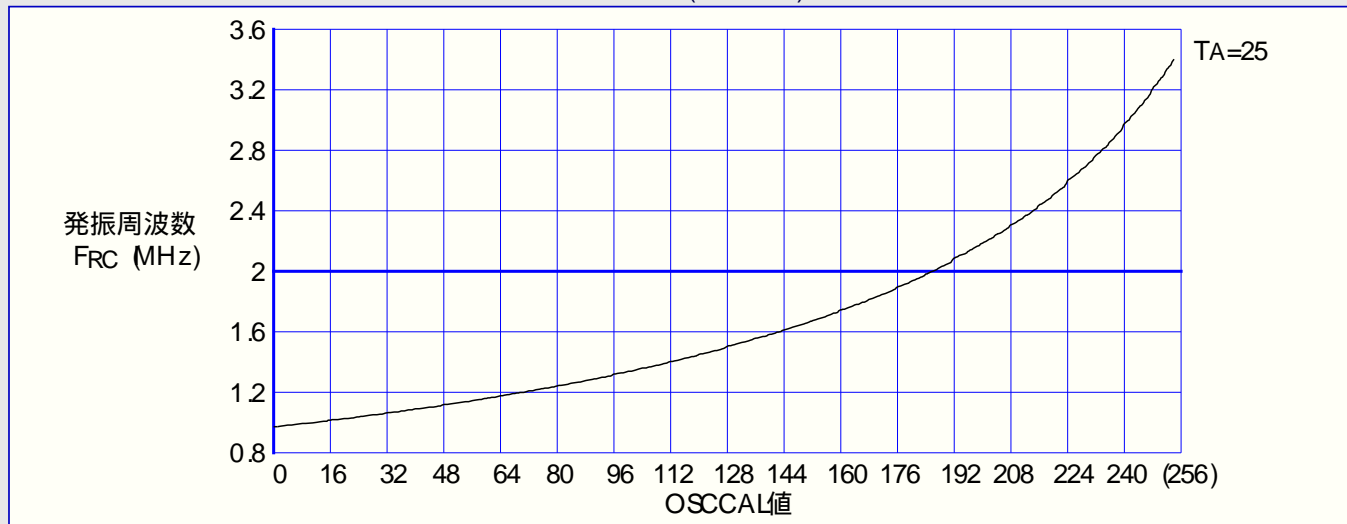


図 29-46 校正済み 4MHz 内蔵 RC 発振器周波数 対 動作温度

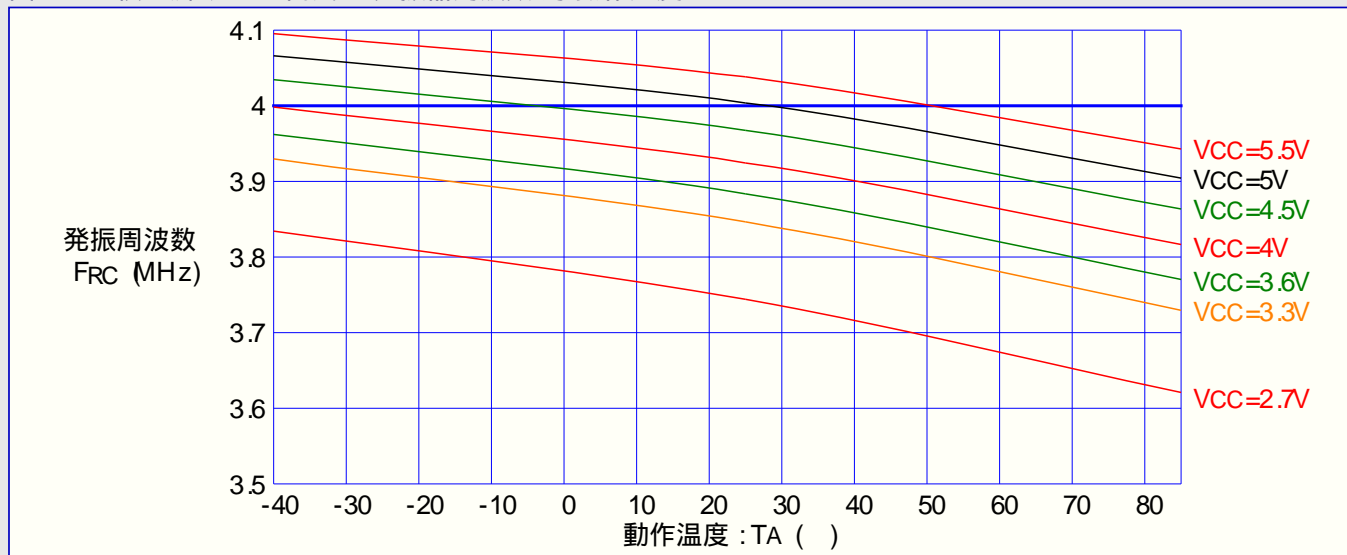


図 29-47 校正済み 4MHz 内蔵 RC 発振器周波数 対 動作電圧

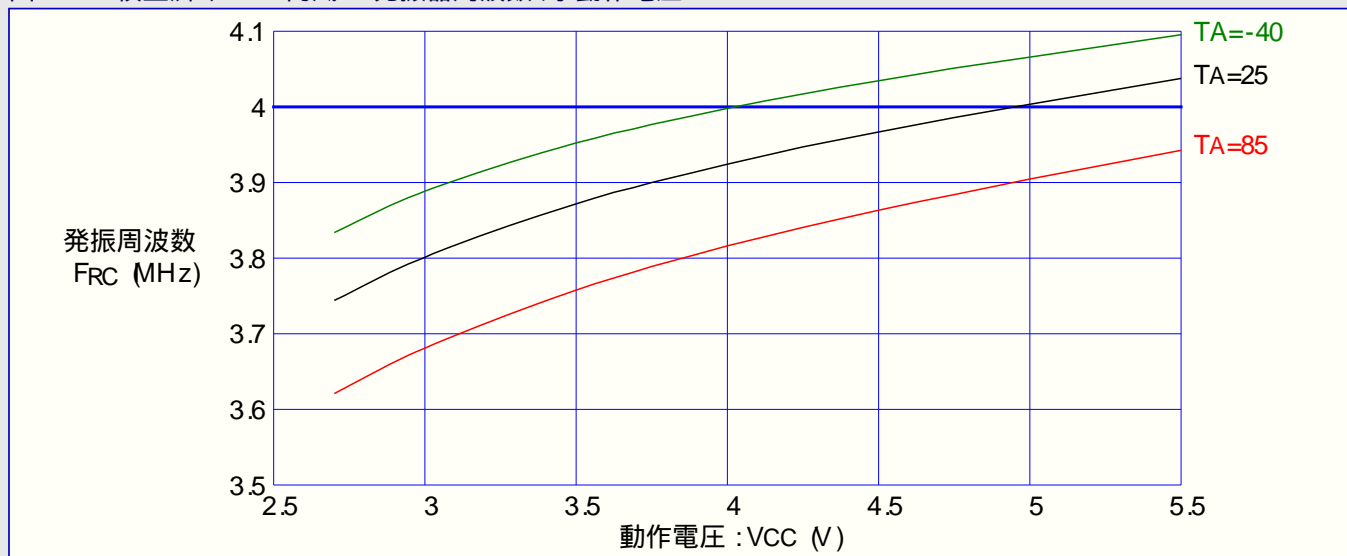


図 29-48 校正付き 4MHz 内蔵 RC 発振器周波数 対 発振校正 (OSCCAL) 値

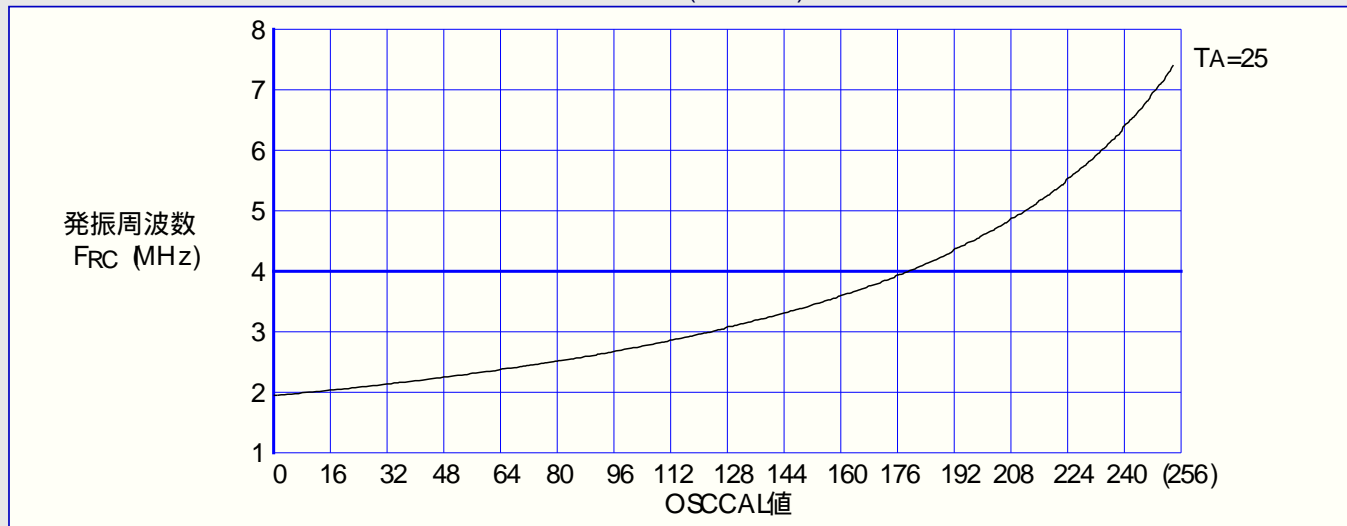


図 29-49 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作温度

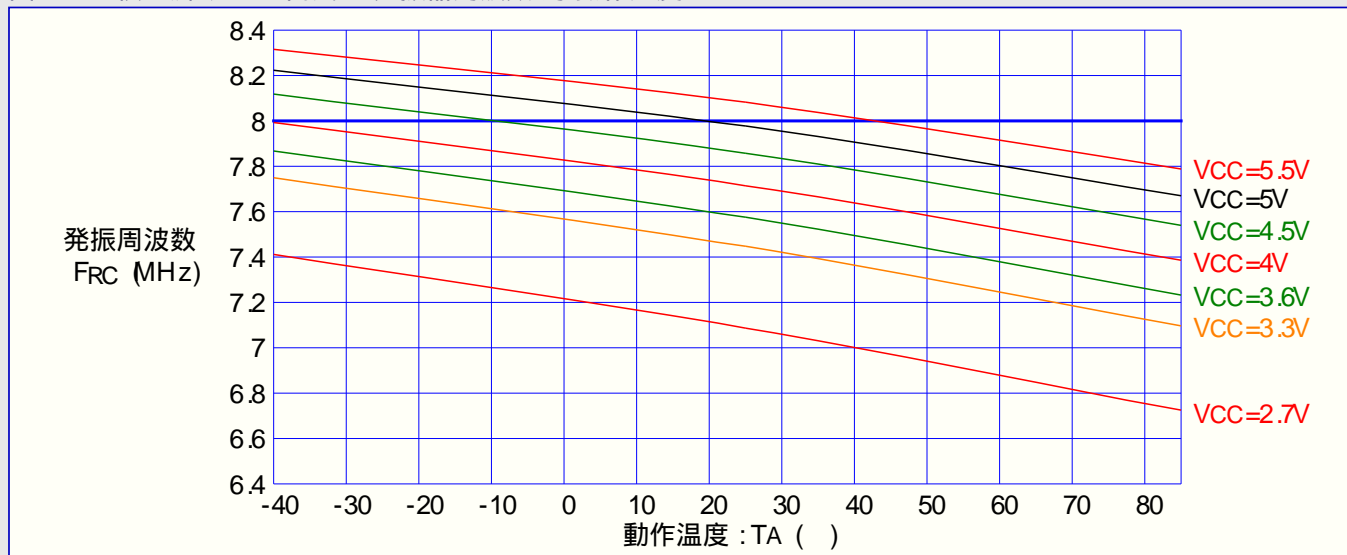


図 29-50 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作電圧

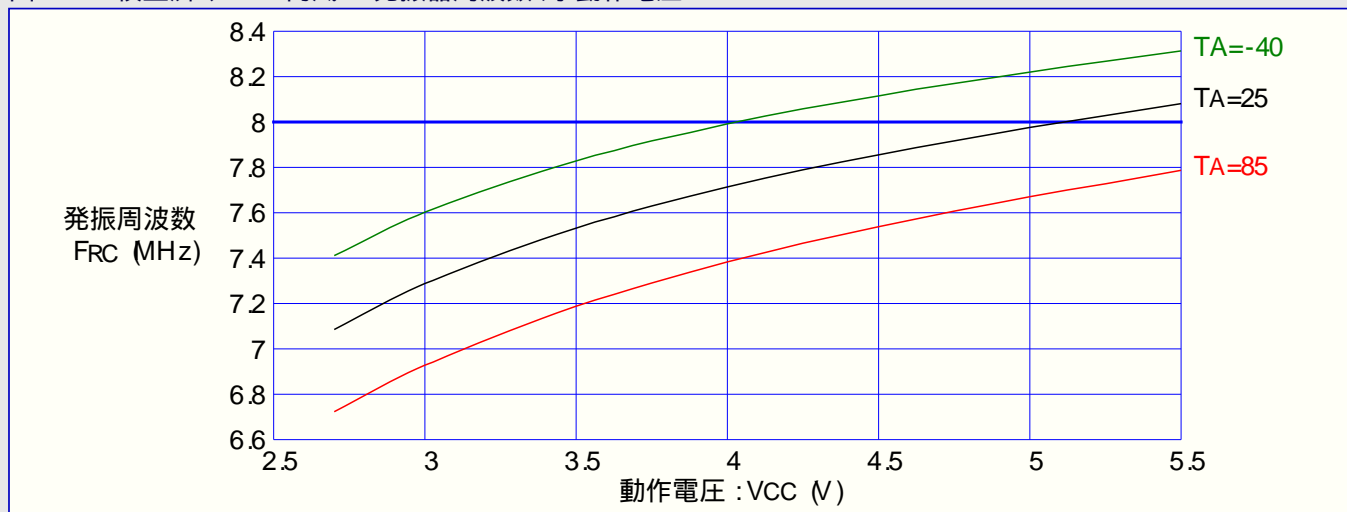
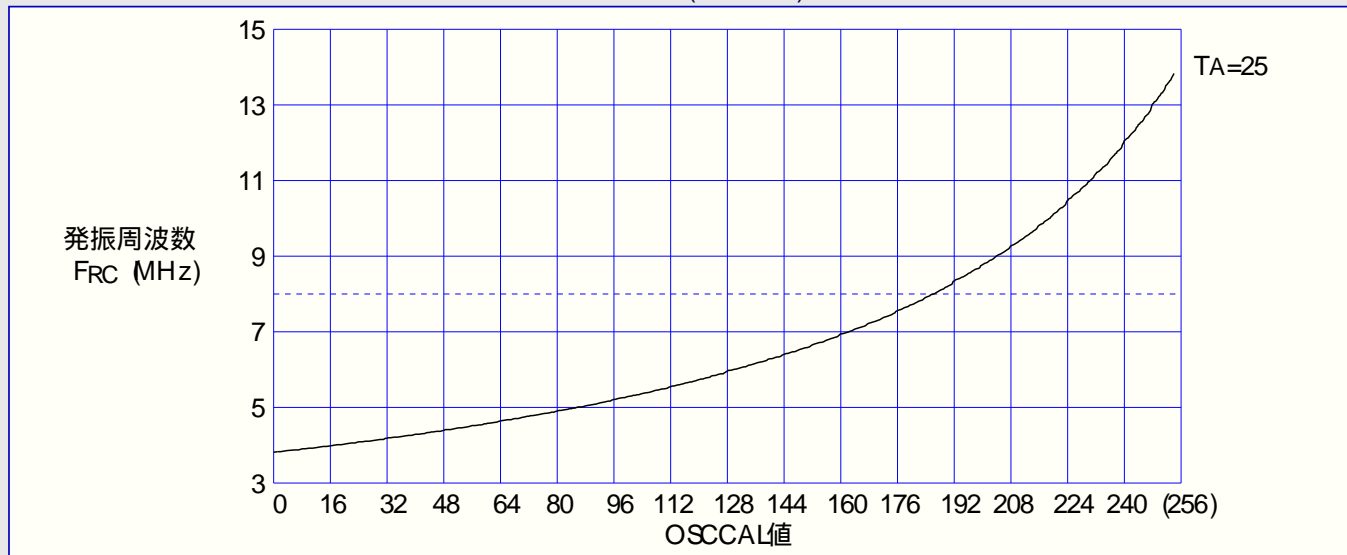


図 29-51 校正付き 8MHz 内蔵 RC 発振器周波数 対 発振校正 OSCCAL 値



## 29.11 周辺機能部消費電流

図 29-52 低電圧検出器 (BOD) 消費電流 対 動作電圧

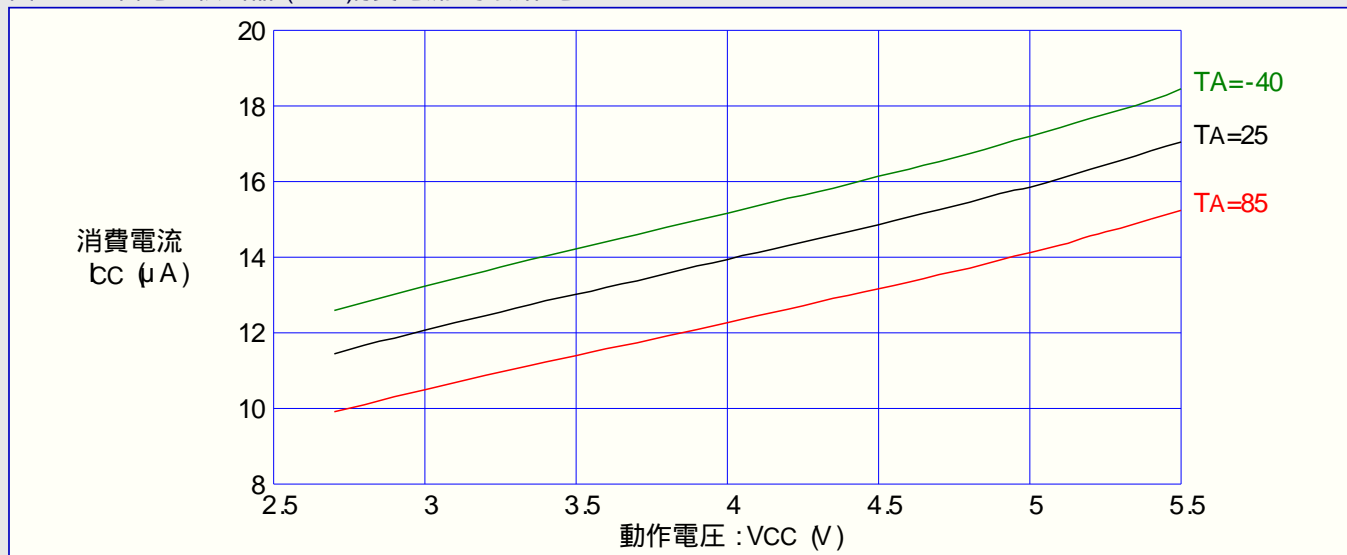


図 29-53 A/D変換器消費電流 対 動作電圧 (変換クロック=50kHz)

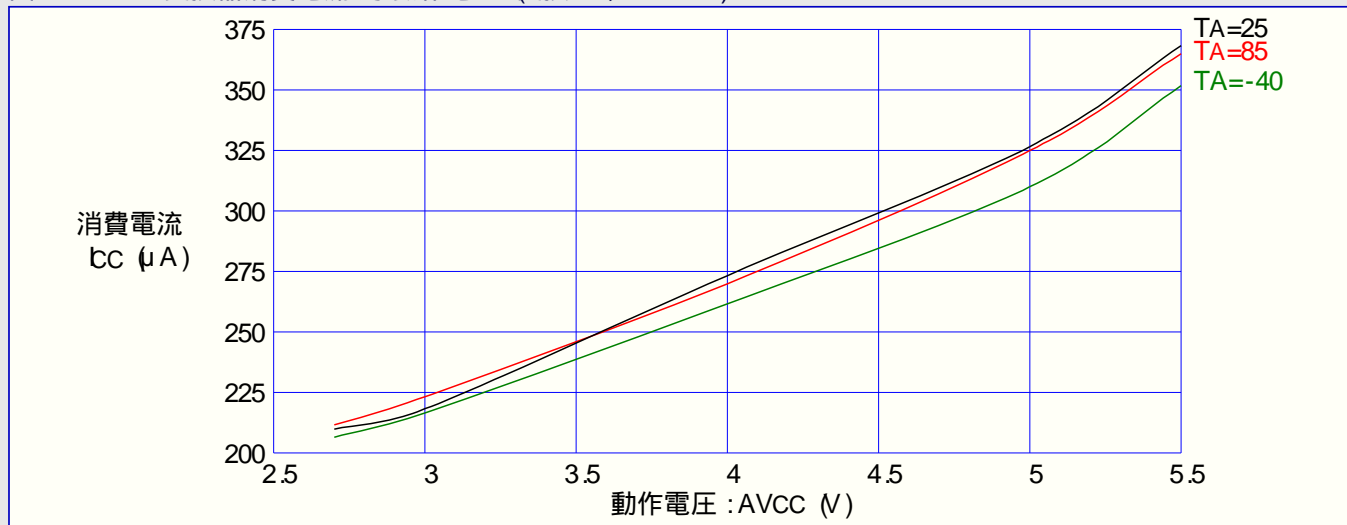


図 29-54. 外部基準電圧 (AREF) 電流 対 動作電圧

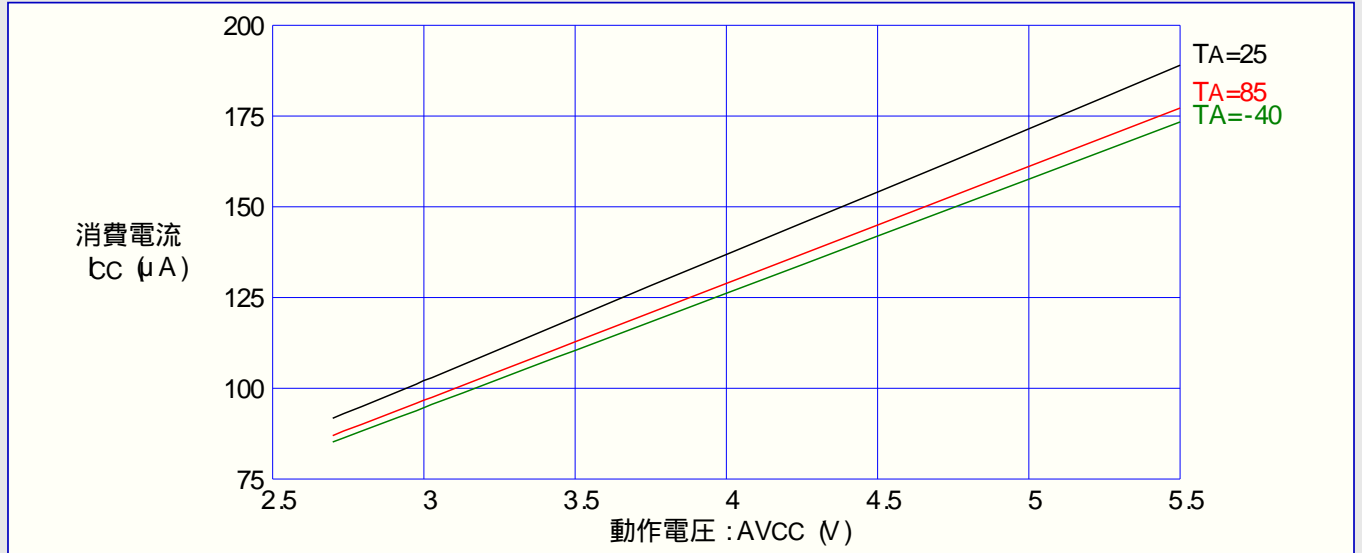


図 29-55. アナログ比較器消費電流 対 動作電圧

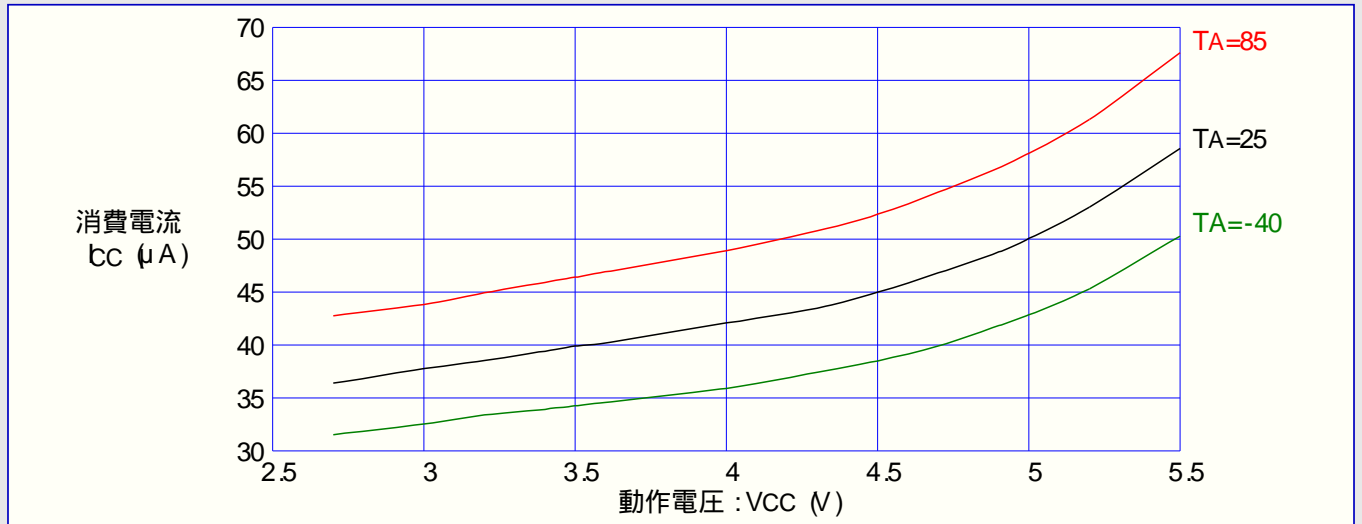
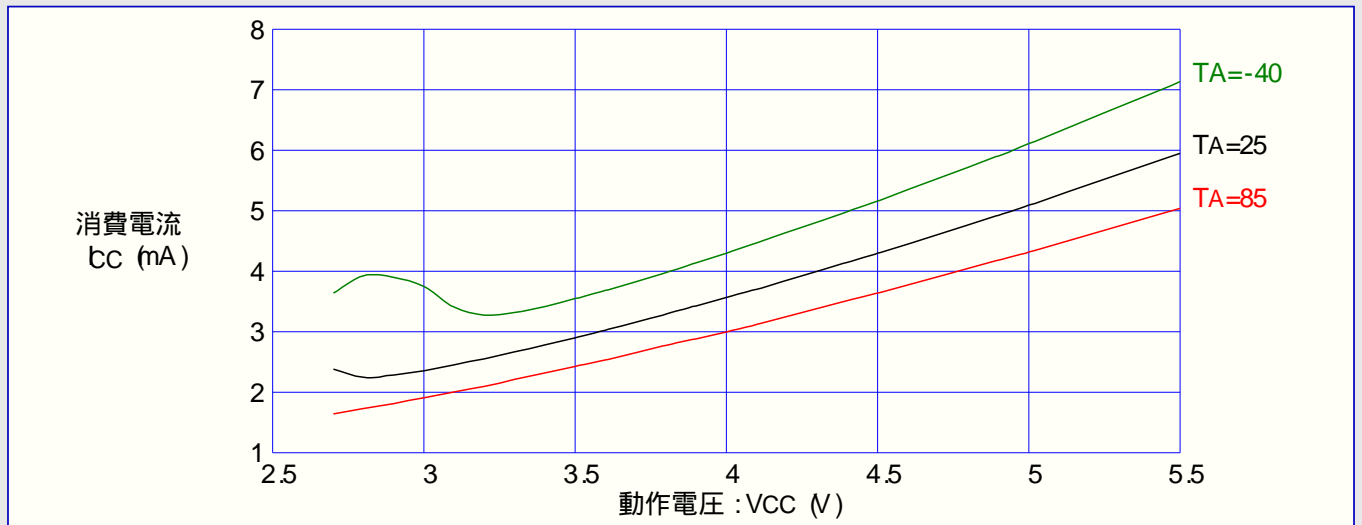


図 29-56. プログラム電流 対 動作電圧



## 29.12. リセット消費電流とリセットパルス幅

図 29-57. リセット消費 供給 電流 対 周波数 (100kHz~ 1MHz RESETフルアップ電流を除く)

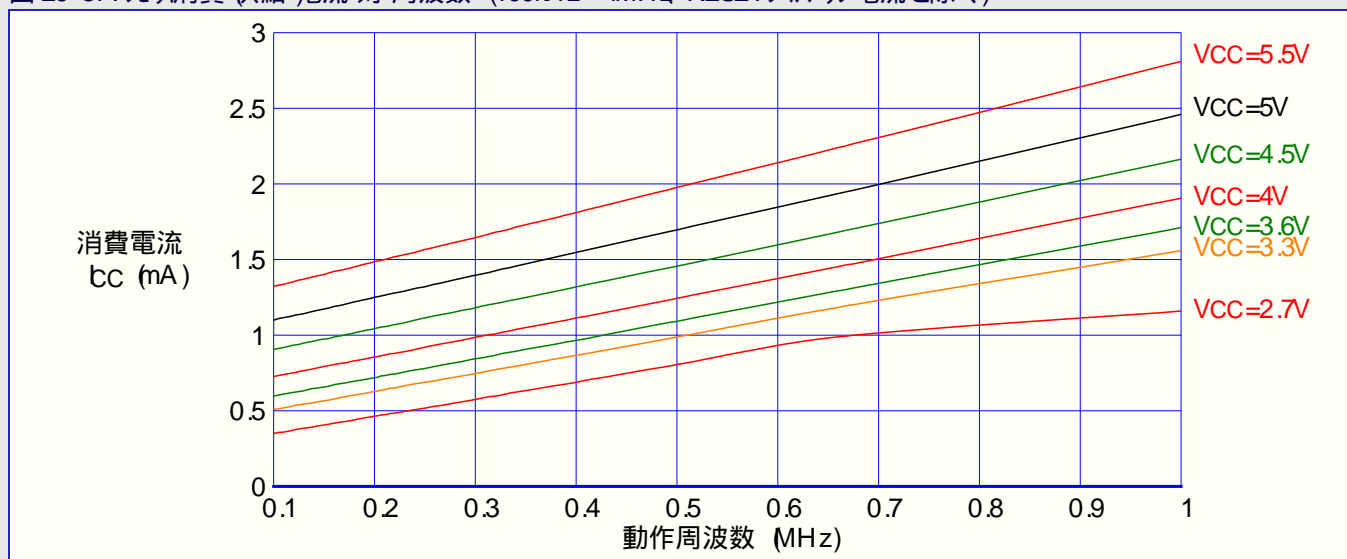


図 29-58. リセット消費 供給 電流 対 周波数 (1MHz~ 16MHz RESETフルアップ電流を除く)

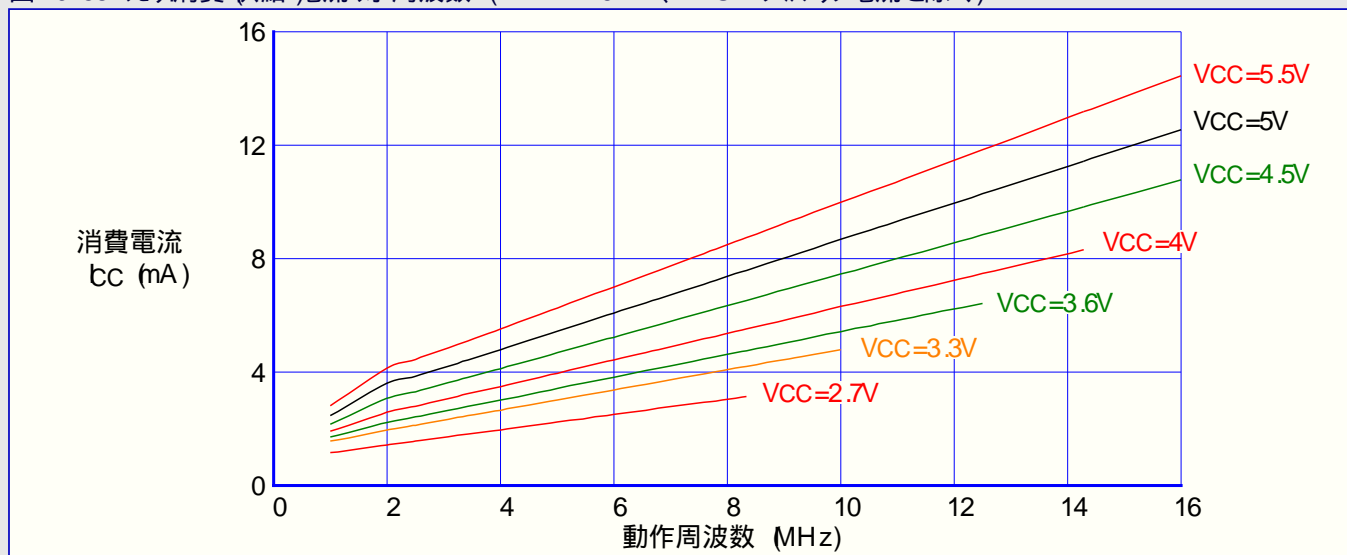
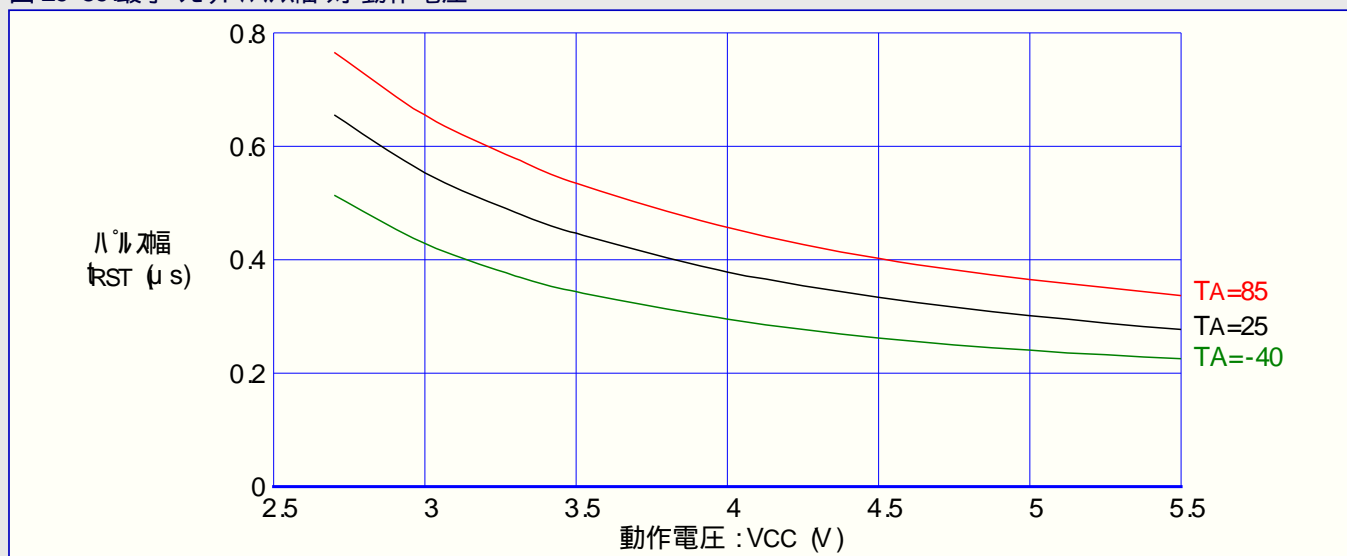


図 29-59. 最小リセットパルス幅 対 動作電圧





### 30. I/Oレジスタ一覧

#### 拡張 I/Oレジスタ領域

アドレス	レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(~ \$FF)	予約									
(\$9F)	予約									
(\$9E)	予約									
(\$9D)	UCSR1C	-	UMSEL1	UPM11	UPM10	USBS1	UCSZ11	UCSZ10	UCPOL1	130
(\$9C)	UDR1	USART1データレジスタ								129
(\$9B)	UCSR1A	RXC1	TXC1	UDRE1	FE1	DOR1	UPE1	U2X1	MPCM1	129
(\$9A)	UCSR1B	RXC1E	TXC1E	UDRE1E	RXEN1	TXEN1	UCSZ12	RXB81	TXB81	130
(\$99)	UBRR1L	USART1ボーレートレジスタ下位バイト (UBRR17~ 0)								131
(\$98)	UBRR1H	-	-	-	-	USART1ボーレートレジスタ上位 (UBRR111~ 8)				
(\$97)	予約									
(\$96)	予約									
(\$95)	UCSR0C	-	UMSEL0	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0	130
(\$94)	予約									
(\$93)	予約									
(\$92)	予約									
(\$91)	予約									
(\$90)	UBRR0H	-	-	-	-	USART0ボーレートレジスタ上位 (UBRR011~ 8)			131	
(\$8F)	予約									
(\$8E)	ADCSRB	-	-	-	-	-	ADTS2	ADTS1	ADTS0	162
(\$8D)	予約									
(\$8C)	TCCR3C	FOC3A	FOC3B	FOC3C	-	-	-	-	-	89
(\$8B)	TCCR3A	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	86
(\$8A)	TCCR3B	CNC3	CES3	-	WGM33	WGM32	CS32	CS31	CS30	88
(\$89)	TCNT3H	タイマ/カウンタ3上位バイト								89
(\$88)	TCNT3L	タイマ/カウンタ3下位バイト								
(\$87)	OCR3AH	タイマ/カウンタ3比較レジスタ上位バイト								90
(\$86)	OCR3AL	タイマ/カウンタ3比較レジスタ下位バイト								
(\$85)	OCR3BH	タイマ/カウンタ3比較レジスタ上位バイト								90
(\$84)	OCR3BL	タイマ/カウンタ3比較レジスタ下位バイト								
(\$83)	OCR3CH	タイマ/カウンタ3比較レジスタ上位バイト								91
(\$82)	OCR3CL	タイマ/カウンタ3比較レジスタ下位バイト								
(\$81)	CR3H	タイマ/カウンタ3捕獲レジスタ上位バイト								91
(\$80)	CR3L	タイマ/カウンタ3捕獲レジスタ下位バイト								
(\$7F)	予約									
(\$7E)	予約									
(\$7D)	ETMSK	-	-	TCE3	OC E3A	OC E3B	TO E3	OC E3C	OC E1C	92
(\$7C)	ETIFR	-	-	CF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C	93
(\$7B)	予約									
(\$7A)	TCCR1C	FOC1A	FOC1B	FOC1C	-	-	-	-	-	89
(\$79)	OCR1CH	タイマ/カウンタ1比較レジスタ上位バイト								90
(\$78)	OCR1CL	タイマ/カウンタ1比較レジスタ下位バイト								
(\$77)	予約									
(\$76)	予約									
(\$75)	予約									
(\$74)	TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE	149
(\$73)	TWDR	2線直列インターフェースデータレジスタ								150
(\$72)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	150
(\$71)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	150
(\$70)	TWBR	2線直列インターフェースビット速度レジスタ								149
(\$6F)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								26
(\$6E)	予約									
(\$6D)	XMCRA	-	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	-	18
(\$6C)	XMCRB	XMBK	-	-	-	-	XMM2	XMM1	XMM0	19
(\$6B)	予約									
(\$6A)	ISCRA	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	38
(\$69)	予約									
(\$68)	SPMCSR	SPMIE	RWWSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	185
(\$67)	予約									
(\$66)	予約									
(\$65)	PORTG	-	-	-	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	58
(\$64)	DDRG	-	-	-	DDF4	DDF3	DDF2	DDF1	DDF0	58
(\$63)	PNG	-	-	-	PNF4	PNF3	PNF2	PNF1	PNF0	58
(\$62)	PORTF	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	58
(\$61)	DDRF	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	58
(\$60)	予約									

## I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	8
\$3E (\$5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	9
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	XD M	XD M EN	XD M 6	XD M 5	XD M 4	XD M 3	XD M 2	XD M 1	XD M 0	26
\$3B (\$5B)	予約									
\$3A (\$5A)	ICRB	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	39
\$39 (\$59)	EMSK	NT7	NT6	NT5	NT4	NT3	NT2	NT1	NT0	39
\$38 (\$58)	EIFR	NTF7	NTF6	NTF5	NTF4	NTF3	NTF2	NTF1	NTF0	39
\$37 (\$57)	TMSK	OC E2	TO E2	T C E1	OC E1A	OC E1B	TO E1	OC E0	TO E0	107,92,71
\$36 (\$56)	TIFR	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	107,93,71
\$35 (\$55)	MCUCR	SRE	SRW 10	SE	SM1	SM0	SM2	MSEL	MCE	18,29,38
\$34 (\$54)	MCUCSR	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	176,33
\$33 (\$53)	TCCR0	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	69
\$32 (\$52)	TCNT0	タイマ/カウンタ0								70
\$31 (\$51)	OCR0	タイマ/カウンタ0比較レジスタ								70
\$30 (\$50)	ASSR	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	70
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	86
\$2E (\$4E)	TCCR1B	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	88
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1上位バイト								89
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1下位バイト								
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1比較Aレジスタ上位バイト								90
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1比較Aレジスタ下位バイト								
\$29 (\$49)	OCR1BH	タイマ/カウンタ1比較Bレジスタ上位バイト								90
\$28 (\$48)	OCR1BL	タイマ/カウンタ1比較Bレジスタ下位バイト								
\$27 (\$47)	CR1H	タイマ/カウンタ1捕獲レジスタ上位バイト								91
\$26 (\$46)	CR1L	タイマ/カウンタ1捕獲レジスタ下位バイト								
\$25 (\$45)	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	105
\$24 (\$44)	TCNT2	タイマ/カウンタ2								106
\$23 (\$43)	OCR2	タイマ/カウンタ2比較レジスタ								106
\$22 (\$42)	OCDR	DRD/ OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0	166
\$21 (\$41)	WDTCSR	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	33
\$20 (\$40)	SFDR	TSM	-	-	-	ACME	PUD	PSR0	PSR321	151,56,71,96
\$1F (\$3F)	EEARH	-	-	-	-	-	EEAR10	EEAR9	EEAR8	19
\$1E (\$3E)	EEARL	-	EEPROMアドレスレジスタ下位バイト (EEAR7~ 0)							
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								20
\$1C (\$3C)	EEDR	-	-	-	-	EERE	EEMWE	EEWE	EERE	20
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	56
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	56
\$19 (\$39)	PNA	PNA7	PNA6	PNA5	PNA4	PNA3	PNA2	PNA1	PNA0	56
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	56
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	56
\$16 (\$36)	PNB	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	56
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	56
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	57
\$13 (\$33)	PNC	PNC7	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	57
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	57
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	57
\$10 (\$30)	PND	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	57
\$0F (\$2F)	SPDR	SPIデータレジスタ								114
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	SP12X	113
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	113
\$0C (\$2C)	UDR0	USART0データレジスタ								129
\$0B (\$2B)	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0	129
\$0A (\$2A)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80	130
\$09 (\$29)	UBRR0L	USART0バーストレジスタ下位バイト (UBRR07~ 0)								131
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	152
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	160
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	161
\$05 (\$25)	ADCH	A/Dデータレジスタ上位バイト (ADC9~ または ADC9~ 2)								162
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~ または ADC1~ 0)								
\$03 (\$23)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	57
\$02 (\$22)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	57
\$01 (\$21)	PNE	PNE7	PNE6	PNE5	PNE4	PNE3	PNE2	PNE1	PNE0	57
\$00 (\$20)	PNF	PNF7	PNF6	PNF5	PNF4	PNF3	PNF2	PNF1	PNF0	58

注：将来のデバイスとの共通性のため、予約ビットを書く場合は0を書くべきです。予約 I/O メモリアドレスは決して書かれるべきではありません。  
いくつかの状態ビットはそれらに論理1を書くことによって解除(0)されます。CBI,SB 命令はその I/O レジスタ内の全ビットを操作し、設定(1)として読んだどのフラグにも0を書き戻します。従ってフラグを解除(0)します。CBI,SB 命令は \$00~\$1F の I/O レジスタだけで動作します。

# 31.命令一覧 (1/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd Rd + Rr	IT H SV N Z C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd Rd + Rr + C	IT H SV N Z C	1
ADW	Rd,K6	即値の語 (ワード) 長加算	RdH RdL RdH RdL + K6	IT H SV N Z C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd Rd - Rr	IT H SV N Z C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd Rd - K	IT H SV N Z C	1
SBW	Rd,K6	即値の語 (ワード) 長減算	RdH RdL RdH RdL - K6	IT H SV N Z C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd Rd - Rr - C	IT H SV N Z C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd Rd - K - C	IT H SV N Z C	1
AND	Rd,Rr	汎用レジスタ間の論理積 (AND)	Rd Rd AND Rr	IT H S O N Z C	1
ANDI	Rd,K	汎用レジスタと即値の論理積 (AND)	Rd Rd AND K	IT H S O N Z C	1
OR	Rd,Rr	汎用レジスタ間の論理和 (OR)	Rd Rd OR Rr	IT H S O N Z C	1
ORI	Rd,K	汎用レジスタと即値の論理和 (OR)	Rd Rd OR K	IT H S O N Z C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和 (Ex-OR)	Rd Rd EOR Rr	IT H S O N Z C	1
COM	Rd	1の補数 (論理反転)	Rd \$FF - Rd	IT H S O N Z C	1
NEG	Rd	2の補数	Rd \$00 - Rd	IT H SV N Z C	1
SBR	Rd,K	汎用レジスタの複数ビット設定 (1)	Rd Rd OR K	IT H S O N Z C	1
CBR	Rd,K	汎用レジスタの複数ビット解除 (0)	Rd Rd AND (\$FF - K)	IT H S O N Z C	1
INC	Rd	汎用レジスタの増加 (+1)	Rd Rd + 1	IT H SV N Z C	1
DEC	Rd	汎用レジスタの減少 (-1)	Rd Rd - 1	IT H SV N Z C	1
TST	Rd	汎用レジスタのゼロとマイナスイ検査	Rd Rd AND Rd	IT H SV N Z C	1
CLR	Rd	汎用レジスタの全ビット設定 (= \$00)	Rd Rd EOR Rd	IT H 0 0 0 1 C	1
SER	Rd	汎用レジスタの全ビット設定 (= \$FF)	Rd \$FF	IT H SV N Z C	1
MUL	Rd,Rr	符号なし間の乗算	R1R0 Rdx Rr (Ux U)	IT H SV N Z C	2
MULS	Rd,Rr	符号付き間の乗算	R1R0 Rdx Rr (Sx S)	IT H SV N Z C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1R0 Rdx Rr (Sx U)	IT H SV N Z C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1R0 (Rdx Rr) << 1 (Ux U)	IT H SV N Z C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1R0 (Rdx Rr) << 1 (Sx S)	IT H SV N Z C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1R0 (Rdx Rr) << 1 (Sx U)	IT H SV N Z C	2
分岐命令					
RMP	k	相対無条件分岐	PC PC + k + 1	IT H SV N Z C	2
IMP		Zレジスタ間接無条件分岐	PC Z	IT H SV N Z C	2
JP	k	絶対無条件分岐	PC k	IT H SV N Z C	3
RCALL	k	相対サブルーチン呼び出し	STACK PC, PC PC + k + 1	IT H SV N Z C	3
CALL		Zレジスタ間接サブルーチン呼び出し	STACK PC, PC Z	IT H SV N Z C	3
CALL	k	絶対サブルーチン呼び出し	STACK PC, PC k	IT H SV N Z C	4
RET		サブルーチンからの復帰	PC STACK	IT H SV N Z C	4
RETI		割り込みからの復帰	PC STACK	IT H SV N Z C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rなら, PC PC + 2or3	IT H SV N Z C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	IT H SV N Z C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	IT H SV N Z C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	IT H SV N Z C	1
SBRC	Rr,b	汎用レジスタのビットが解除 (0) でスキップ	Rr(b)=0なら, PC PC + 2or3	IT H SV N Z C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定 (1) でスキップ	Rr(b)=1なら, PC PC + 2or3	IT H SV N Z C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除 (0) でスキップ	P(b)=0なら, PC PC + 2or3	IT H SV N Z C	1/2,3
SBS	P,b	I/Oレジスタのビットが設定 (1) でスキップ	P(b)=1なら, PC PC + 2or3	IT H SV N Z C	1/2,3
BRBS	s,k	ステータスフラグが設定 (1) で分岐	SREG(s)=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRBC	s,k	ステータスフラグが解除 (0) で分岐	SREG(s)=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BREQ	k	一致で分岐	Z=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRCS	k	キャリーフラグが設定 (1) で分岐	C=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRCC	k	キャリーフラグが解除 (0) で分岐	C=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRSH	k	符号なしの > で分岐	C=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRLO	k	符号なしの < で分岐	C=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRMI	k	- (マイナス) で分岐	N=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRPL	k	+ (プラス) で分岐	N=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRGE	k	符号付きの > で分岐	(N EOR V)=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRLT	k	符号付きの < で分岐	(N EOR V)=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRHS	k	ハーフキャリーフラグが設定 (1) で分岐	H=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRHC	k	ハーフキャリーフラグが解除 (0) で分岐	H=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRTS	k	一時フラグが設定 (1) で分岐	T=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRTC	k	一時フラグが解除 (0) で分岐	T=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRVS	k	2の補数溢れフラグが設定 (1) で分岐	V=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRVC	k	2の補数溢れフラグが解除 (0) で分岐	V=0なら, PC PC + K + 1	IT H SV N Z C	1/2
BRE	k	割り込み許可で分岐	I=1なら, PC PC + K + 1	IT H SV N Z C	1/2
BRD	k	割り込み禁止で分岐	I=0なら, PC PC + K + 1	IT H SV N Z C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ (R0~ R31) X, Y, Z : X, Y, Zレジスタ  
b : ビット (0~ 7) k : アドレス定数 (7, 12, 16ビット) q : 符号なし6ビット定数 変位 s : ステータスフラグ (C Z N V X H T, I)

命令一覧 (2/2)

記号	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd ← Rr	IT H S V N Z C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1:Rd ← Rr+1:Rr	IT H S V N Z C	1
LDI	Rd,K	即値の取得	Rd ← K	IT H S V N Z C	1
LD	Rd,X	Xレジスタ間接での取得	Rd ← (X)	IT H S V N Z C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	Rd ← (X), X ← X + 1	IT H S V N Z C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	X ← X - 1, Rd ← (X)	IT H S V N Z C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd ← (Y)	IT H S V N Z C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	Rd ← (Y), Y ← Y + 1	IT H S V N Z C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	Y ← Y - 1, Rd ← (Y)	IT H S V N Z C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	Rd ← (Y + q)	IT H S V N Z C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd ← (Z)	IT H S V N Z C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	Rd ← (Z), Z ← Z + 1	IT H S V N Z C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	Z ← Z - 1, Rd ← (Z)	IT H S V N Z C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	Rd ← (Z + q)	IT H S V N Z C	2
LDS	Rd,k	データ空間 (SRAM) から直接取得	Rd ← (k)	IT H S V N Z C	2
ST	X,Rr	Xレジスタ間接での設定	(X) ← Rr	IT H S V N Z C	2
ST	X+Rr	事後増加付きXレジスタ間接での設定	(X) ← Rr, X ← X + 1	IT H S V N Z C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	X ← X - 1, (X) ← Rr	IT H S V N Z C	2
ST	Y,Rr	Yレジスタ間接での設定	(Y) ← Rr	IT H S V N Z C	2
ST	Y+Rr	事後増加付きYレジスタ間接での設定	(Y) ← Rr, Y ← Y + 1	IT H S V N Z C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	Y ← Y - 1, (Y) ← Rr	IT H S V N Z C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	(Y + q) ← Rr	IT H S V N Z C	2
ST	Z,Rr	Zレジスタ間接での設定	(Z) ← Rr	IT H S V N Z C	2
ST	Z+Rr	事後増加付きZレジスタ間接での設定	(Z) ← Rr, Z ← Z + 1	IT H S V N Z C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	Z ← Z - 1, (Z) ← Rr	IT H S V N Z C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	(Z + q) ← Rr	IT H S V N Z C	2
STS	k,Rr	データ空間 (SRAM) に直接設定	(k) ← Rr	IT H S V N Z C	2
LPM		プログラム領域からZレジスタ間接での取得	R0 ← (Z)	IT H S V N Z C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	Rd ← (Z)	IT H S V N Z C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	IT H S V N Z C	3
SFM		プログラム領域へZレジスタ間接での設定	(Z) ← R1:R0	IT H S V N Z C	-
N	Rd,P	I/Oレジスタからの入力	Rd ← P	IT H S V N Z C	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	IT H S V N Z C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	IT H S V N Z C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	IT H S V N Z C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定 (1)	I/O (P,b) ← 1	IT H S V N Z C	2
CBI	P,b	I/Oレジスタのビット解除 (0)	I/O (P,b) ← 0	IT H S V N Z C	2
LSL	Rd	論理的左シフト	Rd(n+1) ← Rd(n), Rd(0) ← 0	IT H S V N Z C	1
LSR	Rd	論理的右シフト	Rd(n) ← Rd(n+1), Rd(7) ← 0	IT H S V N Z C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	IT H S V N Z C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	IT H S V N Z C	1
ASR	Rd	算術的右シフト	Rd(n) ← Rd(n+1), n=0~6	IT H S V N Z C	1
SWAP	Rd	ニフル (4ビット) 上位/下位交換	Rd(7~4) ← Rd(3~0)	IT H S V N Z C	1
BSET	s	ステータスレジスタのビット設定 (1)	SREG(s) ← 1	IT H S V N Z C	1
BCLR	s	ステータスレジスタのビット解除 (0)	SREG(s) ← 0	IT H S V N Z C	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T ← Rr(b)	IT H S V N Z C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) ← T	IT H S V N Z C	1
SEC		キャリーフラグを設定 (1)	C ← 1	IT H S V N Z C	1
CLC		キャリーフラグを解除 (0)	C ← 0	IT H S V N Z C	1
SEN		負フラグを設定 (1)	N ← 1	IT H S V N Z C	1
CLN		負フラグを解除 (0)	N ← 0	IT H S V N Z C	1
SEZ		ゼロフラグを設定 (1)	Z ← 1	IT H S V N Z C	1
CLZ		ゼロフラグを解除 (0)	Z ← 0	IT H S V N Z C	1
SEI		全割込み許可	I ← 1	IT H S V N Z C	1
CLI		全割込み禁止	I ← 0	IT H S V N Z C	1
SES		符号フラグを設定 (1)	S ← 1	IT H S V N Z C	1
CLS		符号フラグを解除 (0)	S ← 0	IT H S V N Z C	1
SEV		2の補数溢れフラグを設定 (1)	V ← 1	IT H S V N Z C	1
CLV		2の補数溢れフラグを解除 (0)	V ← 0	IT H S V N Z C	1
SET		一時フラグを設定 (1)	T ← 1	IT H S V N Z C	1
CLT		一時フラグを解除 (0)	T ← 0	IT H S V N Z C	1
SEH		ハーフキャリーフラグを設定 (1)	H ← 1	IT H S V N Z C	1
CLH		ハーフキャリーフラグを解除 (0)	H ← 0	IT H S V N Z C	1
MCU制御命令					
NOP		無操作		IT H S V N Z C	1
SLEEP		休止形態開始	休止形態参照	IT H S V N Z C	1
WDR		ウォッチドッグタイミリセット	ウォッチドッグタイミ参照	IT H S V N Z C	1
BREAK		一時停止	内蔵デバッグ機能専用	IT H S V N Z C	N/A



## 32. 注文情報

速度 (MHz)	電源電圧	注文コード (注2)	外囲器 (注1)	動作範囲
16	2.7~ 5.5V	ATmega64A -AU	64A	工業用 (-40 ~ 85 )
		ATmega64A -MU	64M1	

注1: このデバイスにはウェル (チップ単体) 形状でも供給できます。最低数量と詳細な注文情報については最寄のATMEL営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令 (RoHS指令) 適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

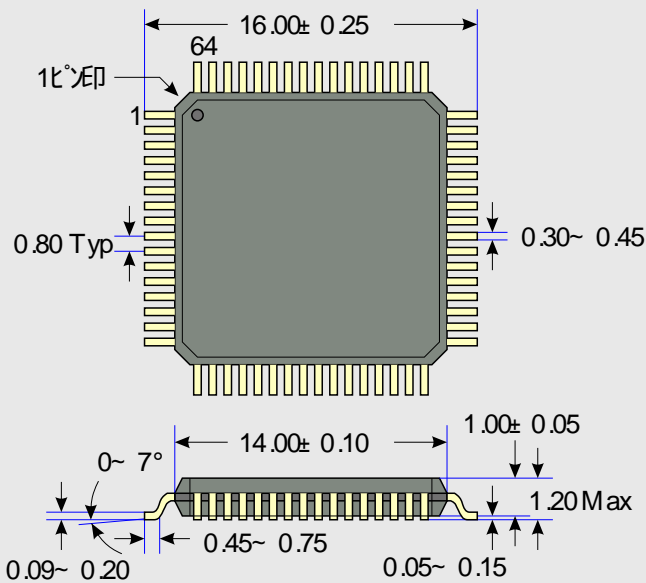
外囲器形式	
64A	64ピン 14× 14× 1.0mm厚 プラスティック クアッド フラット外囲器 (TQFP)
64M1	64ピン 9× 9× 1mm 0.5mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム外囲器 (QFN/MLF)

## 33. 外囲器情報

### 33.1. 64A

64ピン 0.8mmピッチ プラスティック クアッド フラット外囲器 (TQFP)

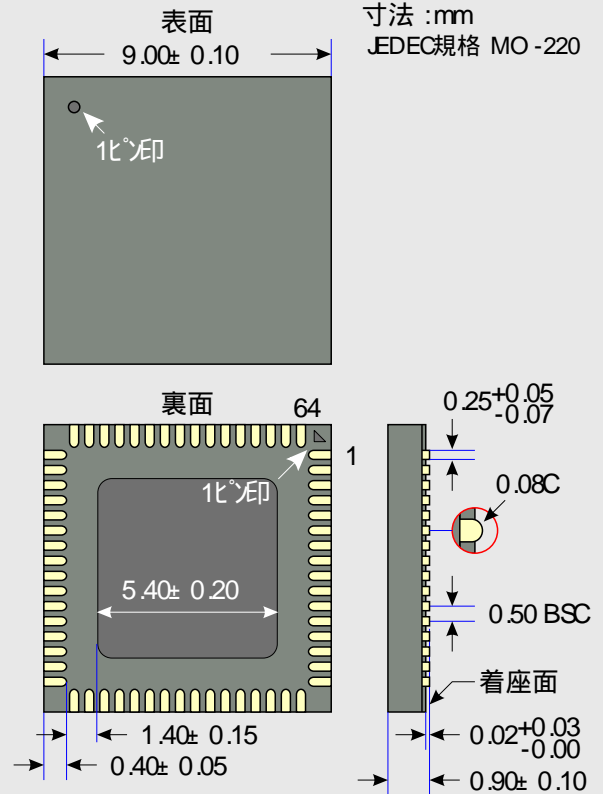
寸法 :mm  
JEDEC規格 MS-026 AEB



### 33.2. 64M1

64ピン 0.5mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム外囲器 (QFN/MLF)

寸法 :mm  
JEDEC規格 MO-220





## 34. 障害情報

この章の改訂番号はATmega64Aの改訂版を参照してください。

改訂D

初回アナログ比較器変換が遅らされるかもしれない

D

非同期タイマでタイマレスポンス込み時に割り込みが失われる可能性

D

## XD Mレジス変更時に安定時間が必要

D

## OSCCALLシス変更時に安定時間が必要

D

DCODEがTD入力からのテ-を遮断

D

EEREビットを設定 (1)するための STまたは STS使用による

D

EEPROM読み込みが予期せぬ割り込み要求を起動する

1.初回アナログ比較器変換が遅らされるかもしれない (D)

テハイスが低速上昇 VCCで給電される場合、最初のアナログ比較器変換はいくつかのテハイスで予想より長くなるでしょう

## 对策 対処

デバイスが給電またはリセットされた時は最初の変換前にアナログ比較器を**禁止し、そして許可**してください。

2.非同期タイマ/カウンタでタイマ/カウンタレジスタ書き込み時に割り込みが失われる可能性 (D)

非同期タイマ/カウンタレジスタ(TCNTx)が\$00の時に同期タイマ/カウンタクロックのタイマ/カウンタレジスタが書かれる場合に割り込みが失われるでしょう

## 对策 対処

非同期タイマ/カウンタ制御レジスタ(TCCR<sub>x</sub>)、非同期タイマ/カウンタ(TCNT<sub>x</sub>)レジスタまたは非同期タイマ/カウンタ比較レジスタ(OCR<sub>x</sub>)を書く前に、常に非同期タイマ/カウンタレジスタが\$FFまたは\$00のどちらの値でもないことを調べてください。

3.XDMLレシス変更時に安定時間が必要 (D)

XD Mレスタでクック元周波数を2より多く上昇設定した後、テストは後続するいくつかの命令を正しく実行しないかもしれません。

## 对策 対処

**NOF**命令は周波数変更後も常に正しく実行されます。従って周波数変更後の次の8命令は**NOF**命令であるべきです。これを保証するには次の手順に従ってください。

1. SREGの全割り込み許可 (リット) を解除 (0) します。 (訳補 割り込み許可ならば)
2. XD Mレジスタに新しい1分周値を設定します。
3. 8つのNOP命令を実行します。
4. SREGの全割り込み許可 (リット) を設定 (1) します。 (訳補 割り込み許可ならば)

これは後続する全命令の正しい実行を保証します。

## アセンブリ言語 コード例

[illegible]

4.OSCCALレジスタ変更時に安定時間が必要 (D)

OSCCALリストで9000周波数を20%以上多く上昇設定した後、テストは後続するいくつかの命令を正しく実行しないかもしれません。

## 对策 对机

動きは障害番号 3 に従うので、同じ対策が利用できます。

## 5. DCODEがTD入力からのデータを遮蔽 (P)

DCODEは正しく動作しません。DR更新の間中、後続するデバイスへのデータは全て1に置換されます。

### 問題の修正と対策

ATmega64Aが走査チェーン内で唯一のデバイスなら、この問題は見られません。

ATmega64Aのデバイスアドレスとおそらくは走査チェーンの後続するデバイスからのデータ内容を読むために、DCODE命令を実行するか、またはTAP制御器の検査回路リセット状態へ移行することのどちらかによりATmega64Aのデバイスアドレスを選択してください。境界走査チェーンの先行デバイスのデバイスアドレスを読む間中、ATmega64AへBYPASS命令を実行してください。

境界走査チェーン内の全デバイスのデバイスDが同時に捕獲されなければならない場合、ATmega64Aはチェーンの先頭デバイスでなければなりません。

## 6. EEREビットを設定 (1)するためのSTまたはSTS使用によるEEPROM読み込みが予期せぬ割り込み要求を起動する (P)

EEPROM制御レジスタ(EECR)のEEPROM読み込み許可(EERE)ビットを設定 (1)するためのSTまたはSTS命令使用によるEEPROM読み込みが予期せぬEEPROM割り込み要求を起動します。

### 対策 / 対処

EECR内のEEREを設定 (1)するのにOUTまたはSBを常に使用してください。

## 35.更新記録

この章内の参照頁番号はこの資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

- 35.1.改訂 8160A-08/08**
1. 初版 (ATmega64/Lデータシート 改訂版 2490N-06/08に基づく)  
ATmega64/Lデータシート 改訂版 2490N-06/08に対比して行われた変更
    - ・全ての電気的特性を205頁の「電気的特性」へ移動
    - ・レジスタ記述を各節後ろの副項目へ移動
    - ・新 VOL Max(0.9Vと0.6V)とCCに対する代表で205頁の「DC特性」を更新
    - ・206頁に「速度勾配」を追加
    - ・207頁に「システムとリセットの特性」を追加
    - ・214頁の「代表特性」の新規図表
    - ・238頁の新規「注文情報」
- 35.2.改訂 8160B-03/09**
1. 214頁の「代表特性」の外観更新
  2. 226頁の表 29-36と表 29-37.(BOD閾値特性)を更新
  3. 最終頁更新
- 35.3.改訂 8160C-07/09**
1. 239頁の「障害情報」を更新

## 目次

特徴	1	13. 入出力ポート	41
1. ピン配置	2	13.1. 概要	41
2. 概要	3	13.2. 標準デジタル入出力としてのポート	41
2.1. 構成図	3	13.3. 兼用ポート機能	44
2.2. ATmega64AとATmega103の互換性	4	13.4. I/Oポート用レジスタ	56
2.3. ピン説明	5	14. 8ビットタイマ/カウンタ0 (PWM非同期動作)	59
3. 資料	6	14.1. 特徴	59
4. テー保能力	6	14.2. 概要	59
5. コード例について	6	14.3. タイマ/カウンタのクロック	60
6. AVR CPUコア	7	14.4. 計数器部	60
6.1. 概要	7	14.5. 比較出力部	61
6.2. ALU (Arithmetic Logic Unit)	7	14.6. 比較一致出力部	62
6.3. ステータスレジスタ	8	14.7. 動作種別	63
6.4. 汎用レジスタファイル	9	14.8. タイマ/カウンタのタイミング	66
6.5. スタックポインタ	9	14.9. タイマ/カウンタの非同期動作	67
6.6. 命令実行タイミング	10	14.10. タイマ/カウンタの前置分周器	68
6.7. レジスタ割り込みの扱い	10	14.11. 8ビットタイマ/カウンタ用レジスタ	69
7. AVRのメモリ	11	15. 16ビットタイマ/カウンタ1とタイマ/カウンタ3	72
7.1. 実装書き換え可能なプログラム用フラッシュメモリ	11	15.1. 特徴	72
7.2. テー専用SRAMメモリ	12	15.2. 概要	72
7.3. テー専用EEPROMメモリ	13	15.3. 16ビットレジスタのアクセス	74
7.4. I/Oメモリ (レジスタ)	13	15.4. タイマ/カウンタのクロック	76
7.5. 外部メモリインターフェース	14	15.5. 計数器部	76
7.6. メモリ関係レジスタ	18	15.6. 捕獲入力部	77
8. システムクロックとクロック選択	22	15.7. 比較出力部	78
8.1. クロック系統とその配給	22	15.8. 比較一致出力部	80
8.2. クロック元	22	15.9. 動作種別	81
8.3. 既定のクロック元	22	15.10. タイマ/カウンタのタイミング	85
8.4. クリスタル用発振器	23	15.11. 16ビットタイマ/カウンタ1,3用レジスタ	86
8.5. 低周波数クリスタル用発振器	23	16. タイマ/カウンタ1,2,3の前置分周器	95
8.6. 外部RC発振器	24	16.1. 同期系タイマ/カウンタ前置分周器用レジスタ	96
8.7. 校正付き内蔵RC発振器	24	17. 8ビットタイマ/カウンタ2 (PWM)	97
8.8. 外部クロック信号	25	17.1. 特徴	97
8.9. タイマ/カウンタ用発振器	25	17.2. 概要	97
8.10. クロック関係用レジスタ	26	17.3. タイマ/カウンタのクロック	98
9. 電力管理と休止形態	27	17.4. 計数器部	98
9.1. アイドル動作	27	17.5. 比較出力部	99
9.2. A/D変換雑音低減動作	27	17.6. 比較一致出力部	100
9.3. パワーダウン動作	27	17.7. 動作種別	101
9.4. パワーセーフ動作	27	17.8. タイマ/カウンタのタイミング	104
9.5. スタンバイ動作	27	17.9. 8ビットタイマ/カウンタ2用レジスタ	105
9.6. 拡張スタンバイ動作	28	18. 比較出力変調器 (COM1C2)	108
9.7. 消費電力の最小化	28	18.1. 概要	108
9.8. 電力管理用レジスタ	29	18.2. 説明	108
10. システム制御とレジスタ	30	19. SPI直列周辺インターフェース	109
10.1. 内部基準電圧	31	19.1. 特徴	109
10.2. ウォッチドッグタイマ	32	19.2. 概要	109
10.3. ウォッチドッグタイマ設定変更の時間制限手順	32	19.3. SSビットの機能	111
10.4. レジスタ関係用レジスタ	33	19.4. テー搬送形式	112
11. 割り込み	35	19.5. SP用レジスタ	113
11.1. 概要	35	20. USART0とUSART1	115
11.2. ATmega64Aの割り込みベクタ	35	20.1. 特徴	115
11.3. ベクタ移動用レジスタ	38	20.2. 概要	115
12. 外部割り込み	39	20.3. クロック生成	117
12.1. 外部割り込み用レジスタ	39	20.4. フレーム形式	118
		20.5. USARTの初期化	119
		20.6. USARTのデータ送信	120

20.7. USARTのデータ受信	121	27. メリプログラミング	186
20.8. 非同期受信	124	27.1. プログラムメモリとデータメモリ用施錠ビット	186
20.9. 複数プロセッサ通信動作	126	27.2. ヒューズビット	187
20.10. ホール設定例	127	27.3. 識票バイト	188
20.11. USART0用レジスタ	129	27.4. 校正值バイト	188
21. 2線直列インターフェース (TWI)	132	27.5. 並列プログラミング	188
21.1. 特徴	132	27.6. 並列プログラミング手順	189
21.2. 概要	132	27.7. 直列プログラミング	196
21.3. 2線直列インターフェースバスの定義	133	27.8. JTAGインターフェース経由プログラミング	198
21.4. データ転送とフレーム形式	134	28. 電気的特性	205
21.5. 複数主装置バスシステムの調停と同期	136	28.1. 絶対最大定格	205
21.6. TWIの使用法	137	28.2. DC特性	205
21.7. 転送種別	139	28.3. 速度勾配	206
21.8. 複数主装置システムでのバス競合と調停	148	28.4. クラック特性	206
21.9. TWI用レジスタ	149	28.5. システムとチップの特性	207
22. アナログ比較器	151	28.6. 2線直列インターフェース特性	208
22.1. アナログ比較器入力選択	151	28.7. SPIタイミング特性	209
22.2. アナログ比較器用レジスタ	151	28.8. A/D変換器特性	210
23. A/D変換器	153	28.9. データ用外部メモリタイミング特性	211
23.1. 特徴	153	29. 代表特性	214
23.2. 概要	153	29.1. 標準動作消費電流	214
23.3. 操作	154	29.2. アイドル動作消費電流	216
23.4. 変換の開始	154	29.3. パワーダウン動作消費電流	219
23.5. 前置分周と変換タイミング	155	29.4. パワーセーフ動作消費電流	219
23.6. チャネル変更と基準電圧選択	157	29.5. スタンバイ動作消費電流	220
23.7. 雑音低減機能	158	29.6. ピンプルアップ	220
23.8. A/D変換の結果	159	29.7. ピン駆動能力	222
23.9. A/D変換用レジスタ	160	29.8. ピン閾値とヒステリシス	224
24. JTAGインターフェースと内蔵デバッグ機能	163	29.9. 低電圧検出器 (BOD) 閾値とアナログ比較器オフセット	226
24.1. 特徴	163	29.10. 内部発振器周波数	227
24.2. 概要	163	29.11. 周辺機能部消費電流	231
24.3. 検査入出力ポート (TAP: Test Access Port)	164	29.12. チップ消費電流とチップパルス幅	233
24.4. TAP制御器	164	30. I/Oレジスタ一覧	234
24.5. 境界走査チェーン (Boundary-Scan Chain) の使用	165	31. 命令一覧	236
24.6. 内蔵デバッグ機能の使用	165	32. 注文情報	238
24.7. 内蔵デバッグ特殊 JTAG 命令	165	33. 外圍器情報	238
24.8. JTAGプログラミング能力の使用	165	34. 障害情報	239
24.9. 内蔵デバッグ関連 I/Oメモリ内のレジスタ	166	35. 更新記録	241
24.10. 参考文献	166		
25. IEEE1149.1 (JTAG 境界走査)	167		
25.1. 特徴	167		
25.2. 概要	167		
25.3. テータレジスタ	167		
25.4. 境界走査 (Boundary-Scan) 用 JTAG 命令	168		
25.5. 境界走査チェーン (Boundary-Scan Chain)	169		
25.6. ATmega64Aの境界走査順	175		
25.7. 境界走査記述言語 (BSDL) ファイル	176		
25.8. 境界走査関連 I/Oメモリ内のレジスタ	176		
26. プートローダ - RWW 自己プログラミング	177		
26.1. 特徴	177		
26.2. 概要	177		
26.3. フラッシュメモリの応用領域とプートローダ領域	177		
26.4. 書き中に読みが可能な領域と不能な領域	177		
26.5. プートローダ施錠ビット	179		
26.6. プートローダプログラムへの移行	179		
26.7. 自己プログラミングでのフラッシュアドレス指定	180		
26.8. フラッシュメモリの自己プログラミング	180		
26.9. プートローダ用レジスタ	185		





## 本社

### Atmel Corporation

2325 Orchard Parkway  
San Jose, CA 95131  
USA  
TEL 1 (408) 441-0311  
FAX 1 (408) 487-2600

## 国外営業拠点

### Atmel Asia

Unit 1-5 & 16, 19/F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
Hong Kong  
TEL (852) 2245-6100  
FAX (852) 2722-1369

### Atmel Europe

Le Krebs  
8, Rue Jean-Pierre Timbaud  
BP 309  
78054 Saint-Quentin-en-  
Yvelines Cedex  
France  
TEL (33) 1-30-60-70-00  
FAX (33) 1-30-60-71-11

### Atmel Japan

104-0033 東京都中央区  
新川 1-24-8  
東熱新川ビル 9F  
アトメル システム株式会社  
TEL (81) 03-3523-3551  
FAX (81) 03-3523-7581

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイト位置する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み、直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2009. 全権利予約済 ATMEL®、AVR®とそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2011.

本データシートはATMELのATmega64A英語版データシート(Rev.8160C-07/09)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には(内に英語表記や略称などを残す形で表記しています。

青字の部分はリクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して一部の項目、図表の番号を修正したため、それらに関する番号が原書と異なります。